



УКРАЇНА

(19) **UA** (11) **147424** (13) **U**  
(51) МПК  
**G06F 1/02** (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
ДЕРЖАВНЕ ПІДПРИЄМСТВО  
"УКРАЇНСЬКИЙ ІНСТИТУТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ"

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

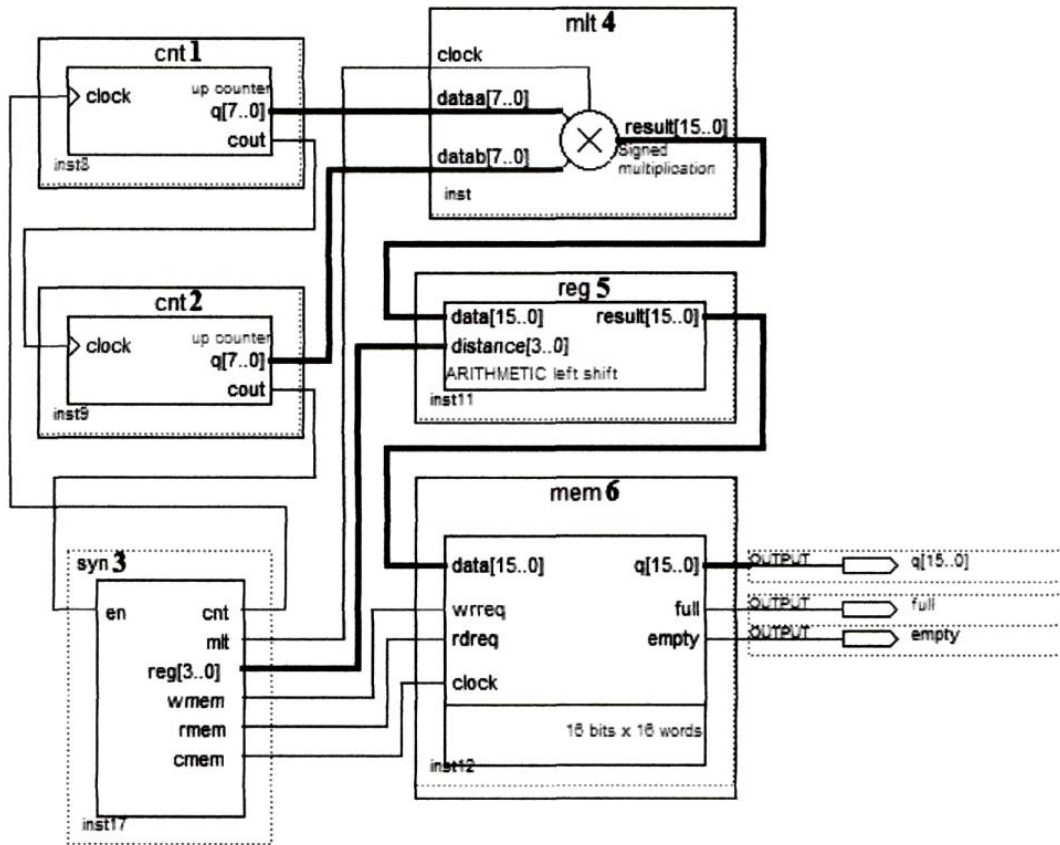
(21) Номер заявки: <b>u 2020 07987</b>	(72) Винахідник(и): <b>Осадчук Олександр Володимирович (UA), Гаврілов Дмитро Володимирович (UA), Яровий Дмитро Володимирович (UA)</b>
(22) Дата подання заявки: <b>14.12.2020</b>	
(24) Дата, з якої є чинними права інтелектуальної власності: <b>06.05.2021</b>	
(46) Публікація відомостей про державну реєстрацію: <b>05.05.2021, Бюл.№ 18</b>	(73) Володілець (володільці): <b>ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, вул. Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</b>

## (54) ГЕНЕРАТОР ФУНКЦІЙ МЕБІУСА НА ПРОГРАМОВАНІЙ ЛОГІЧНІЙ ІНТЕГРАЛЬНІЙ СХЕМІ

### (57) Реферат:

Генератор функцій Мебіуса на ПЛІС (Програмована логічна інтегральна схема) складається з першого двійкового лічильника і блока пам'яті значень функцій, згідно з корисною моделлю, в нього введені другий двійковий лічильник, помножувач, регістр зсуву, синхронізатор, відліковий вхід першого двійкового лічильника, з'єднаний з тактовим виходом синхронізатора, вихід переносу зі старшого розряду першого двійкового лічильника, підключений до відлікового входу другого двійкового лічильника, причому інформаційні виходи першого і другого лічильників підключені до входів помножувача, вихід помножувача підключений до інформаційного входу регістра зсуву, вихід регістра підключений до адресного входу блока пам'яті значень функцій, вхід синхронізації помножувача, керуючий вхід запису регістра і керуючий вхід зчитування блока пам'яті значень функцій підключені до відповідних виходів синхронізатора.

UA 147424 U



Корисна модель належить до області автоматики та обчислювальної техніки, зокрема до генераторів дискретних функцій, і може бути використано при побудові цифрових спектроаналізаторів і фільтрів, а також в системах обробки і передачі інформації.

Відомий генератор функцій Мебіуса (патент ССРСР на винахід № 1541582 МПК G06F 1/02, Бюл. 5, 07.02.1970), який складається з першого та другого лічильників, помножувач, першого та другого регістра, блок пам'яті, синхронізатор, причому відліковий вхід першого лічильника з'єднаний з тактовим виходом синхронізатора, вихід переносу старшого розряду першого лічильника підключений до відлікового входу другого лічильника, вихід блока пам'яті є виходом генератора, причому інформаційні виходи першого і другого лічильників підключені до входів помножувача, вихід помножувача підключений до інформаційного входу регістра, вихід регістра підключений до адресного входу блока пам'яті, вхід синхронізації помножувача, керуючий вхід запису регістра та керуючий вхід зчитування блока пам'яті підключений до відповідних виходах синхронізатора.

До недоліків даного пристрою слід віднести низьку швидкодію, складність реалізації пристрою, що зумовлено високим енергоспоживанням, та керування роботи пристрою, вузькі функціональні можливості.

Як найближчий аналог вибрано генератор дискретних функцій (патент ССРСР на винахід № 1612289 МПК G06F 1/20, Бюл. 45, 07.02.1970), який складається з двійкового лічильника, першого та другого блоків пам'яті значень функції, першого, другого та третього цифро-аналогового перетворювача, суматора, блока віднімання, тактового генератора, причому вихід тактового генератора підключений до тактового входу довічного лічильника, вихід першого блока пам'яті значень функції підключений до входу першого цифро-аналогового перетворювача, вихід старших розрядів двійкового лічильника підключений до адресних входів першого та другого блоків пам'яті зчитування функції, вихід другого блока пам'яті значень функцій підключений до входу другого цифро-аналогового перетворювача, перший вхід суматора і вхід від'ємника блока віднімання підключені до виходу першого цифро-аналогового перетворювача, вихід другого цифро-аналогового перетворювача підключений до входу зменшувача блока віднімання, вихід якого підключений до входу опорної напруги третього цифро-аналогового перетворювача, інформаційний вхід якого підключений до виходу молодших розрядів двійкового лічильника, вихід третього цифро-аналогового перетворювача підключений до другого входу суматора, вихід якого підключений до виходу генератора.

Основними недоліками даного пристрою є потреба в значному ресурсі інтегральної схеми при реалізації декількох генераторів з довільною розрядністю, що призводить до ускладнення обробки і відображення отриманих даних.

В основу корисної моделі поставлена задача створення генератора функцій Мебіуса, в якому за рахунок введення нових елементів та зв'язків досягається можливість зміни принципу роботи при незмінній апаратній частині, реалізація декількох генераторів в одній ПЛІС (Програмована логічна інтегральна схема) та реалізації систем на кристалі, що приводить до спрощення обробки і відображення отриманих даних.

А також, використання такого пристрою дозволяє забезпечити підвищення швидкодії, зменшення енергоспоживання та масо-габаритних властивостей.

Поставлена задача вирішується тим, що в генератор функцій Мебіуса, який складається з першого та другого двійкового лічильника і блока пам'яті значень функцій, згідно з корисною моделлю, уведено помножувач, регістр зсуву, синхронізатор, відліковий вхід першого двійкового лічильника, з'єднаний з тактовим виходом синхронізатора, вихід переносу з старшого розряду першого двійкового лічильника, підключений до відлікового входу другого двійкового лічильника, причому інформаційні виходи першого і другого лічильників підключені до входів помножувача, вихід помножувача підключений до інформаційного входу регістра зсуву, вихід регістра підключений до адресного входу блока пам'яті значень функцій, вхід синхронізації помножувача, керуючий вхід запису регістра і керуючий вхід зчитування блока пам'яті значень функцій підключені до відповідних виходів синхронізатора.

Опис функції Мебіуса

Функція Мебіуса  $\mu(a)$  визначається наступним чином:

$$\mu(a) = \begin{cases} (-1)^k & \text{якщо } a = p_1^{\alpha_1} \dots p_n^{\alpha_n} \text{ і } k \text{ - кількість парних показників } \alpha_i \\ 1 & \text{якщо } a \text{ не ділиться на квадрат жодного простого числа} \end{cases}$$

- якщо при розкладанні  $a = p_1^{\alpha_1} \dots p_n^{\alpha_n}$  щонайменше один з показників перевершує 1.

- якщо при розкладанні числа  $a$  має вигляд,  $a = p_1 \dots p_n$ , якщо  $\alpha = 1$ , де  $\alpha$  - аргумент функції Мебіуса,  $n$  - порядкові номери простих співмножників.

Наприклад:

$$\mu(1)=1;$$

$$\mu(2)=-1; \text{ так як } 2=2_1 \cdot (-1)^1=-1;$$

$$\mu(3)=-1; \text{ так як } 3=3_1 \cdot (-1)^1=-1;$$

5  $\mu(4)=0; \text{ так як } 4=2^2 \cdot (4)=-0;$

$$\mu(5)=-1; \text{ так як } 5=5_1 \cdot (-1)^1=-1;$$

$$\mu(6)=1; \text{ так як } 6=2_1 \cdot 3_1 \cdot (-1)^2=1;$$

$$\mu(7)=-1; \text{ так як } 7=7_1 \cdot (-1)^1=-1.$$

Для формування матриці значень функцій Мебіуса необхідно до визначити її значення  $\mu(\Omega)=1$ , а значення аргументу представити у вигляді добутку номерів рядків 1 і стовпчиків k:

$$a_{i,k} = \langle 1 \cdot k \rangle_N$$

де  $a_{i,k}$  - значення аргументу матриці функцій Мебіуса 1-го рядка і k-го стовпчика (k-е значення аргументу 1-ї функції Мебіуса),  $i, k=0, 1, \dots, N-1$ , N-2 - кількість елементів рядка стовпчика матриці;  $1 < k < N$  означає  $0 < (1 \cdot k) \text{ mod } N$ . Підставляючи (2) в (1), отримують

15 
$$\mu(a_{i,k}) = \mu(\langle 1 \cdot k \rangle_N) = \mu(a_{i,k}) \quad \begin{array}{c|ccc} -1 & 0 & 1 & 2 \\ \hline 1 & 0 & 1 & 3 \\ 1 & 0 & 1 & 4 \end{array}$$

де  $\mu(a_{i,k})$  - 1-а функція Мебіуса.

Для N-8 матриця значень функцій Мебіуса з урахуванням (1)-(3) має вигляд:

$$\begin{array}{c|cccccccc} 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 4 \\ \hline 1 & -1 & -1 & -1 & 0 & 1 & 1 & -1 & 5 \\ 1 & 1 & 0 & -1 & 1 & 1 & 0 & -1 & 6 \\ 1 & -1 & -1 & -1 & 0 & -1 & -1 & 1 & 7 \end{array}$$

$$K = 0 \quad 1 \quad 2 \quad 3 \quad 4 \quad 5 \quad 6 \quad 7$$

У відповідності з (2) і (3) набір значень аргументу для N·N елементів матриця виглядає як цілочисельний ряд 0, 1, ..., N-1.

На кресленні зображена структурна схема генератора функцій Мебіуса на ПЛІС

Генератор функцій Мебіуса працює таким чином.

У лічильнику cnt 1 підраховують такти, формується послідовність значень k, у лічильник cnt 2 підраховують переноси з лічильника cnt 1, формується послідовність значень cnt 1. Введення помножувача і регістра в склад блоків генератора дозволяє в  $2^n$  раз зменшити ємність блока пам'яті значень функцій.

Ємність лічильників - N (n-двійкових розрядів). На помножувачі mul 4 формується відображення;  $\langle 1 \cdot k \rangle_N$ , причому результат по модулю N знімається з n молодших розрядів, записується в регістр reg 5 і використовується як адреса для блока 6 пам'яті значень функцій mem. В блоці 6 пам'яті по N адресами 0, 1, ..., N-1 (n розрядів адреси), які ототожнюються зі значенням аргументу, записані відповідні значення (0, -1, +1) функції. В результаті на виході блока 6 пам'яті значень функцій mem з тактовою частотою послідовно виводяться відлік значень функцій Мебіуса. (Рядки матриці): спочатку нульова функція (1=0), потім перша (l=1) і т.д. до (N-1)-ї функції. Інформаційні виходи full та empty блока 6 пам'яті значень функцій mem відображають стан, поява логічної 1 на виході full вказує, що блок 6 пам'яті значень функцій переповнений, при появі логічної 1 на виході empty вказує, що блок 6 пам'яті значень функцій пустий.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

5 Генератор функцій Мебіуса, який складається з першого двійкового лічильника і блока пам'яті  
 значень функцій, який **відрізняється** тим, що в нього введені другий двійковий лічильник,  
 помножувач, регістр зсуву, синхронізатор, відліковий вхід першого двійкового лічильника,  
 з'єднаний з тактовим виходом синхронізатора, вихід переносу зі старшого розряду першого  
 10 двійкового лічильника, підключений до відлікового входу другого двійкового лічильника,  
 причому інформаційні виходи першого і другого лічильників підключені до входів помножувача,  
 вихід помножувача підключений до інформаційного входу регістра зсуву, вихід регістра  
 підключений до адресного входу блока пам'яті значень функцій, вхід синхронізації  
 помножувача, керуючий вхід запису регістра і керуючий вхід зчитування блока пам'яті значень  
 функцій підключені до відповідних виходів синхронізатора.

