

<https://doi.org/10.31891/2219-9365-2022-70-2-11>

УДК 621.3

Ганна ФІГАС

Вінницький національний технічний університет
<https://orcid.org/0000-0003-1380-8394>

БАГАТОРОЗРЯДНИЙ ЦАП ІЗ ВАГОВОЮ НАДЛИШКОВІСТЮ З ВИХОДОМ ПО СТРУМУ

У статті викладено метод побудови багаторозрядних ЦАП із ваговою надлишковістю з виходом по струму. Такі ЦАП дозволяють істотно (на порядок) підвищити швидкодію АЦП порозрядного кодування. Показано, що такий ЦАП має високу швидкодію, а також забезпечує нерозривність характеристики перетворення, навіть за умов застосування неточної елементної бази. Наведено схеми АЦП, що реалізують алгоритми прискореного врівноваження на основі різних надлишкових позиційних систем числення. Розглянуто принципи та функціональні схеми двотактних підсилювачів постійного струму зі зворотним зв'язком по струму для підвищення вихідного опору цифроаналогових перетворювачів. Наведено оцінки вихідного опору розглянутих двотактних підсилювачів постійного струму за результатами аналітичних обчислень та комп'ютерного моделювання.

Ключові слова: вихід по струму, резистивна матриця, вагова надлишковість, двотактний підсилювач постійного струму, ЦАП.

Ganna FIGAS

Vinnitsia National Technical University

METHODS OF BUILDING HIGH-PERFORMANCE ADC USING STRUCTURAL AND INFORMATION REDUNDANCY

Most of the parasitic parameters of integrated circuits are capacitors, the application of the principles of amplification and conversion of currents has an advantage compared to the principle of conversion and amplification of voltages and digital-to-analog converters with current output are relevant. There are significant advantages of using redundant counting systems for the weights of digital-to-analog converters, which avoids gaps in the conversion characteristics of such digital-to-analog converters. The article describes the method of building multi-bit DACs with weight redundancy with current output. Such DACs make it possible to significantly (by an order of magnitude) increase the speed of bit-by-bit coding ADCs. It is shown that such a DAC has a high speed, and also ensures the continuity of the conversion characteristics, even under the conditions of using an imprecise element base. Methods of building multi-bit current digital-analog converters based on resistive matrices, especially on the basis of generators of the same bit currents, are considered. The methods of reducing the error of the superposition of the discharge weights in such digital-to-analog converters due to the use of discharge current generators with high output resistance have been investigated. The methods of using redundancy in multi-bit current digital-to-analog converters to increase the speed of the bit-by-bit balancing ADC, which they are part of, are analyzed. ADC circuits implementing accelerated balancing algorithms based on redundant positional counting systems are presented. The principle and functional schemes of push-pull DC amplifiers with current feedback for increasing the output resistance of digital-to-analog converters are presented. Estimates of the output resistance of the considered two-stroke DC amplifiers based on the results of analytical calculations and computer simulations are given.

Key words: current output, resistive matrix, weight redundancy, two-stroke DC amplifier, DAC.

Постановка проблеми у загальному вигляді

та її зв'язок із важливими науковими чи практичними завданнями

Перетворення між аналоговими й цифровими величинами – основна операція в обчислювальних і керуючих системах, оскільки фізичні параметри, такі як температура, переміщення, напруга, аудіо і т. п., є аналоговими, а методи оброблення, обчислення й прийняття керуючих рішень – цифровими. ЦАП і АЦП є важливою частиною технологій, що стали доступними й широко поширилися в епоху цифрової революції. Підвищення точності, швидкодії, енергоефективності, надійності та інших параметрів сучасних АЦП та ЦАП є важливою метою.

Слід зазначити, що для побудови ЦАП можна використовувати різні підходи щодо структурно-схемної реалізації [1–5]. Найбільш класичний тип: розрядно-зважені ЦАП на базі резистивних матриць (з формуванням розрядно-зважених струмів), конденсаторних матриць (з формуванням розрядно-зважених електричних розрядів), подільників струмів з наступним підсумовуванням розрядно-зважених компонентів. Важливо відзначити, що оскільки більша частина паразитних параметрів інтегральних схем являє собою ємності, то застосування принципів підсилення і перетворення струмів має перевагу порівняно з принципом перетворення і підсилення напруг [1, 2, 5] і тому ЦАП з виходом по струму широко розповсюджені в сучасну епоху. Також значні переваги має використання надлишкових систем числення для ваг розрядів ЦАП [6,7]. Використання надлишкових систем числення дозволяє уникнути розривів в характеристиці перетворення ЦАП. Також використання надлишкових систем числення дозволяє здійснювати процедуру самокорекції ваг розрядів, завдяки чому похибка ваг розрядів лінеаризується і відбувається значне покращення лінійності перетворювача. Також для струмових ЦАП мають значення такі компоненти, як ППС

[1, 2, 8]. ППС можуть використовуватися для покращення навантажувальної здатності ЦАП, а також для додаткового підсилення сигналу в вихідних каналах. Вказані підходи є недостатньо розробленими, тому вивчення принципів побудови багаторозрядних ЦАП з вагою надлишковістю та виходом по струму, є надзвичайно важливим.

Питанням побудови ЦАП, зокрема, багаторозрядних, присвячено багато наукових праць. Водночас, базовими можна вважати [1 – 5, 9]. Варто зазначити, що часто ЦАП є складовою частиною аналого-цифрових перетворювачів (АЦП). Від статичних і динамічних параметрів ЦАП істотно залежать аналогічні параметри АЦП. Зауважимо, що час перетворення АЦП порозрядного врівноваження можна істотно скоротити (на порядок), якщо використовувати ЦАП із вагою надлишковістю у вигляді надлишкових позиційних систем числення (НПСЧ) [7]. Водночас, наукова спільнота недостатньо ознайомлена із цим напрямом, що і зумовлює актуальність обраної теми досліджень.

Отже, метою дослідження є розроблення методу побудови багаторозрядного ЦАП із виходом по струму, високою навантажувальною здатністю та відсутності розривів в характеристиці кодування, що уможливує застосування такого ЦАП у системах реєстрації аналогових сигналів.

Розв'язання задач досліджень

Струмові ЦАП можуть будуватися на основі резистивних матриць та генераторів розрядних струмів [1 – 4]. Такі генератори легко реалізуються на основі біполярної технології. Схема струмового ЦАП на основі генераторів зважених струмів зображена на рис 1.

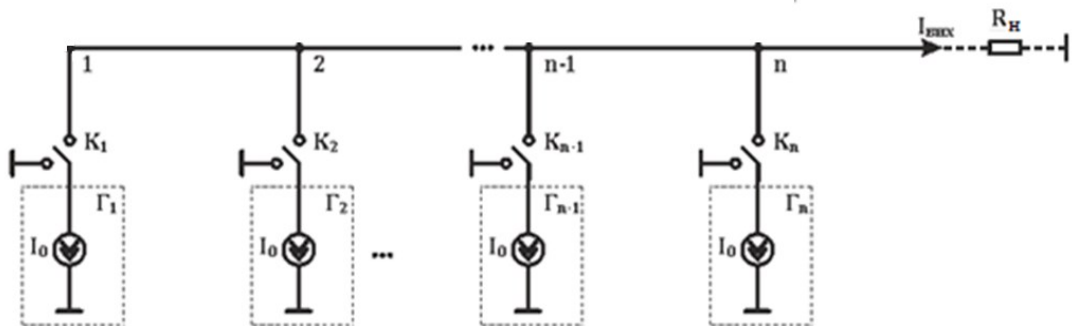


Рис. 1. Струмовий ЦАП на основі генераторів зважених розрядних струмів

Резистивна матриця використовується в генераторах зважених струмів і на рисунку не зображена.

Схема включає в себе n генераторів зважених розрядних струмів $\Gamma_1, \dots, \Gamma_n$. Виходи генераторів $\Gamma_1, \dots, \Gamma_n$ за допомогою ключів K_1, \dots, K_n керованих вхідним цифровим кодом підключаються (або відключаються) до виходу схеми. Сумарний вихідний сигнал формується на виході схеми. Розрядні струми в цій схемі різні і це буде вносити похибку. Для її компенсації біполярні транзистори, що входять до складу генераторів розрядних струмів в старших розрядах включаються паралельно в такій кількості, щоб через кожен з них протікав струм рівний струму молодшого розряду, або площі емітерів транзисторів повинні пропорційно збільшуватися для забезпечення такої ж щільності струму, як в емітері транзистора молодшого розряду, все це складно піддається реалізації для ЦАП високої розрядності. Також складно реалізувати для ЦАП високої розрядності великий діапазон номіналів резисторів при використанні двійковозважених резисторів. Цю проблему можна розв'язати, використовуючи матрицю типу $R-2R$, але проблема з необхідністю збільшення площі емітерів відповідних транзисторів залишається.

Низки недоліків, властивих ЦАП на основі генераторів зважених струмів, позбавлена схема, зображена на рис. 2. У ній резистивна матриця використовується як дільник однакових розрядних струмів.

Схема містить n генераторів розрядних струмів $\Gamma_1, \dots, \Gamma_n$. Виходи генераторів $\Gamma_1, \dots, \Gamma_n$ за допомогою ключів K_1, \dots, K_n керованих вхідним цифровим кодом підключаються (або відключаються) до вузлів резистивної матриці $1, \dots, n$. Сумарний вихідний сигнал формується на виході резистивної матриці. Оскільки генератори розрядних струмів однакові, це виключає зв'язані з цим похибки характерні для попередньої схеми. Також в силу того, що всі транзистори однакові, скорочується площа, яку вони займають на кристалі. Але під час роботи такого ЦАП потенціали у вузлах резистивної матриці і відповідно напруги на виходах генераторів розрядних струмів $\Gamma_1, \dots, \Gamma_n$ будуть змінюватися. Внаслідок цього буде з'являтися струм похибки через внутрішній опір генераторів струмів і буде з'являтися похибка ваг розрядів, що порушує принцип їх суперпозиції і обмежує точність ЦАП.

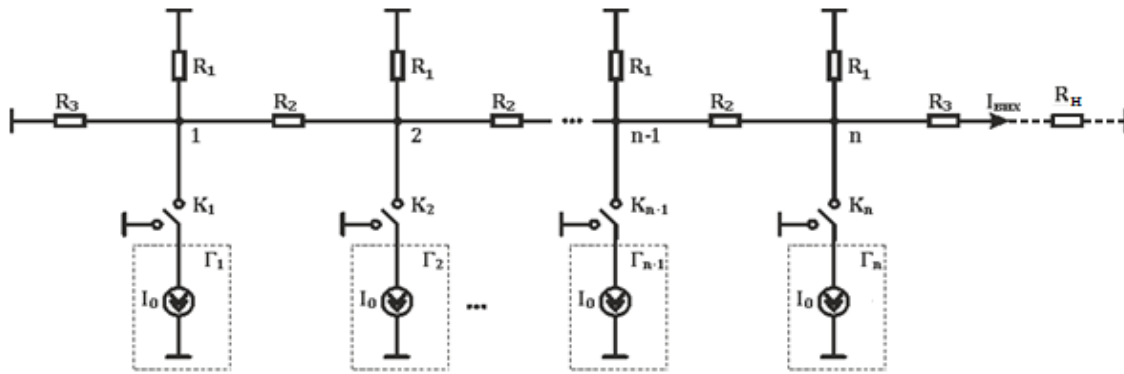


Рис. 2. Струмівий ЦАП на основі генераторів однакових розрядних струмів із використанням резистивної матриці в якості дільника струмів

Значення відносної похибки вихідного струму такого ЦАП буде дорівнювати:

$$\delta I_{ВИХ} = \frac{\Delta I_{ВИХ}}{I_{МЗР}} = \frac{2^n}{3} \cdot \frac{R}{r_{\Gamma}} \cdot \sum_{j=0}^{n-1} \left(\frac{a_j}{2^{n-1-j}} \cdot \sum_{i=0}^{n-1} \frac{a_i}{2^{|i-j|}} \right) \quad (1)$$

де $\{a_0, a_1, \dots, a_n\}$ – вхідний цифровий код;
 R – деякий базовий номінал резисторів матриці;
 r_{Γ} – внутрішній опір генератора розрядного струму;
 $I_{МЗР}$ – величина кванту молодшого розряду.

Під час використання найпростіших генераторів однакових розрядних струмів мінімально можливе співвідношення (R/r_{Γ}) досягає величини $10^{-3}-10^{-4}$, і, отже, максимально досяжна розрядність такого ЦАП становитиме 9...12 розрядів. Для зменшення похибки суперпозиції ваг розрядів ЦАП із підсумовуванням однаково струмів у вузлах резистивної матриці [8] було запропоновано створення генераторів однакових розрядних струмів із високим вихідним опором. Один із варіантів схеми такого ЦАП представлено на рис. 3 а), окремий генератор розрядного струму подано на рис. 3 б).

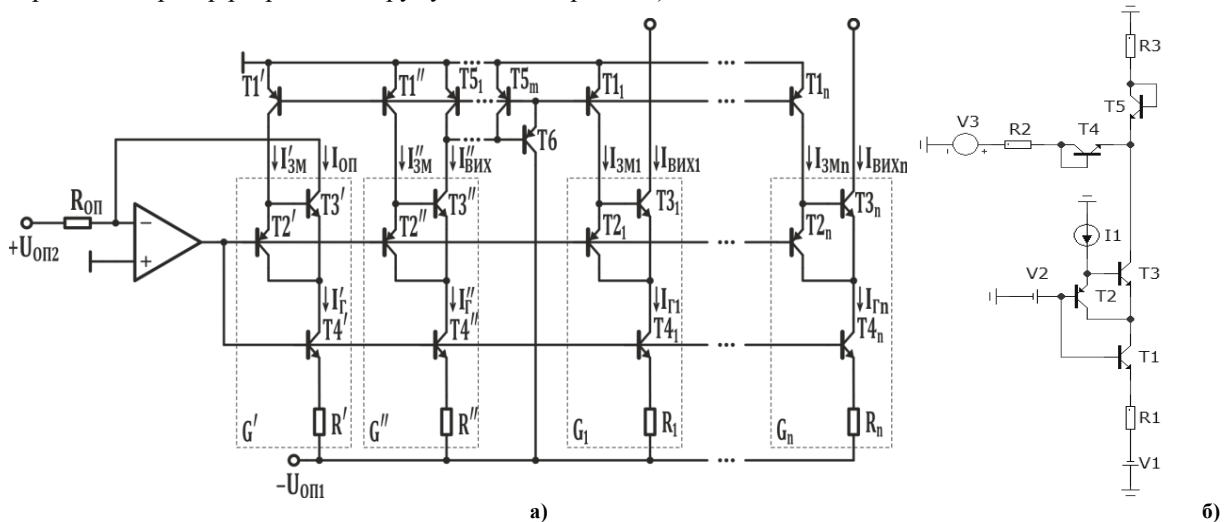


Рис. 3: а) ЦАП з генераторами однакових розрядних струмів зі струмами зміщення;
 б) окремий генератор розрядного струму

Схема окремого генератора струму на рис. 3 б) містить первинний генератор струму на транзисторі $T1$ і резисторі $R1$ і вихідний каскад на транзисторах $T2$ і $T3$ і джерело струму $I1$, що задає струм зміщення для транзистора $T2$. Вихідний струм генератора формується на колекторі транзистора $T3$. Якщо вихідна напруга збільшиться на du , тоді струм бази $T3$ зменшиться, а струм колектора $T3$ збільшиться на $du/r_{K(T3)}$. Оскільки струм емітера транзистора $T2$ $I_{E(T2)}=I_{ЗМ}-I_{B(T3)}$, то він і відповідно струм колектора $T2$ також збільшиться на $du/r_{K(T3)}$. Також оскільки струм емітера $T3$ $I_{E(T3)}=I_{\Gamma}-I_{K(T2)}$, то також він і відповідно струм колектора $T3$ зменшиться на $du/r_{K(T3)}$, тобто в першому наближенні зміна вихідного струму внаслідок зміни вихідної напруги компенсується. Тут r_{K} – диференційний опір колектора транзистора в режимі з загальною базою.

У роботах [6, 7] широко досліджуються методи використання вагової надлишковості при АЦП та ЦАП.

Надлишкові системи числення – це системи з набором ваг розрядів $\{Q_0, Q_1, \dots, Q_i, \dots\}$, якщо значення розряду належить множині $\{0, 1\}$, то для i -го розряду виконується умова:

$$Q_i < \sum_{j=0}^{i-1} Q_j. \quad (2)$$

Відносне значення надлишковості i -го розряду такої системи числення буде визначатися виразом:

$$\delta Q_i = \frac{\sum_{j=0}^{i-1} Q_j - Q_i}{Q_i} = \frac{-\alpha^{i+1} + 2 \cdot \alpha^i - 1}{\alpha^i \cdot (\alpha - 1)} \approx \frac{2 - \alpha}{\alpha - 1}. \quad (3)$$

Швидкодія АЦП на основі надлишкових позиційних систем числення (НПСЧ) може бути істотно збільшена завдяки витраті частини надмірності ваг розрядів на автокомпенсацію динамічних похибок із сигналу, що компенсує (з виходу компенсуючого ЦАП) [7].

Наявність при аналого-цифровому перетворенні динамічних похибок може призвести до появи розривів кодувальної характеристики, інакше кажучи наприкінці врівноважування похибка недовстановлення повинна бути менше половини молодшого розряду [7]:

$$\Delta_g(t_{np}) = \left| A_{BX} - \sum_{i=0}^N Q_i(t - t_i) \right| \leq q/2, \quad (4)$$

де Δ_g – динамічна похибка квантування;

$Q_i(t - t_i)$ – вага i -го розряду;

$t_{np} = \Delta t \cdot N$ – загальний час перетворення;

Δt – тривалість такту зрівноважування.

Похибка на кожному з тактів врівноваження може привести до невключення необхідного розряду або до помилкового включення розряду, що перевищує по своїй вазі некомпенсований сигнал. У АЦП на основі двійкової системи числення зазначені помилки не можуть бути скомпенсовані на наступних тактах зрівноважування, що приводить до похибок врівноважування та проявляються в розривах передатної характеристики.

В АЦП на основі НПСЧ поява помилок типу «невключення» розряду компенсується на наступних тактах перетворення за рахунок включення групи більш молодших розрядів. Усунення похибок через помилкове включення i -го розряду може бути досягнуто введенням додаткового аналогового сигналу $Q_{don.i}$, що вмикається на час такту порівняння. При цьому відбувається «форсування» перехідних процесів і відпадає потреба домагатися точного встановлення сигналу, що компенсує.

На рис. 4 а) і рис. 4 б) наведено ілюстрацію перехідних процесів на виході схеми порівняння. Причому показано виникнення похибки квантування через помилкове включення розряду в АЦП, що функціонує за класичним принципом порозрядного наближення. На рис. 4 б) наведено функціонування АЦП на основі НПСЧ за модифікованим способом й використанням додаткового аналогового сигналу. Значенню додаткового сигналу Q_{don} відповідає заштрихована ділянка на рис. 4 б). З наведених рисунків видно, що введення додаткового аналогового сигналу запобігає неправильному включенню старшого розряду. Аналого-цифрове перетворення в другому випадку було виконано правильно, незважаючи на наявність значних динамічних похибок. Оптимальне значення додаткового сигналу для коду «золотої» пропорції на кожному такті зрівноважування дорівнює:

$$Q_{don.i} = Q_i \cdot \alpha^{-1} / 2 \approx 0.3 \cdot Q_i. \quad (5)$$

Варто зазначити, що описаний модифікований спосіб порозрядного наближення є простим у технічній реалізації. Для формування $Q_{don.i}$ використовуються молодші стосовно i -го розряду основного ЦАП, що підключають за допомогою трохи зміненого регістра послідовного наближення. Отже, для збільшення швидкодії потрібно змінити тільки алгоритм роботи цифрової частини АЦП. Граничне значення динамічної похибки, компенсоване в модифікованому способі для НПСЧ на основі «золотої» пропорції,

становить $\alpha^{-3} \approx 0,236$ (23,6%) від ваги розряду. При експонентному перехідному процесі тривалість такту перетворення при цьому становить $1,5\tau$. Для порівняння: у двійковому 16-ти розрядному АЦП тривалість такту не повинна бути менше 12τ . Виграш у швидкодії з урахуванням подовження розрядної сітки становить 5,3 рази.

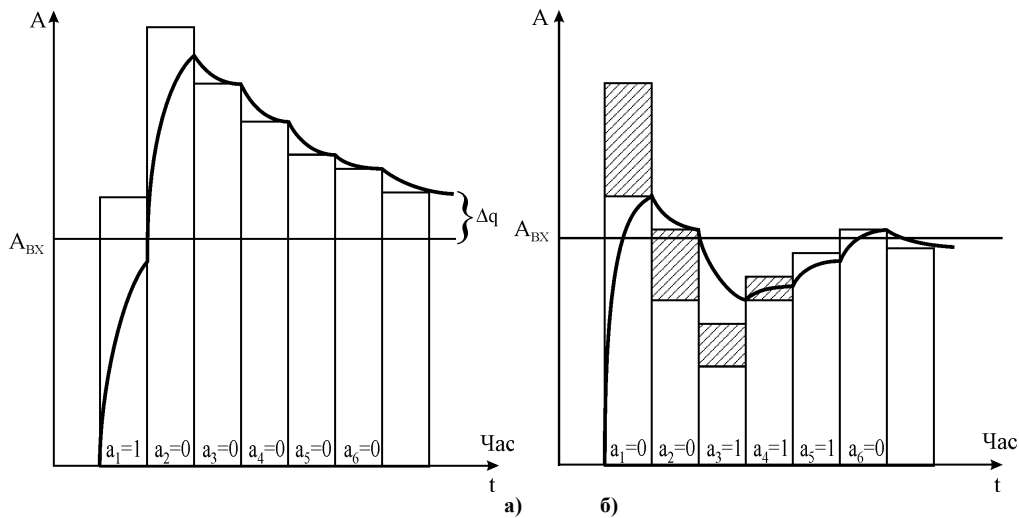


Рис. 4. Перехідні процеси: а) в АЦП послідовного наближення на основі двійкової СЧ; б) в АЦП послідовного наближення на основі НПСЧ

Таким чином, в АЦП на основі НПСЧ, що функціонує за модифікованим способом порозрядного наближення, вдається, незважаючи на подовження розрядної сітки, істотно збільшити швидкодію.

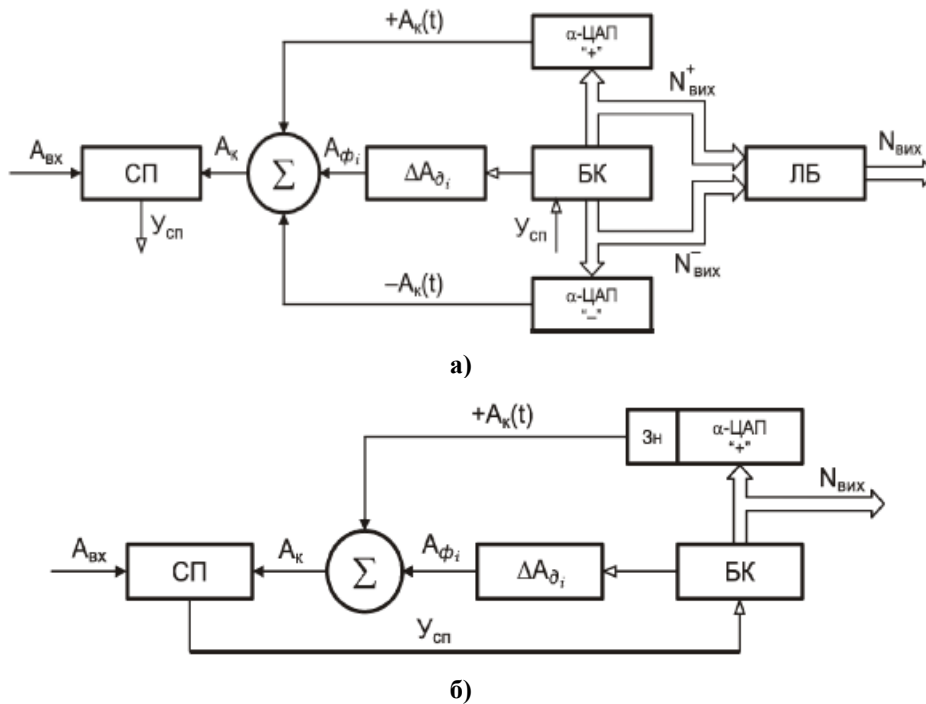


Рис. 5. Структурні схеми АЦП, що реалізують алгоритми прискореного врівноваження: а) на основі НПСЧ (1,-1); б) на основі НПСЧ (1,0)

Структурну схему АЦП на основі НПСЧ (1, -1), що реалізує прискорене форсоване врівноваження, наведено на рис. 5 а), де: СП – схема порівняння, « Σ » – суматор аналогових сигналів; ΔA_{ϕ_i} – генератор аналогових сигналів, що форсують; ЛБ – логічний блок для формування вихідного коду $N_{\text{вих}}$; БК – блок керування, що забезпечує функціонування пристрою. В окремому випадку генератор ΔA_{ϕ_i} може бути відсутнім. Його роль можуть виконувати цифро-аналогові перетворювачі α -ЦАП «+» і α -ЦАП «-». Ця обставина зумовлена тим, що процес перетворення здійснюється від старших розрядів до молодших. При

цьому, поки йде формування коду результату $N_{\text{вих}}$ у старших розрядах, молодші «незайняті» розряди можуть використовуватися для генерування ΔA_d .

Можливості розглянутих способів збільшення швидкодії можуть бути досягнуті тільки з урахуванням ряду факторів, пов'язаних з динамічними характеристиками ЦАП і схеми порівняння. У реальних пристроях перехідні процеси відбуваються складніше: позначаються затримки включення розрядів, комутаційні перешкоди, перерегулювання, «затягування» і т. п. Вплив зазначених ефектів може бути зменшене за рахунок переходу на струмовий принцип побудови пристрою квантування й розробкою відповідних схемних рішень [1, 2].

Разом із тим, такий струмовий ЦАП має недолік, який полягає в тому, що його вихідний опір становить лише R , де R – деякий базовий номінал резисторів матриці. Для усунення цього недоліка пропонується використовувати [10, 11] високолінійні двотактні підсилювачі-масштабатор струму (ДПМС) на біполярних транзисторах. Функціональну та принципову схеми такого підсилювача зображено на рис. 6.

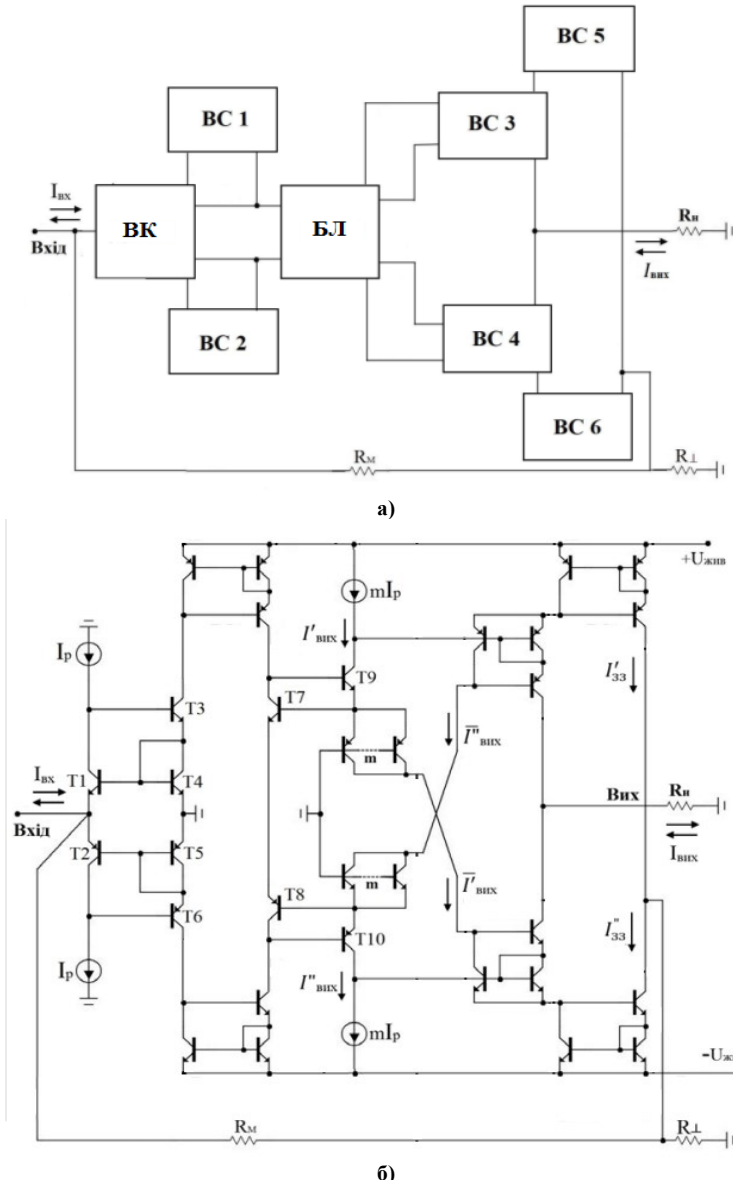


Рис. 6. Високолінійний двотактний підсилювачі-масштабатор струму на біполярних транзисторах:
 а) функціональна схема; б) принципова схема

У ДПМС застосовується двотактний принцип підсилення струмів, що забезпечує покращення лінійності передатної характеристики. Він складається зі входного каскаду (ВК), зібраного на транзисторах T1—T6, а також балансиру з чотирма виходами (БЛ), складеного на транзисторах T7—T10 двох груп з $n-p-n$ і $p-n-p$ транзисторів, що разом з T7 і T8 утворюють внутрішній балансний зворотний зв'язок. На виходах балансира формуються прямі та інверсні струми, які надходять на входи ВС блока формування струмів зворотного зв'язку $I_{\text{зз}}$, та вихідного струму $I_{\text{вих}}$. Варто зазначити, що відбивачі струму BC2 і BC3, на

виходах яких формується Івх, включено послідовно з ВС1 і ВС4, на виходах яких генерується струм зворотного зв'язку I_{33} , який в свою чергу подається на дільник струму, зібраний на резисторах R_{\perp} і R_M . Така конфігурація дозволяє істотно (на порядки) збільшити вихідний опір ДПМС.

Визначимо деякі показники ДПМС, зокрема, малосигнальний коефіцієнт передачі струму K_{ni} зі входу на вихід, враховуючи, що зазвичай $K_i \gg 1$:

$$K_{ni} = \frac{I_{BX}}{I_{BIX}} = \frac{K_i}{1 + K_{33} \cdot K_i} \approx \frac{R_M + R_{\perp}}{R_{\perp}} \quad (6)$$

де K_i – коефіцієнт підсилення струму ДПМС у разі розірваної петлі зворотного зв'язку.

Треба створити умови однонаправленості зворотного зв'язку, принаймні виконання нерівності $R_M > R_{вх}$, де $R_{вх}$ – максимальний вхідний опір ДПМС.

$$R_{BX} = 2 \frac{\beta_1 \cdot \beta_2}{\beta_1 + \beta_2} \cdot \frac{r_{e1} \cdot r_{e2}}{r_{e1} + r_{e2}} \quad (7)$$

де r_{e1}, r_{e2} – малосигнальні емітерні опори;

β_1 і β_2 – коефіцієнтами передачі колекторного струму npr та pnp транзисторів.

Малосигнальний вихідний опір схеми $R_{вих}$ ДПМС, залежить як від вихідних опорів ВС2 і ВС3 так, і глибини зворотного зв'язку. Оскільки струмовий зворотний зв'язок істотно збільшує вихідний опір, то буде:

$$R_{BIX} = \frac{r_{k1} \cdot r_{k2}}{r_{k1} + r_{k2}} \cdot \left(1 + K_i \cdot \frac{R_{\perp}}{R_M + R_{\perp}} \right) \quad (8)$$

де r_{k1}, r_{k2} – диференційні опори колекторів транзисторів в режимі з загальною базою.

Для оцінювання вихідного опору ДПМС доцільно здійснити комп'ютерне моделювання, зокрема, із застосованих інтегрованих пакетів схемо технічного аналізу MicroCap 11. При цьому значення $R_{вих}$ доцільно здійснити через амплітудно-частотну характеристику. Робочий струм зміщення $I_p=1.0\text{мА}$, напруги живлення $U_{ж}=10\text{В}$, використовуються інтегральні транзистори npr - NUHFARRY та pnp - PUHFARRY. Вихідний опір для схеми, виходячи з АЧХ, що наведена на рис. 7, дорівнює $\approx 1.54\text{Гом}$.

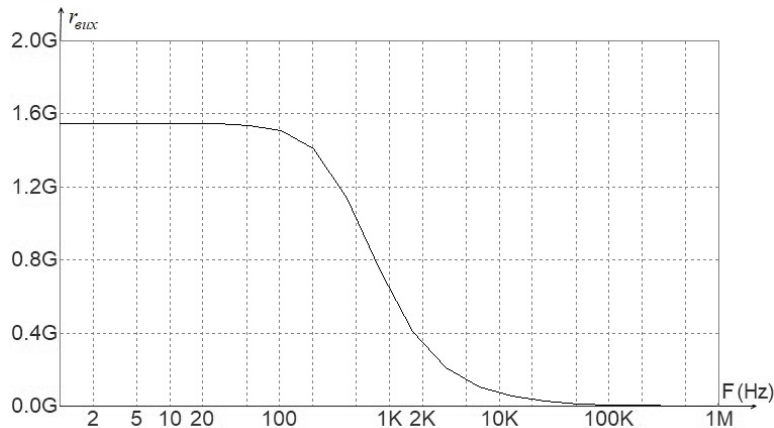


Рис. 7. АЧХ для схеми ДПМС

Висновки з даного дослідження і перспективи подальших розвідок у даному напрямі

1. Проаналізовано методи побудови багаторозрядних струмових ЦАП на базі генераторів зважених та однакових розрядних струмів, показані переваги ЦАП на базі генераторів однакових струмів і запропоновані методи зменшення похибки суперпозиції ваг розрядів в них.

2. Проаналізовано методи використання надлишковості в багаторозрядних струмових ЦАП для швидкодії АЦП порозрядного врівноваження, до складу яких вони входять, запропонована структурна схема АЦП прискореного врівноваження.

3. Проаналізовано методи використання двотактних підсилювачів постійного струму (ДПМС) зі зворотнім зв'язком по струму для підвищення навантажувальної здатності ЦАП із виходом по струму (вихідного опору ЦАП), показано задовільні вихідні характеристики вказаних схем ($R_{вих} \approx 1.54\text{Гом}$).

Література

1. Alan B. Grebene. Analogue Integrated Circuit Design (Microelectronics series). R. E. Krieger Publishing Company, 1978. 401 p.
2. Alan B. Grebene. Bipolar and MOS Analog Integrated Circuit Design. Wiley Classics library. 2003. P. 437–443.
3. W. Kester. Data Conversion Handbook (Analog Devices). [Analog Devices Inc. Engineeri](#). Newnes; 1st edition. December 16, 2004. 976 p. ISBN-10: 0750678410. ISBN-13: 978-0750678414.
4. Walt Kester. Data Conversion Handbook (with the technical staff of Analog Devices). A Volume in the Analog Devices Series. Newnes is an imprint of Elsevier30 Corporate Drive, Suite 400, Burlington, MA 01803, USALinacre House, Jordan Hill, Oxford OX2 8DP, UK. ISBN: 0-7506-7841-0.
5. D. Kress, The Spectrum of Current Sensing: From DC to Light. 2014. URL : <https://www.analog.com/en/education/education-library/webcasts/the-spectrum-of-current-sensing.html> (Дата звернення 29.07.2022 p.).
6. Patent № 2091507 A GB, IPC H03K 13/02. Analog-to-digital converter [Text] / A. P. Stakhov, A. D. Azarov, V. A. Luzhetsky (USSR). - № 19820004360; filed 28.07.1980; issued 28.07.1982.
7. Азаров О. Д. Аналого-цифрове порозрядне перетворення на основі надлишкових систем числення з ваговою надлишковістю: монографія / Азаров О. Д. – Вінниця: ВНТУ, 2010. – 231 с. ISBN 966-641-089-9.
8. Азаров О., Обертюх М. Генератори однакових струмів із високими вихідними опорами для багаторозрядних ЦАП. *Інформаційні технології та комп'ютерна інженерія*. 2019. Т. 3. № 46. С. 33 –39. DOI: 10.31649/1999-9941-2019-46-3-28-38
9. J. Graham, J. Tobey, L. Hulsman. Operational Amplifiers; Design and Applications. McGraw-Hill; First Edition (June 1, 1971). 512 p. ISBN-10: 0070649170. ISBN-13: 978-0070649170.
10. Азаров О., Генеральницький Є., Фігас Г. Високोलінійні двотактні масштабатори - перетворювачі струмів на базі високоомних струмових дзеркал. *Інформаційні технології та комп'ютерна інженерія*. № 3. 2021. С. 60-69. URL: <https://doi.org/10.31649/1999-9941-2021-52-3-60-69>. (Дата звернення 13.04.22).
11. Азаров О. Д., Генеральницький Є. Високोलінійний двотактний підсилювач-масштабатор струму на біполярних транзисторах із заземленим навантаженням. *Вісник Вінницького політехнічного інституту*. №5. С. 55 – 61. 2019. ISSN 1997-9266. <https://doi.org/10.31649/1997-9266-2019-146-5-55-61>

References

1. Alan B. Grebene. Analogue Integrated Circuit Design (Microelectronics series). R. E. Krieger Publishing Company, 1978. 401 p.
2. Alan B. Grebene. Bipolar and MOS Analog Integrated Circuit Design. Wiley Classics library. 2003. P. 437–443.
3. W. Kester. Data Conversion Handbook (Analog Devices). Analog Devices Inc. Engineeri. Newnes; 1st edition. December 16, 2004. 976 p. ISBN-10: 0750678410. ISBN-13: 978-0750678414.
4. Walt Kester. Data Conversion Handbook (with the technical staff of Analog Devices). A Volume in the Analog Devices Series. Newnes is an imprint of Elsevier30 Corporate Drive, Suite 400, Burlington, MA 01803, USALinacre House, Jordan Hill, Oxford OX2 8DP, UK. ISBN: 0-7506-7841-0.
5. D. Kress, The Spectrum of Current Sensing: From DC to Light. 2014. URL : <https://www.analog.com/en/education/education-library/webcasts/the-spectrum-of-current-sensing.html> (Data zvernennia 29.07.2022 r.).
6. Patent № 2091507 A GB, IPC H03K 13/02. Analog-to-digital converter [Text] / A. P. Stakhov, A. D. Azarov, V. A. Luzhetsky (USSR). - № 19820004360; filed 28.07.1980; issued 28.07.1982.
7. Azarov O. D. Analoho-tsyfrove porozriadne peretvorennia na osnovi nadlyshkovykh system chyslennia z vahovoiu nadlyshkovisti: monohrafiia / Azarov O. D. – Vinnytsia: VNTU, 2010. – 231 s. ISBN 966-641-089-9.
8. Azarov O., Obertiukh M. Heneratory odnakovykh strumiv iz vysokymy vykhidnymy oporamy dlia bahatorozriadnykh TsAP. Informatsiini tekhnolohii ta kompiuterna inzheneriia. 2019. T. 3. № 46. S. 33 –39. DOI: 10.31649/1999-9941-2019-46-3-28-38
9. J. Graham, J. Tobey, L. Hulsman. Operational Amplifiers; Design and Applications. McGraw-Hill; First Edition (June 1, 1971). 512 p. ISBN-10: 0070649170. ISBN-13: 978-0070649170.
10. Azarov O., Heneralnytskyi Ye., Fihasy H. Vysokoliniini dvotaktni masshtabatory - peretvoriuvachi strumiv na bazy vysokoomnykh strumovykh dzerkal. Informatsiini tekhnolohii ta kompiuterna inzheneriia. № 3. 2021. S. 60-69. URL: <https://doi.org/10.31649/1999-9941-2021-52-3-60-69>. (Data zvernennia 13.04.22).
11. Azarov O. D., Heneralnytskyi Ye. Vysokoliniinyi dvotaktnyi pidlyiuvach-masshtabator strumu na bipoliarnykh tranzystorakh iz zazemlenym navantazhenniam. Visnyk Vinnytskoho politekhnichnoho instytutu. №5. S. 55 – 61. 2019. ISSN 1997-9266. <https://doi.org/10.31649/1997-9266-2019-146-5-55-61>