

## СТРАТЕГІЯ JTAG-ТЕСТУВАННЯ МІКРОПРОЦЕСОРНИХ СИСТЕМ

Цирульник Сергій<sup>1</sup>, Роптанов Володимир<sup>2</sup>, Цирульник Вікторія<sup>2</sup>

<sup>1</sup>Вінницький технічний коледж

<sup>2</sup>Вінницький національний технічний університет

### Анотація

*У статті розглядаються особливості застосування технології JTAG периферійного сканування для проектування, попередньої підготовки та налагодження цифрових електронних пристроїв та мікропроцесорних систем з використанням сучасних програмних засобів для JTAG-тестування.*

### Abstract

*In article features the use of JTAG boundary-scan technology for design, advance preparation and debugging digital electronic devices and microprocessor-based systems using modern software tools for JTAG-test.*

### Вступ

Тестування мікропроцесорних пристроїв та його окремих частин в процесі виробництва реалізовується на методах та технологіях: візуальний автоматизований контроль (AOI, AXI) – це попередня перевірка якості; внутрішньо схемне тестування (ICT/FICT) – перевірка з'єднань та компонентів на друкованій платі з використанням контакт пробників (Bed of nails, Flying probe) з вузлами зібраної плати; периферійне/граничне сканування (Boundary scan) – тестування з використанням JTAG інтерфейсу; функціональне тестування (FCT) – перевірка зібраних або частково зібраних пристроїв на виконання заданої функціональності та параметрам. На практиці кращі результати показують ті методи, які дозволяють швидко отримати інформацію та визначити конкретні етапи, на яких з'являються проблеми.

Застосування інтерфейсу JTAG для тестування та програмування компонентів дає певні переваги на усіх етапах життя виробу.

### Постановка задачі

Проаналізувати інтерфейс JTAG та периферійне сканування на предмет їх практичного застосування для розробки тест придатних мікропроцесорних пристроїв та програмного забезпечення.

### Основна частина

Відповідно до стандарту IEEE 1149.1 [1], мікросхема, що підтримує Boundary-Scan, повинна бути оснащена чотирма обов'язковими елементами (рис. 1): TAP-портом (JTAG інтерфейс), який складається з таких сигналів: TCK (Test Clock), TMS (Test Mode Select), TDI (Test Data In), TDO (Test Data Out), TRST (Test Logic Reset); TAP-контролер; IR (Instruction Register - реєстр команд); DR (Data Registers - реєстр даних). Складається з реєстру обходу (PO) та реєстру Boundary-Scan.

Для того, щоб проводити перевірку на рівні плати, компоненти, що мають інтерфейс граничного сканування, мають бути з'єднані в послідовне коло, що починається від TDI та закінчується на TDO, так, щоб вони сформували єдине коло периферійного сканування (Boundary-Scan). Для активації логіки периферійного сканування необхідно подати синхроімпульс по TCK та встановити потрібне значення станів на TMS. Між ядром мікросхеми та виводами знаходиться мультиплексор, який може відключати ядро мікросхеми від виводів та замість ядра підключати до виводів

регістр зсуву (регістр Boundary-Scan). Сигнали на регістр Boundary-Scan усередині мікросхеми подаються через мультиплексор, і він може брати сигнали, по-перше, зсередини мікросхеми, і тоді користувач може прочитати стан ядра мікросхеми (INTEST), а по-друге, сигнали на регістр можуть подаватися і ззовні мікросхеми, тобто безпосередньо з її входів/виходів (EXTEST).

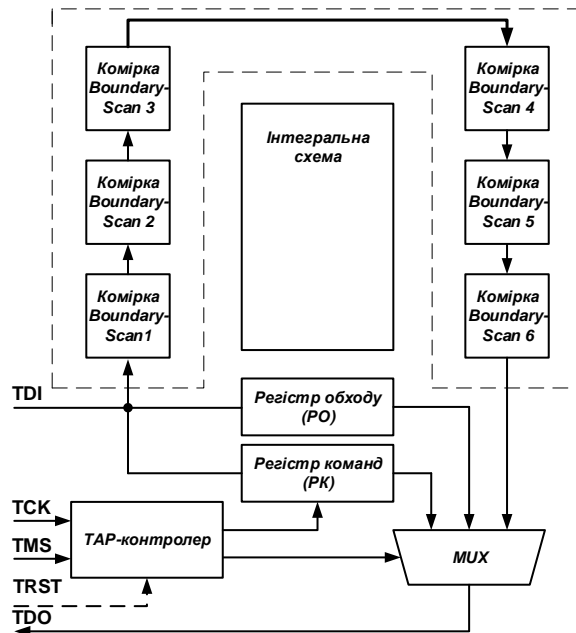


Рисунок 1 – Архітектура технології Boundary-Scan [1]

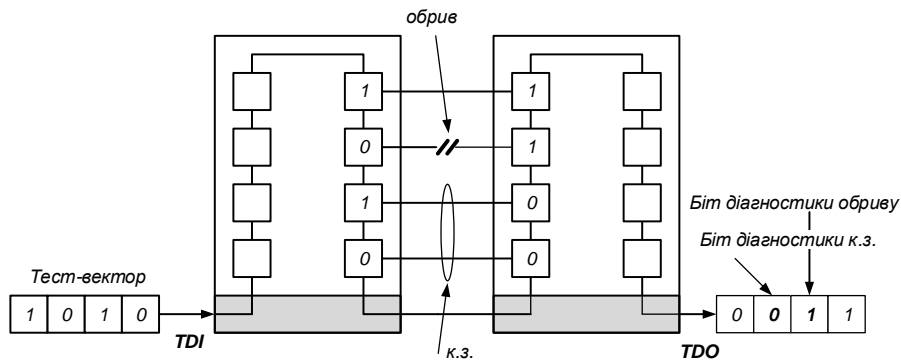


Рисунок 2 – Принцип JTAG-тестування

Висновки про наявність дефекту робляться на підставі аналізу тестової послідовності в контролері периферійного сканування. Тест електричних кіл генерується автоматично на підставі даних про JTAG-ланцюжок (порядку дотримання BS-мікросхем в ланцюжку та інформації про їх BSDL-моделі), а також даних про список ланцюгів електронного модуля (net list) [3].

Слід зазначити, що граничне сканування можна здійснювати і на системному рівні. Декілька пристроїв, об'єднаних в одну системну плату, можуть мати загальну JTAG-шину периферійного сканування й тестуватися у складі складного виробу через один єдиний роз'єм (рис.2). Немає необхідності в тому, щоб всі компоненти на платі мали JTAG-інтерфейс. Наприклад, багато блоків, що складаються з не сканованих компонентів (Non-BScan), можуть тестуватися, незважаючи на відсутність прямого доступу до периферійного сканування. Існують практичні приклади, коли здійснюється контроль і

детальне тестування абсолютно всієї плати (включаючи пам'ять) за допомогою одного або двох компонентів, що підтримують периферійне сканування (рис. 3) [3].

Таким чином, на рівні плати проведення випробувань на Boundary-Scan може бути повністю автоматизовано. Генерація тестів відбувається автоматично на основі схеми, розробленої в будь-якій з існуючих САПР, та BSDL-моделей JTAG-елементів. BSDL-моделі досить легко завантажити з сайтів виробників мікросхем або вибрати з готової бібліотеки. Програмний пакет містить необхідні інструменти для візуалізації виявлених при тестуванні дефектів. На сьогодні на світовому ринку присутні такі програмно-апаратні комплекси: ScanWorks фірми Asset InterTech; ScanExpress фірми Corelis; ProVision фірми JTAG Technologies; onTAP фірми Flynn Systems; XJTAG фірми XJTAG; SourceWizard та ScanMaster фірми Acculogic [4].

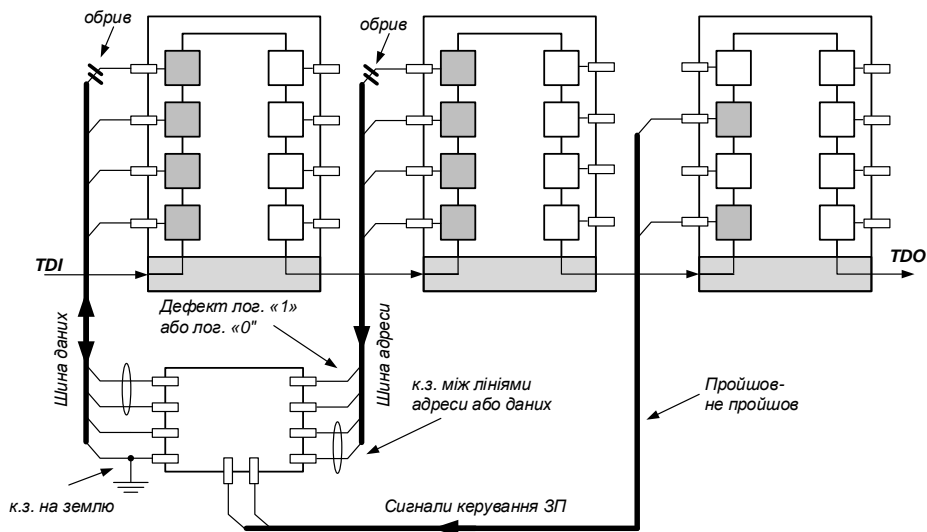


Рисунок 3 – JTAG тестування складного виробу через один єдиний роз'єм

## Висновки

Простота доступу з метою тестування й легкості розробки тестів Boundary-Scan успішно використовується для тестування дослідних зразків та виявлення виробничих дефектів. Для сучасних великих інтегральних схем поки не знайдено способу діагностування з більш високим тестовим покриттям. JTAG-інфраструктура може використовуватися також для програмування флеш-пам'яті та ПЛІС вже після монтажу плати. Оскільки Boundary-Scan не потребує складного підходу до себе і при наявності плати, відповідної JTAG-стандарту, застосування цієї технології не викликає ускладнень, то не складе труднощів впровадити її у навчальний процес для підготовки фахівців з комп'ютерної інженерії.

## Список використаних джерел:

1. Городецкий А. Введение в технологию граничного сканирования/ А. Городецкий, Л. Курилан// Производство электроники: технологии, оборудования, материалы. – 2007. – №5. – С. 1-5.
2. Городецкий А. Тестирование компонентов памяти в технологии JTAG. Часть 1/ А. Городецкий// Компоненты и технологии. – 2010. – № 2. – С. 10-12.
3. Иванов А. Ключевые моменты тестопригодной разработки/ А. Иванов// Электронные компоненты. – 2010. – №4. – С. 16-18.
4. Курбатов М. Стратегия тестирования электронных модулей методом периферийного сканирования с помощью программного средства CASCON/ М. Курбатов// Технологии в электронной промышленности. –2008. – №8. – С. 48-51.