



УКРАЇНА

(19) **UA** (11) **90280** (13) **U**
(51) МПК
H03F 3/04 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

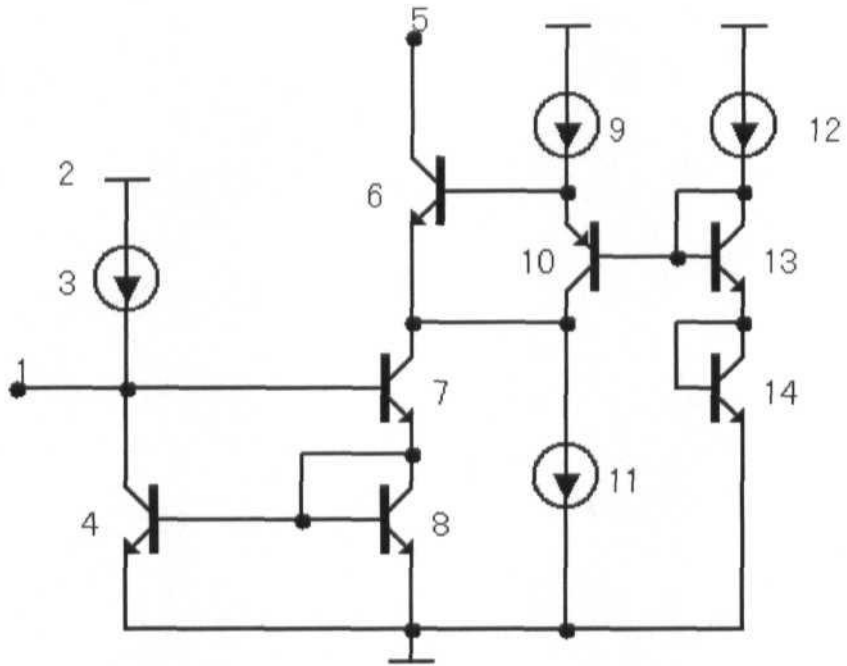
<p>(21) Номер заявки: u 2013 09914</p> <p>(22) Дата подання заявки: 09.08.2013</p> <p>(24) Дата, з якої є чинними права на корисну модель: 26.05.2014</p> <p>(46) Публікація відомостей про видачу патенту: 26.05.2014, Бюл.№ 10</p>	<p>(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Павлов Сергій Володимирович (UA), Богомолов Сергій Віталійович (UA), Павлович Сергій Ігорович (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
--	--

(54) ВІДБИВАЧ СТРУМУ

(57) Реферат:

Відбивач струму містить чотири транзистори, шину нульового потенціалу, вхідну та вихідну шини, причому вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою другого транзистора, емітер першого транзистора з'єднано з колектором та базою третього транзистора, а також з базою четвертого транзистора, емітер другого транзистора з'єднано з колектором четвертого транзистора, емітери третього та четвертого транзисторів з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною. У нього введено три транзистора, чотири джерела струму, причому емітер п'ятого транзистора об'єднано з колектором другого транзистора і з'єднано з об'єднаним колектором шостого транзистора і першим виводом третього джерела струму, база п'ятого транзистора та емітер шостого транзистора з'єднано з другим виводом другого джерела струму, бази шостого та сьомого транзисторів об'єднано і з'єднано з колектором сьомого транзистора та з другим виводом четвертого джерела струму, емітер сьомого транзистора з'єднано з колектором та базою восьмого транзистора, колектор п'ятого транзистора з'єднано з вихідною шиною, перший вивід першого джерела струму, перший вивід другого і четвертого джерела струму з'єднано з шиною нульового потенціалу.

UA 90280 U



Корисна модель належить до аналогової техніки і може бути використана в двотактних підсилювальних схемах.

Відомо відбивач струму (U.S. Patent, Current mirror for low supply voltage operation, Craig M. Brannon et al.; Fig 2; Patent Number 5,311,146; Data of Patent May. 10, 1994) який містить три
5 транзистори, вхідну та вихідну шини, шину нульового потенціалу, два резистори причому, вхідну шину з'єднано з колектором першого транзистора, а також з базою третього транзистора, емітери першого та другого транзисторів відповідно з'єднані з першим виводом першого та
10 другого резисторів, другі виводи першого та другого резисторів об'єднано та з'єднано з шиною нульового потенціалу, бази першого та другого транзисторів об'єднано та з'єднано з емітером другого транзистора, колектор третього транзистора з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною. Таким чином схема забезпечує засіб отримання опорного струму, що не залежить від параметрів приладів, проте не до ліком є обмежена функціональна можливість.

За найближчий аналог вибрано відбивач струму (U.S. Patent, noise immune current mirror, Mark W. Gose et al.; Fig 1E; Patent Number 4,866,399; Data of Patent Sep. 12, 1989), який містить шину нульового потенціалу, вхідну та вихідну шини, чотири транзистори, причому вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою другого транзистора, емітер першого транзистора з'єднано з колектором та базою третього транзистора, а також з базою четвертого транзистора, емітер другого транзистора з'єднано з колектором четвертого
20 транзистора, емітери третього та четвертого транзисторів з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною. Таким чином схема забезпечує засіб отримання опорного струму, проте не до ліком є велика похибка передачі сигналу.

Недо ліком найближчого аналога є низька точність роботи пристрою та високий вхідний опір.
25 В основу корисної моделі поставлена задача створення відбивача струму, в якому за рахунок введення нових елементів та зв'язків між ними, за умови, що генератор вхідного сигналу має обмежений опір, підвищується точність роботи, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у відбивач струму, який містить шину нульового потенціалу, вхідну та вихідну шини, чотири транзистори, причому вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою другого транзистора, емітер першого транзистора з'єднано з колектором та базою третього транзистора, а також з базою четвертого транзистора, емітер другого транзистора з'єднано з колектором четвертого
35 транзистора, емітери третього та четвертого транзисторів з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною, введено три транзистори, чотири джерела струму, причому емітер п'ятого транзистора об'єднано з колектором другого транзистора і з'єднано з об'єднаним колектором шостого транзистора і першим виводом третього джерела струму, база п'ятого транзистора та емітер шостого транзистора з'єднано з
40 другим виводом другого джерела струму, бази шостого та сьомого транзисторів об'єднано і з'єднано з колектором сьомого транзистора та з другим виводом четвертого джерела струму, емітер сьомого транзистора з'єднано з колектором та базою восьмого транзистора, колектор п'ятого транзистора з'єднано з вихідною шиною, перший вивід першого джерела струму, перший вивід другого і четвертого джерела струму з'єднано з шиною нульового потенціалу.

45 На кресленні представлено схему відбивача струму.

Пристрій містить, вхідну 1 та вихідну 5 шини, шину нульового потенціалу 2, сім транзисторів, чотири джерела струму, причому вхідна шина 1 з'єднана з об'єднаним колектором третього 4 транзистора і другим виводом першого 1 джерела струму, бази третього 4 і четвертого 8 транзисторів об'єднано і з'єднано із об'єднаними емітером другого 7 і четвертого 8 транзисторів,
50 емітер п'ятого 6 транзистора об'єднано з колектором другого 7 транзистора і з'єднано з об'єднаним колектором шостого 10 транзистора і першим виводом третього 11 джерела струму, база п'ятого 6 транзистора та емітер шостого 10 транзистора з'єднано з другим виводом другого 7 джерела струму, бази шостого 10 та сьомого 13 транзисторів об'єднано і з'єднано з колектором сьомого 13 транзистора та з другим виводом четвертого 12 джерела струму, емітер сьомого 13 транзистора з'єднано з колектором та базою восьмого 14 транзистора, колектор п'ятого 6 транзистора з'єднано з вихідною шиною 5, перший вивід першого 3 джерела струму, перший вивід другого 9 і четвертого 12 джерела струму з'єднано з шиною нульового потенціалу 2.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму поступає на вхідну шину 1. Якщо вхідний струм втікає у схему, то збільшується падіння напруги на третьому 4 і четвертому 8 транзисторах у діодному вмиканні, та базовий струм другого 7 транзистора. При цьому другий 7 та четвертий 8 транзистори привідчиняються, що веде до збільшення емітерного струму п'ятого 6 транзистора, що у свою чергу призводить до збільшення базового та колекторного струму п'ятого 6 транзистора, це збільшує струм вихідної шини 5. Якщо базовий струм п'ятого 6 транзистора збільшується, то зменшується емітерний струм шостого 10 транзистора, що у свою чергу призводить до зменшення колекторного та базового струму цього транзистора. Це призводить до врівноваження струму на другому 7 транзисторі.

Якщо вхідний струм витікає зі схеми, то зменшується падіння напруги на третьому 4 і четвертому 8 транзисторах у діодному вмиканні, та базовий струм другого 7 транзистора. При цьому другий 7 та четвертий 8 транзистори призначиняються, що веде до зменшення емітерного струму п'ятого 6 транзистора, що у свою чергу призводить до зменшення базового та колекторного струму п'ятого 6 транзистора, це зменшує струм вихідної шини 5. Якщо базовий струм п'ятого 6 транзистора зменшується, то збільшується емітерний струм шостого 10 транзистора, що у свою чергу призводить до збільшення колекторного та базового струму цього транзистора. Це призводить до врівноваження струму на другому 7 транзисторі.

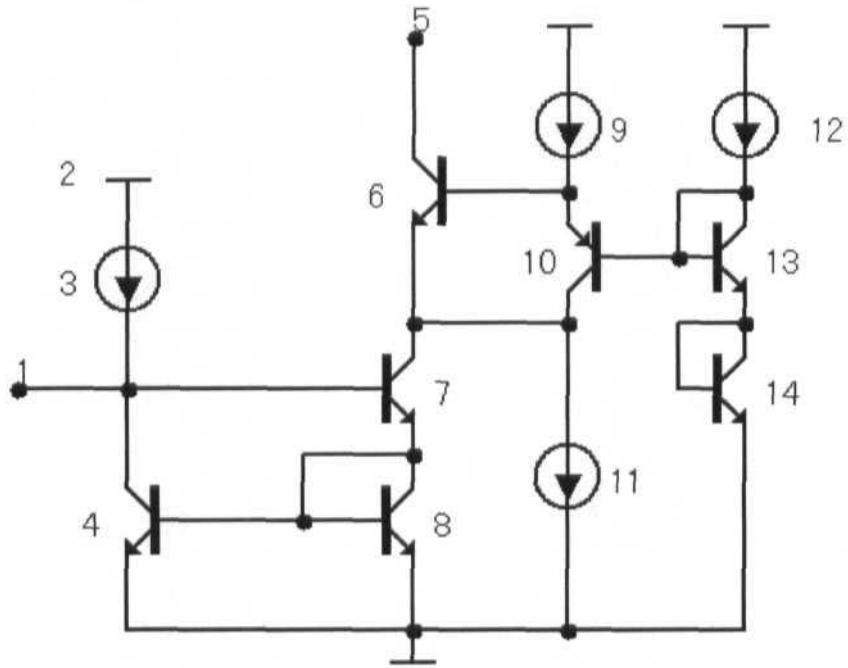
Восьмий 14 та шостий 10 транзистори, у діодному вмиканні, задають базовий струм для роботи шостого 10 транзистора.

Друге 9 джерело струму слугує для завдання базового струму п'ятого 6 транзистора та емітерного струму шостого 10 транзистора. Третє джерело струму 11 задає робочий струм для другого 7 та шостого 10 транзисторів. Четверте 12 джерело струму задає робочий струм сьомому 13 транзистору. Точка об'єднання емітерів третього 3, четвертого 7, восьмого 14 транзисторів, першого вивода першого 9, третього 12 джерел струму та другого вивода другого джерела струму 11 утворюють шину нульового потенціалу 2.

Введення між колектором другого 7 транзистора та вихідною шиною 5 складеного транзистора Шиклаї, який побудовано на п'ятому 6 та шостому 10 транзисторах призводить до підвищення точності роботи схеми за рахунок збільшення вихідного опору.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Відбивач струму, який містить чотири транзистори, шину нульового потенціалу, вхідну та вихідну шини, причому вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою другого транзистора, емітер першого транзистора з'єднано з колектором та базою третього транзистора, а також з базою четвертого транзистора, емітер другого транзистора з'єднано з колектором четвертого транзистора, емітери третього та четвертого транзисторів з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною, який **відрізняється** тим, що у нього введено три транзистора, чотири джерела струму, причому емітер п'ятого транзистора об'єднано з колектором другого транзистора і з'єднано з об'єднаним колектором шостого транзистора і першим виводом третього джерела струму, база п'ятого транзистора та емітер шостого транзистора з'єднано з другим виводом другого джерела струму, бази шостого та сьомого транзисторів об'єднано і з'єднано з колектором сьомого транзистора та з другим виводом четвертого джерела струму, емітер сьомого транзистора з'єднано з колектором та базою восьмого транзистора, колектор п'ятого транзистора з'єднано з вихідною шиною, перший вивід першого джерела струму, перший вивід другого і четвертого джерела струму з'єднано з шиною нульового потенціалу.



Комп'ютерна верстка М. Мацело

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601