

# ВИКОРИСТАННЯ ЯДРА NIOS II ЯК ШЛЯХ ДО УДОСКОНАЛЕННЯ БАГАТОКАНАЛЬНОЇ РАДІОТЕХНІЧНОЇ СИСТЕМА НА FPGA ДЛЯ ЧАСТОТНИХ ПЕРЕТВОРЮВАЧІВ ФІЗИЧНИХ ВЕЛИЧИН

Вінницький національний технічний університет

## Анотація

Удосконалено багатоканальну радіотехнічну систему для частотних перетворювачів фізичних величин з використанням радіовимірювальних сенсорів на основі транзисторної структури з від'ємним диференційним опором, завдяки інтеграції мікропроцесорного ядра NIOS II.

**Ключові слова:** FPGA; NIOS II; ПЛІС; багатоканальна радіовимірювальна система; частотний перетворювач; транзисторна структура з від'ємним опором

## Abstract

The multi-channel radio measurement system for frequency converters of physical quantities using radio measurement sensors based on a transistor structure with negative differential resistance has been improved, thanks to the integration of the NIOS II microprocessor core.

**Keywords:** NIOS II; FPGA; multi-channel radiomeasuring system; frequency transducer; transistor structure with negative resistance

## Вступ

Поява FPGA дала змогу всі елементи фізично розмістити на одній інтегральній схемі, та перейти на якісно новий рівень, який пов'язаний із значним збільшенням їх степені інтеграції і підвищенням швидкодії [1]. Перевагою таких системи є можливість швидко змінювати внутрішню структуру і зв'язки між компонентами без втручання у апаратну частину, додавати нові функціональні блоки. Але для високорівневої обробки даних необхідно мати інструменти відповідного рівня абстракції, такі як мікропроцесорні ядра, при роботі з якими не потрібно задумуватися про реалізацію: регістрів, арифметичних блоків, блоків пам'яті, шин передачі даних і способу синхронізації вище згаданих блоків. Вирішенням цієї проблеми на FPGA була поява мікропроцесорного ядра NIOS II [2]. Інтеграція даного ядра у багатоканальну радіотехнічну систему на FPGA для частотних перетворювачів фізичних величин [5], дозволить зробити систему більш гнучкою, додати попередню обробку і фільтрацію отриманих даних із частотомірів. Також це дозволяє змінювати кількість вхідних сигналів від частотомірів, без зміни алгоритму обробки даних, що являється неможливим у попередній реалізації системи.

## Результати розробки та дослідження

Система з процесором Nios II - це еквівалент мікроконтролеру, який містить процесор, комбінацію додаткових підсистем і пам'яті в одному чіпі. Така система складається з ядра процесора Nios II і набору допоміжних підсистем на чіпі, рисунок 1.

Аналогічно сімейству мікроконтролерів, система з процесором Nios II використовує постійний набір інструкцій і модель програмування [3]. Програмне ядро дозволяє не обмежуватися певною апаратною частиною, а розміщуватися в будь-яких чіпах сімейств Altera FPGA. Гнучкий набір допоміжних систем - одна з найголовніших відмінностей між процесорною системою Nios II і фіксованими мікроконтролерами. Оскільки процесор Nios II реалізується програмованою логікою, є можливість створити нестандартну процесорну систему з точним набором допоміжних підсистем, необхідних для вирішення задачі [4].

Для інтеграція мікропроцесорної системи Nios II в багатоканальну радіотехнічну систему на FPGA для частотних перетворювачів фізичних величин, рисунок 2, було частково перероблено блоки: лічильника імпульсів, обробки даних, UART передавача, згенеровано і налаштовано Nios II, повторно синтезовано схему.

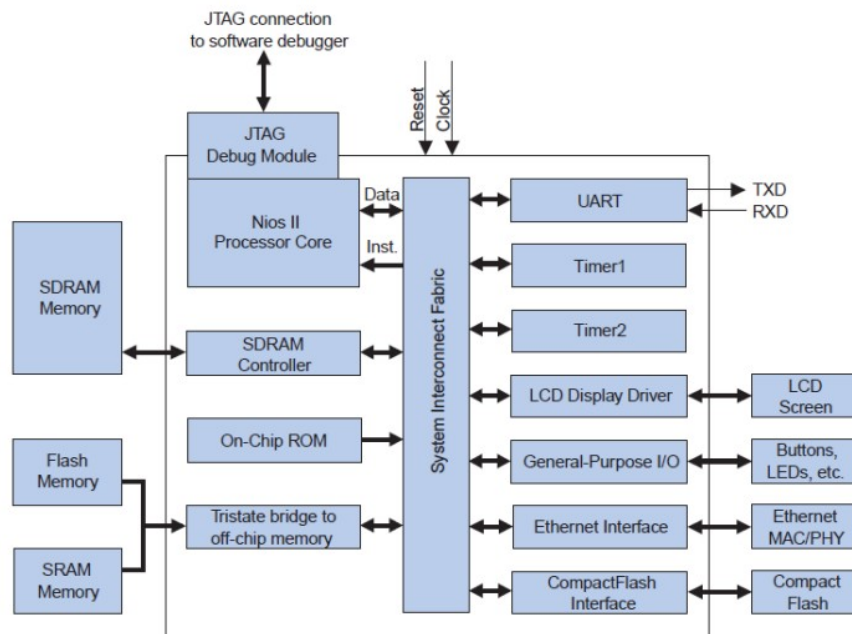


Рисунок 1 – Приклад мікропроцесорної системи Nios II

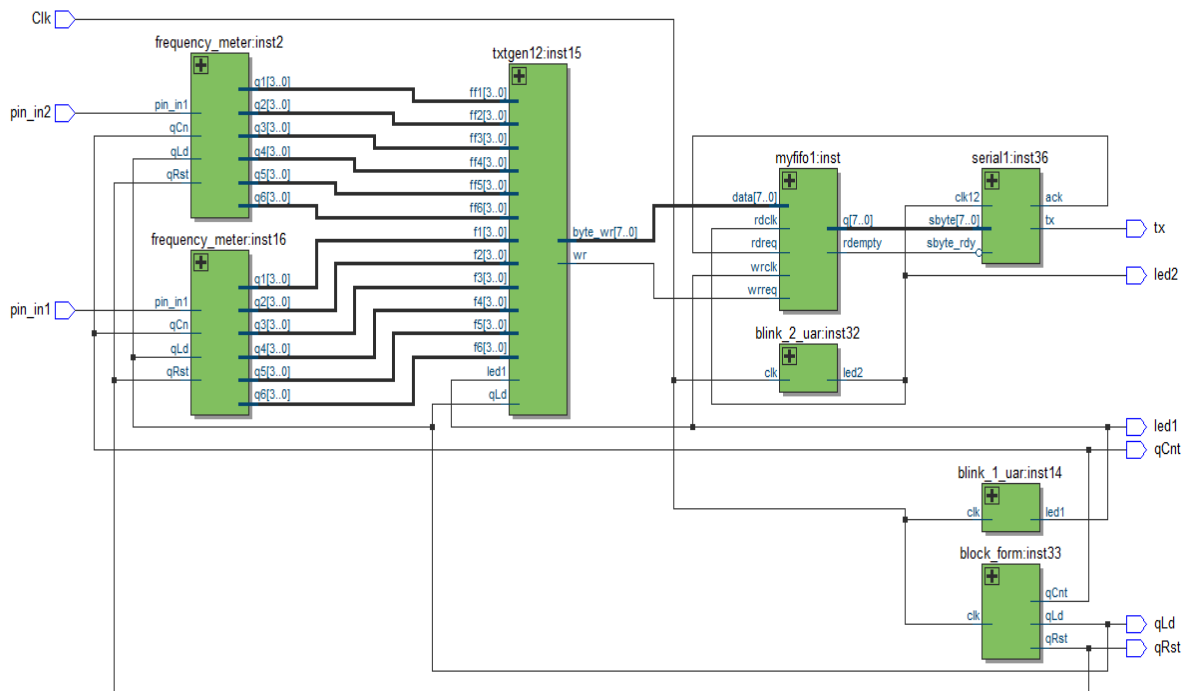


Рисунок 2 – Схема багатоканального частотоміра

Генерація і налаштування мікропроцесорної системи відбувалося за допомогою утиліти Qsys [5]. Загалом для роботи Nios II було налаштовано наступні елементи:

1. «Clock Source» - визначає робочу частоту мікропроцесора.
2. «On-Chip Memory» - використовується у якості блоку пам'яті RAM.
3. «UART» - використовується для взаємодії із зовнішніми пристроями.
4. «Counter» - використовується для підрахунку часу роботи системи і синхронізації операцій пов'язаних з вимірюваннями
5. «Sys IRQ» - інтерфейс для під'єднання зовнішніх джерел переривання.
6. «FM» - інтерфейс для під'єднання блоку який реалізує вимірювання частоти.
7. «Nios2» - найважливіший елемент, ядро мікропроцесорної системи.

Після генерації був отриманий блок який зображений на рисунку 3.

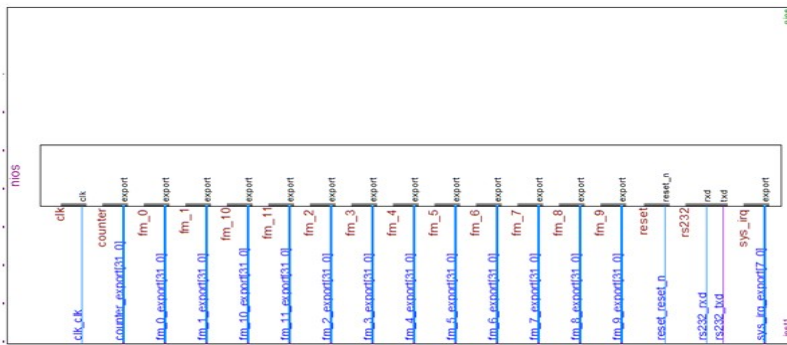


Рисунок 3 – Блок представлення мікропроцесорного ядра NIOS II і його елементів

Оновлено реалізацію лічильників імпульсів, рисунок 4, для сумісності із інтерфейсом NIOS II.

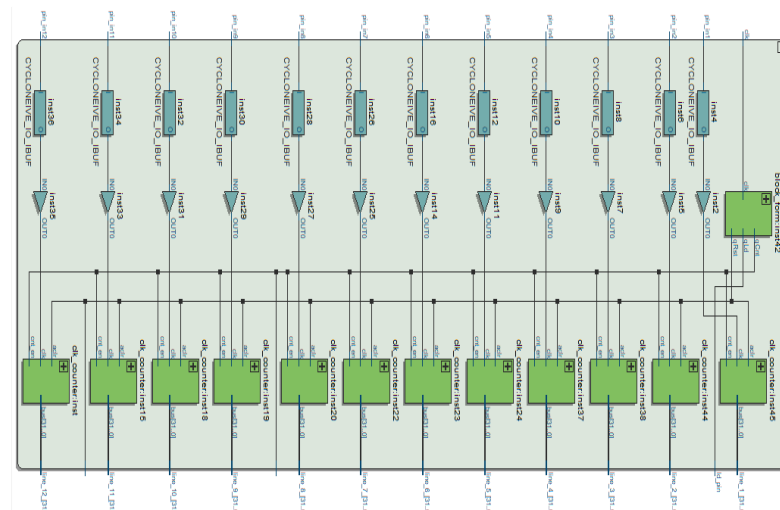


Рисунок 4 – Внутрішня структура блоку із частотомірами

В кінцевому результаті було розроблено схему, рисунку 5, для багатоканального радіотехнічного прилад на основі FPGA фірми Altera Cyclone IV, який має 12 вимірювальних каналів для сенсорів з частотним виходом і базується на гнучкому мікропроцесорному ядрі NIOS II. У якості вихідного інтерфейсу використовується широко розповсюджений цифровий протокол UART. Також для мікропроцесорного ядра було розроблено ПЗ яке дозволяє обробляти дані з частотомірів і передавати їх на UART порт.

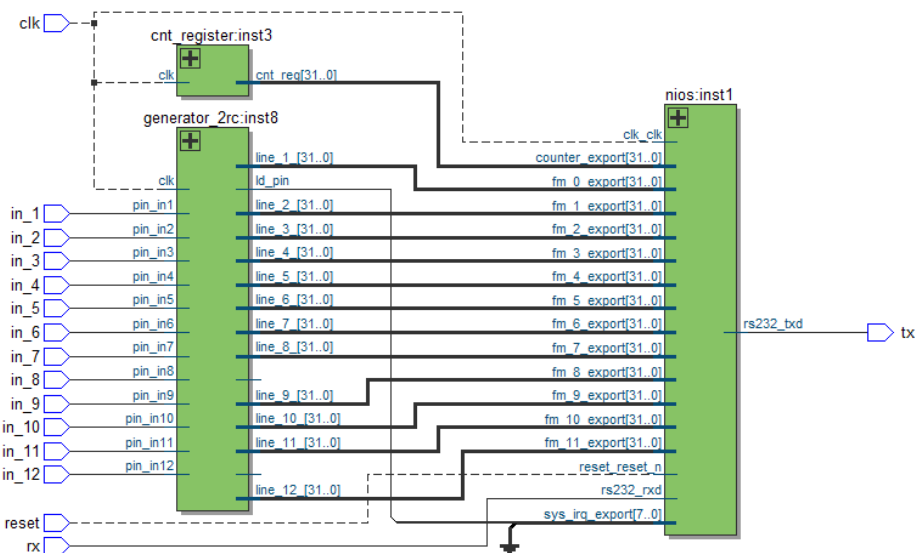


Рисунок 5 – Схема багатоканального частотоміра з використанням ядра NIOS II

## Висновки

Спроектовано мікропроцесорну систему яка являється більш гнучкою і дозволяє змінювати кількість вхідних сигналів від частотомірів, без зміни алгоритму обробки даних. Перероблено схему частотомірів для сумісності із інтерфейсом NIOS II. Розроблено програмне забезпечення під створену процесорну систему для підтримки усіх реалізованих інтерфейсів.

## СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Кофанов В. Л. Лабораторний практикум з дослідження цифрових пристроїв на основі САПР MAX+PLUS II [Текст] : лабораторний практикум / В. Л. Кофанов, О. В. Осадчук, Д. В. Гаврілов. – Вінниця : УНІВЕРСУМ-Вінниця, 2006. – 200 с.
2. Nios II Processor Reference Handbook. – San Jose: Altera, 2016. – 11 с.
3. Cyclone IV Device Handbook. [Електронний ресурс]: - Режим доступу: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/cyclone-iv/cyclone4-handbook.pdf>
4. Cyclone IV Device Datasheet. [Електронний ресурс]: - Режим доступу: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/cyclone-iv/cyiv-53001.pdf>
5. Осадчук В. С., Осадчук А. В. Реактивные свойства транзисторов и транзисторных схем. - Винниця: «Універсум-Вінниця», 1999. – 275 с.
6. Quartus Prime Standard Edition. [Електронний ресурс]: - Режим доступу: <https://fpgasoftware.intel.com/15.1/?edition=standard&platform=windows>

**Осадчук Олександр Володимирович** — докт. техн. наук, проф., зав. кафедри інформаційних радіоелектронних технологій і систем, Вінницький національний технічний університет, osadchuk.av69@gmail.com

**Осадчук Ярослав Олександрович** — канд. техн. наук, доцент кафедри інформаційних радіоелектронних технологій і систем, Вінницький національний технічний університет

**Скоцук Валентин Костянтинович** — аспірант кафедри інформаційних радіоелектронних технологій і систем, Вінницький національний технічний університет

**Oleksandr Osadchuk** — Doc. Tech. Sc., prof. Head of Department of Information Radio Engineering Technologies and Systems, Vinnytsia National Technical University, Vinnytsia, Ukraine, osadchuk.av69@gmail.com

**Iaroslav Osadchuk** — Ph.D.Tech., Associate Professor Department of Information Radio Engineering Technologies and Systems, Vinnytsia National Technical University, Vinnytsia, Ukraine

**Valentyn Skoshchuk** — graduate student of the Department of Information Radio Engineering Technologies and Systems, Vinnytsia National Technical University, Vinnytsia, Ukraine