



УКРАЇНА

(19) UA (11) 19907 (13) U
(51) МПК
G06F 7/08 (2006.01)

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС
ДО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) СОРТУВАЛЬНА НЕЙРОМЕРЕЖА

1

2

(21) u200603505

(22) 31.03.2006

(24) 15.01.2007

(46) 15.01.2007, Бюл. № 1, 2007 р.

(72) Мартинюк Тетяна Борисівна, Антощук Світлана Григорівна, Власійчук Валентина Іванівна, Київський національний технічний університет

(57) 1. Сортувальна нейромережа, яка містить обчислювальну частину, що складається з двох блоків, причому другі входи першого блока обчислювальної частини з'єднані з входами початкових установчих значень пристрою, виходи першого блока обчислювальної частини з'єднані з входами її другого блока, які є входами вектора підстановки, інформаційні входи другого блока обчислювальної частини з'єднані з входами початкового вектора даних пристрою, а його інформаційні виходи є виходами відсортованого вектора даних пристрою, яка відрізняється тим, що містить налаштовувальну частину, яка складається з селектора кодів і аналізатора реакцій, інформаційні входи селектора кодів з'єднані з входами початкового вектора даних пристрою, а його виходи з'єднані з інформаційними входами аналізатора реакцій, виходи якого з'єднані з першими входами першого блока обчислювальної частини, який містить комутатор та пам'ять рангів, причому виходи першого блока обчислювальної частини підключені до адресних входів його комутатора та адресних входів селектора кодів налаштовувальної частини, інформаційні входи комутатора та пам'яті рангів є відповідно першими і другими входами першого блока обчислювальної частини, а виходи комутатора з'єднані попарно з входами інкремента/декремента пам'яті рангів, вхід скидання пристрою підключений до відповідних входів пам'яті рангів першого блока обчислювальної частини і аналізатора реакцій налаштовувальної частини, який також підключений до шини тактових імпульсів та входів керування відповідно непарними і парними циклами сортування пристрою, останні з'єднані також з відповідними входами комутатора першого блока обчислювальної частини, аналізатор реакцій налаштовувальної частини має вихід сигналу "Кінець" пристрою, який підключений до входу дозволу зчитування другого блока обчислювальної частини.

2. Сортувальна нейромережа за п. 1, яка відрізняється тим, що аналізатор реакцій налаштовувальної частини містить елемент АБО-НІ, елемент затримки і К блоків порівняння, де $K = \lfloor n/2 \rfloor$ - кількість пар елементів, які порівнюють, причому к-й блок порівняння, де $k = \overline{1, K}$, складається з елемента порівняння і двох мультиплексорів, які містять відповідно два елементи І та елемент АБО, причому перший вхід першого і другого елементів І першого мультиплексора з'єднаний відповідно з $(2k-1)$ -м і $2k$ -м входом к-го блока порівняння, перший вхід першого і другого елементів І другого мультиплексора з'єднаний відповідно з $2k$ -м і $(2k+1)$ -м входом к-го блока порівняння, другий вхід першого і другого елементів І обох мультиплексорів з'єднаний з входом керування відповідно непарними та парними циклами сортування пристрою, а їх виходи з'єднані з входами елемента АБО відповідно першого і другого мультиплексорів, вихід яких є виходом відповідних мультиплексорів, елемент порівняння містить два елементи НІ, два елементи І, два елементи АБО, три D-тригери, причому вихід першого мультиплексора з'єднаний з входом першого елемента НІ і третім входом другого елемента І, вихід другого мультиплексора з'єднаний з входом другого елемента НІ і першим входом першого елемента І, вихід першого і другого елементів НІ з'єднаний відповідно з другим входом першого та другого елементів І, третій вхід першого елемента І підключений до інверсного виходу другого D-тригера, перший вхід другого елемента І підключений до інверсного виходу першого D-тригера, перший вхід першого і другого елементів АБО підключений відповідно до прямого виходу першого і другого D-тригерів, а другий вхід підключений до виходу першого і другого елементів І відповідно, R-вхід трьох D-тригерів підключений до входу скидання пристрою, C-вхід першого і другого D-тригерів підключений до шини тактових імпульсів, яка через елемент затримки з'єднана з C-входом третього D-тригера, D-вхід першого і другого D-тригерів підключений відповідно до виходу першого і другого елементів АБО, D-вхід третього D-тригера з'єднаний з прямим виходом другого D-тригера, прямий вихід третього D-тригера елемента порівняння кожного к-го блока порівняння є відповідним виходом аналізатора реакцій, а

UA (19) 19907 (13) U

також підключений до відповідного входу елемента АБО-НІ аналізатора реакцій, вихід якого є виходом сигналу "Кінець" пристрою.

3. Сортувальна нейромережа за п. 1, яка **відрізняється** тим, що другий блок обчислювальної частини містить n демультіплексорів та n елементів АБО, i -й інформаційний вхід, де $i = \overline{1, n}$, другого блока обчислювальної частини підключений до інформаційного входу i -го демультіплексора, його

i -й вхід вектора підстановки підключений до адресного входу i -го демультіплексора, у якого j -й вхід з'єднаний з відповідним i -м входом j -го елемента АБО, де $j = \overline{1, n}$, вихід якого є j -м виходом відсортованого вектора даних пристрою, а вхід дозволу зчитування другого блока обчислювальної частини підключений до входу дозволу всіх його демультіплексорів.

Корисна модель відноситься до обчислювальної техніки і може бути використана для сортування великих масивів даних.

Відома систолічна матриця розміром $n \times n$ [Зарубежная радиоэлектроника, 1987, №7, с.16, рис. 86], де n - кількість елементів сортування, яка складається з простих комірок порівняння, обміну та затримки і реалізує алгоритм сортування послідовності n чисел за n кроків, причому на кожному непарному кроці всі непарні елементи послідовності порівнюють зі своїми сусідніми парними елементами і міняють місцями, якщо попередній непарний елемент більше наступного парного елемента, а на кожному парному кроці всі парні елементи послідовності порівнюють зі своїми сусідніми непарними елементами і міняють місцями, якщо попередній парний елемент більше наступного непарного елемента.

Недоліком даної систолічної матриці є апаратні витрати, оскільки використовується матриця розміром $n \times n$ комірок.

Відома систолічна матриця розміром $n \times (n/2)$ [Вишенчук Й. М., Черкасский Н. В. Алгоритмические операционные устройства и суперЭВМ. - К.: Техника, 1990, с.129, рис. 3.43д], де n - кількість елементів сортування, кожна комірка якої містить по два регістри на вході та виході елемента, схему порівняння двох багаторозрядних чисел і дві схеми І-АБО, причому кожен дві сусідні комірки ряду з'єднані між собою і зміщені відносно пари комірок сусіднього нижчого ряду.

Недоліком даної систолічної матриці є апаратні витрати, оскільки використовується матриця розміром $n \times (n/2)$ комірок.

Найбільш близькою за технічною суттю є сортувальна нейромережа [Автометрия, 1993, №3, с.30, рис. 3], що містить навчальну частину, входи якої з'єднані з входами початкового вектора даних пристрою, та обчислювальну частину, що складається з двох блоків, причому виходи навчальної частини з'єднані з першими входами першого блока обчислювальної частини, другі входи першого блока якої з'єднані з входами початкових установчих значень пристрою, виходи першого блока обчислювальної частини з'єднані з входами її другого блока, які є входами вектора підстановки, а також підключені до других входів першого блока, інформаційні входи другого блока обчислювальної частини з'єднані з входами початкового вектора даних пристрою, а його інформаційні виходи є виходами відсортованого вектора даних пристрою.

Недоліком даної сортувальної нейромережі є значні апаратні витрати, які складають n^2 компараторів, n^2 фотоприймачів, n електронних порогових елементів і два шари, що містять n^2 комірок (каналів) і n^2 фотоприймачів відповідно.

В основу корисної моделі поставлена задача створення сортувальної нейромережі, в якій за рахунок введення нових вузлів та нових зв'язків між ними досягається можливість зменшення апаратних витрат.

Поставлена задача вирішується тим, що у сортувальну нейромережу, яка містить обчислювальну частину, що складається з двох блоків, причому, другі входи першого блока обчислювальної частини з'єднані з входами початкових установчих значень пристрою, виходи першого блока обчислювальної частини з'єднані з входами її другого блока, які є входами вектора підстановки, інформаційні входи другого блока обчислювальної частини з'єднані з входами початкового вектора даних пристрою, а його інформаційні виходи є виходами відсортованого вектора даних пристрою, введена налаштовувальна частина, яка складається з селектора кодів і аналізатора реакцій, інформаційні входи селектора кодів з'єднані з входами початкового вектора даних пристрою, а його виходи з'єднані з інформаційними входами аналізатора реакцій, виходи якого з'єднані з першими входами першого блока обчислювальної частини, який містить комутатор та пам'ять рангів, причому виходи першого блока обчислювальної частини підключені до адресних входів його комутатора та адресних входів селектора кодів налаштовувальної частини, інформаційні входи комутатора та пам'яті рангів є відповідно першими і другими входами першого блока обчислювальної частини, а виходи комутатора з'єднані попарно з входами інкремента/декремента пам'яті рангів, вхід скидування пристрою підключений до відповідних входів пам'яті рангів першого блока обчислювальної частини і аналізатора реакцій налаштовувальної частини, який також підключений до шини тактових імпульсів та входів керування відповідно непарними і парними циклами сортування пристрою, останні з'єднані також з відповідними входами комутатора першого блока обчислювальної частини, аналізатор реакцій налаштовувальної частини має вихід сигналу "Кінець" пристрою, який підключений до входу дозволу зчитування другого блока обчислювальної частини.

На фіг.1 представлено структурну схему сор-

тувальної нейромережі, на фіг.2 - функціональну схему аналізатора реакцій, на фіг.3 - функціональну схему другого блока обчислювальної частини, на фіг.4 наведено приклад сортування послідовності чисел (19 35 12 0 49 27) з ранжуванням.

Сортувальна нейромережа (фіг.1) містить налаштовувальну частину 1, яка складається з селектора кодів 2 та аналізатора реакцій 3, та обчислювальну частину 4, яка складається з блоків 5 і 6. Інформаційні входи $7_1, \dots, 7_n$ селектора кодів 2 з'єднані з входами $8_1, \dots, 8_n$ початкового вектора даних пристрою, виходи селектора кодів 2 з'єднані з інформаційними входами $9_1, \dots, 9_n$ аналізатора реакцій 3, виходи $10_1, \dots, 10_k$ якого, де $K = \lfloor n/2 \rfloor$ - кількість пар елементів, які порівнюють, з'єднані з входами $11_1, \dots, 11_k$ блока 5 обчислювальної частини 4, який містить комутатор 12 та пам'ять рангів 13. Вихід аналізатора реакцій 3, який підключений до входу дозволу зчитування блока 6 обчислювальної частини 4, є виходом 14 сигналу "Кінець" пристрою, а інформаційні входи пам'яті рангів 13 блока 5 обчислювальної частини 4 з'єднані з входами $15_1, \dots, 15_n$ початкових установчих значень пристрою, інформаційні входи $16_1, \dots, 16_n$ блока 6 обчислювальної частини 4 з'єднані з входами $8_1, \dots, 8_n$ початкового вектора даних пристрою, а його інформаційні виходи є виходами $17_1, \dots, 17_1$ відсортованого вектора даних пристрою.

Виходи $18_1, \dots, 18_n$ пам'яті рангів 13 блока 5 обчислювальної частини 4 підключені до адресних входів $19_1, \dots, 19_n$ блока 5, які є адресними входами його комутатора 12, до адресних входів $20_1, \dots, 20_n$ селектора кодів 2 налаштовувальної частини 1 і до входів $21_1, \dots, 21_n$ вектора підстановки блока 6 обчислювальної частини 4. Крім того, виходи комутатора 12 з'єднані попарно з входами $22_1, \dots, 22_n$ інкремента/декремента пам'яті рангів 13 блока 5 обчислювальної частини 4, вхід скидування якого підключений до відповідного входу аналізатора реакцій 3 налаштовувальної частини 1 і до входу 23 скидування пристрою, шина 24 тактових імпульсів та входи 25, 26 керування відповідно непарними і парними циклами сортування пристрою підключені до відповідних входів аналізатора реакцій 3 налаштовувальної частини 1, крім того, входи 25, 26 керування відповідно непарними і парними циклами сортування пристрою з'єднані також з відповідними входами комутатора 12 блока 5 обчислювальної частини 4.

Аналізатор реакцій 3 налаштовувальної частини 1 сортувальної нейромережі (фіг.2) містить K блоків порівняння $27_1, \dots, 27_k$, де $K = \lfloor n/2 \rfloor$ - кількість пар елементів, які порівнюють, причому k -й блок порівняння 27_k , де $k = \overline{1, K}$, складається з двох мультиплексорів 28, 29, елемента порівняння 30, трьох інформаційних входів 9_{2k-1} , 9_{2k} , 9_{2k+1} та виходу 10_k . Мультиплексор 28 містить два елементи 31 і 32, елемент АБО 33, причому перший вхід елементів 31 і 32 з'єднаний відповідно з входом 9_{2k-1} і 9_{2k} k -го блока порівняння 27_k , другий вхід елемента 31 з'єднаний з входом 25 керування непарними циклами сортування пристрою, другий вхід елемента 32 з'єднаний з входом 26 керування парними циклами сортування пристрою, виходи елементів 31 і 32 з'єднані з входами елемента

АБО 33, вихід якого є виходом мультиплексора 28.

Мультиплексор 29 містить два елементи 34 і 35, елемент АБО 36, причому перший вхід елементів 34 і 35 з'єднаний відповідно з входом 9_{2k} і 9_{2k+1} k -го блока порівняння 27_k , другий вхід елемента 34 з'єднаний з входом 25 керування непарними циклами сортування пристрою, другий вхід елемента 35 з'єднаний з входом 26 керування парними циклами сортування пристрою, виходи елементів 34 і 35 з'єднані з входами елемента АБО 36, вихід якого є виходом мультиплексора 29. Елемент порівняння 30 містить два елементи 37 і 38, два елементи 39 і 40, два елементи АБО 41 і 42, три D-тригера 43, 44 і 45, причому вихід мультиплексора 28 з'єднаний з входом елемента 37 і третім входом елемента 40, вихід мультиплексора 29 з'єднаний з входом елемента 38 і першим входом елемента 43.

Вихід елементів 37 і 38 з'єднаний відповідно з другим входом елементів 39 і 40, третій вхід елемента 39 підключений до інверсного виходу D-тригера 44, перший вхід елемента 40 підключений до інверсного виходу D-тригера 43. Перший вхід елементів АБО 41 і 42 підключений відповідно до прямого виходу D-тригерів 43 і 44, а другий вхід підключений до виходу елементів 39 і 40 відповідно, R-вхід D-тригерів 43, 44 і 45 підключений до входу 23 скидування пристрою, C-вхід D-тригерів 43 і 44 підключений до шини 24 тактових імпульсів. D-вхід D-тригерів 43 і 44 з'єднаний відповідно з виходом елемента АБО 41 і 42, D-вхід D-тригера 45 підключений до прямого виходу D-тригера 44, прямий вихід D-тригера 45 з'єднаний з виходом 10_k k -го блока порівняння 27_k . Крім того, аналізатор реакцій 3 містить елемент затримки 46, вхід якого підключений до шини 24 тактових імпульсів, а вихід підключений до C-входу D-тригера 45 елемента порівняння 30 всіх блоків порівняння $27_1, \dots, 27_k$, та елемент АБО-НІ 47, входи якого з'єднані з виходами 10_k всіх блоків порівняння $27_1, \dots, 27_k$, а вихід є виходом аналізатора реакцій 3 налаштовувальної частини 1, який з'єднаний з виходом 14 сигналу "Кінець" пристрою.

Блок 6 обчислювальної частини 4 (фіг.3) містить n демультиплексорів $48_1, \dots, 48_n$ та n елементів АБО $49_1, \dots, 49_n$. Інформаційний вхід 16_i , $i = \overline{1, n}$, блока 6 обчислювальної частини 4 підключений до інформаційного входу демультиплексора 48_i , його вхід 2 її вектора підстановки підключений до адресного входу демультиплексора 48_j , у якого j -й вихід з'єднаний з відповідним входом елемента АБО 49_j , $j = \overline{1, n}$, вихід якого є виходом 17_j відсортованого вектора даних пристрою, а вхід дозволу кожного демультиплексора 48_i з'єднаний з входом дозволу зчитування блока 6, а отже, з виходом 14 сигналу "Кінець" пристрою.

Сортувальна нейромережа (фіг.1) функціонує в такий спосіб.

На початку роботи на вхід 23 скидування пристрою подається одиничний сигнал, який встановлює у початковий (нульовий) стан елементи пам'яті аналізатора реакцій 3 налаштовувальної частини 1 і пам'яті рангів 13 блока 5 обчислювальної частини 4. Перед сортуванням на інформаційні входи пам'яті рангів 13 блока 5 обчислювальної

частини 4 подається вектор розмірності n з входів $15_1, \dots, 15_n$ початкових установчих значень пристрою, який являє собою початковий вектор ваги $g^0 = \{g^0_1, \dots, g^0_i, \dots, g^0_n\}$ виду

$$g^0 = \begin{pmatrix} 1 \\ 2 \\ \dots \\ i \\ \dots \\ n \end{pmatrix}, i = \overline{1, n} \quad (1)$$

тобто всім елементам вхідного вектора даних пристрою присвоюються ранги, які відповідають номерам їх позицій у векторі, наприклад, представляють натуральний ряд чисел (1). Вектор ваги g^0 подається на адресні входи $20_1, \dots, 20_n$ селектора кодів 2 налаштовувальної частини 1 і на адресні входи $19_1, \dots, 19_n$ блока 5 обчислювальної частини 4 з виходів $18_1, \dots, 18_n$ пам'яті рангів 13 блока 5 обчислювальної частини 4. Одночасно на інформаційні входи $7_1, \dots, 7_n$ налаштовувальної частини 1 з входів $8_1, \dots, 8_n$ початкового вектора даних пристрою подається вхідний вектор даних виду $x = \{x_1, \dots, x_i, \dots, x_n\}$. На виходах селектора кодів 2 налаштовувальної частини 1 у t -му циклі оброблення формується вихідний (поточний) вектор x^t вигляду:

$$x^t \leftarrow \frac{g^{t-1}}{g^{t-1}} x, \quad t = \overline{1, N}, \quad (2)$$

де N - кількість циклів сортування; $i = \overline{1, N}$. Формула (2) є аналітичною формою подання операції формування (вибірки) елементів x^t_i поточного вектора x^t з елементів вхідного вектора x за адресою g^{t-1}_i вектора ваги g^{t-1} у t -му циклі сортування. В аналізаторі реакцій 3 налаштовувальної частини 1 формується група пар із сусідніх елементів поточного вектора x^t даних незалежно від кількості n елементів вектора за таким правилом:

а) у всіх непарних циклах кожна пара елементів складається з елементів $(2k-1)$ -х і $2k$ -х позицій поточного вектора даних, де $k = \overline{1, K}$, $K = \lfloor n/2 \rfloor$ - кількість пар елементів, які порівнюють;

б) у всіх парних циклах кожна пара елементів складається з елементів $2k$ -х і $(2k+1)$ -х позицій поточного вектора даних.

Отже, вихідний вектор x^t селектора кодів 2 налаштовувальної частини 1 подається на інформаційні входи $9_1, \dots, 9_n$ аналізатора реакцій 3 налаштовувальної частини 1, який являє собою групу K бінарних нейронів з пороговою функцією вигляду:

$$q_k = \begin{cases} 1, & \text{якщо } x^t_{2k-1} > x^t_{2k} \text{ у непарних циклах і } x^t_{2k} > x^t_{2k+1} \text{ у парних циклах,} \\ 2, & \text{якщо } x^t_{2k-1} \leq x^t_{2k} \text{ у непарних циклах і } x^t_{2k} \leq x^t_{2k+1} \text{ у парних циклах,} \end{cases} \quad (3)$$

де $k = \overline{1, K}$; $K = \lfloor n/2 \rfloor$ - кількість пар елементів, які порівнюють. В результаті на виходах $10_1, \dots, 10_K$ аналізатора реакцій 3 налаштовувальної частини 1 формується вектор зв'язків $q = \{q^t_1, \dots, q^t_k\}$, який подається на інформаційні входи $11_1, \dots, 11_K$ комутатора 12 блока 5 обчислювальної частини 4. Одночасно, перевіряється умова відсутності будь-якої зміни рангів у всіх парах елементів, про що свідчить поява одиничного сигналу на виході 14 сигналу "Кінець" пристрою. Якщо ця умова виконується і це не перший цикл, то процес сортування

закінчується; якщо ця умова не виконується, а також якщо це перший цикл, то комутатор 12 формує два вектори: $q^{t+} = \{q^{t+}_1, \dots, q^{t+}_n\}$ і $q^{t-} = \{q^{t-}_1, \dots, q^{t-}_n\}$ вигляду:

$$(q^{t+}, q^{t-}) \leftarrow \frac{g^{t-1}}{g^{t-1}} q^t \quad (4)$$

де g^{t-1} - вектор ваги, який формується у t -му циклі сортування; q^{t+} , q^{t-} - вихідні вектори, які призводять відповідно до збільшення/зменшення на одиницю (або відповідно до інкремента/декремента) рангів елементів поточного вектора даних.

Вихідні вектори q^{t+} і q^{t-} комутатора 12 блока 5 обчислювальної частини 4 подаються на входи $22_1, \dots, 22_n$ інкремента/декремента пам'яті рангів 13 блока 5 обчислювальної частини 4, де за результатом порівняння (3) у кожній парі елементів виконують такі дії:

а) якщо елемент молодшої позиції менший за значенням, ніж елемент старшої позиції у парі, то ранги елементів не змінюють;

б) якщо елемент молодшої позиції більший за значенням, ніж елемент старшої позиції у парі, то ранги змінюють таким чином: ранг елемента молодшої позиції збільшують на одиницю, ранг елемента старшої позиції зменшують на одиницю.

Отже, на виходах $18_1, \dots, 18_n$ пам'яті рангів 13 блока обчислювальної частини 4 в результаті ітераційного процесу у t -му циклі формується вектор ваги g^t , який знов подається на адресні входи $20_1, \dots, 20_n$ селектора кодів 2 налаштовувальної частини 1 і адресні входи $19_1, \dots, 19_n$ комутатора 12 блока 5 обчислювальної частини 4 у всіх $(t+1)$ -х циклах оброблення, крім першого, оскільки тоді на цих входах був зафіксований початковий вектор ваги g^0 .

По закінченні процесу сортування ($t=N$), тобто при наявності одиничного сигналу на виході 14 пристрою на входи $21_1, \dots, 21_n$ блока 6 обчислювальної частини 2 подається вектор підстановки $v = \{v^N_1, \dots, v^N_j, \dots, v^N_n\}$, який є вектором ваги g^N , значення j -го елемента якого відповідає адресі j -го компонента у відсортованому векторі даних. На інформаційні входи $16_1, \dots, 16_n$ блока 6 обчислювальної частини 4, який є вихідним селектором кодів, подається вхідний вектор x даних, а на його інформаційних виходах $17_1, \dots, 17_n$ формується вектор $x^N = \{x^N_1, \dots, x^N_j, \dots, x^N_n\}$. Отже, у блоці 6 реалізується вибірка (формування) елементів x^N_j результуючого вектора x^N з елементів вхідного вектора x за адресою $v_j = g^N_j$ вектора підстановки v виду

$$x^N \leftarrow \frac{v}{v} x, \quad (5)$$

де $v = g^N$; $i, j = \overline{1, n}$, $i \neq j$. Таким чином виконується зчитування елементів відсортованого вектора даних за зростанням числових значень його елементів.

Аналізатор реакцій 3 налаштовувальної частини 1 сортувальної нейромережі (фіг.2) функціонує в такий спосіб.

На початку роботи одиничним сигналом з входу 23 скидування пристрою встановлюються у початковий (нульовий) стан D-тригери 43, 44 і 45 елемента порівняння 30 кожного k -го блока порів-

няння 27_k аналізатора реакцій 3, де $k = \overline{1, K}$, $K = \lfloor n/2 \rfloor$ - кількість пар елементів, які порівнюють. Кожний блок порівняння 27_k є бінарним нейроном, який працює за правилом (3). Порівняння починають зі старших розрядів кожного елемента x_i^l поточного вектора x^l даних, які розглядають як відповідні операнди. Оскільки у кожному циклі в аналізаторі реакцій 3 виконують однотипні операції, то в аналітичних формулах в цьому випадку доцільно відмовитись від індексу l .

Мультиплексори 28 і 29 блока порівняння 27_k формують пару операндів, які порівнюють. В непарному циклі, тобто при наявності одиничного сигналу на вході 25 керування непарними циклами сортування пристрою, однойменні l -ті розряди елементів $x_{2k-1,l}$ та $x_{2k,l}$ вектора x даних подаються на входи відповідно елементів 31 і 34 та з'являються на виходах елементів АБО 33 і 36 мультиплексорів 28 і 29 відповідно. У парному циклі, тобто при наявності одиничного сигналу на вході 26 керування парними циклами сортування пристрою, однойменні l -ті розряди елементів $x_{2k,l}$ та $x_{2k+1,l}$ вектора x даних подаються на входи відповідно елементів 32 і 35 та з'являються на виходах відповідно елементів АБО 33 і 36 мультиплексорів 28 і 29 відповідно.

Крім l -тих розрядів операндів $x_{2k-1,l}$, $x_{2k,l}$ та $x_{2k+1,l}$, які подаються на інформаційні входи 9_{2k-1} , 9_{2k} та 9_{2k+1} блока 27_k в порівнянні операндів приймають участь дві допоміжні змінні a_l та b_l відповідно, значення яких обчислюються за допомогою рекурентних співвідношень:

а) для непарних циклів сортування

$$a_l = a_{l+1} \vee (x_{2k-1,l} \bar{x}_{2k,l} \bar{b}_{l+1}), \quad (6)$$

$$b_l = b_{l+1} \vee (x_{2k-1,l} \bar{x}_{2k,l} \bar{a}_{l+1}), \quad (7)$$

б) для парних циклів сортування

$$a_l = a_{l+1} \vee (\bar{x}_{2k,l} x_{2k+1,l} \bar{b}_{l+1}), \quad (8)$$

$$b_l = a_{l+1} \vee (x_{2k,l} \bar{x}_{2k+1,l} \bar{a}_{l+1}), \quad (9)$$

де $l = \overline{m-1, 0}$, m - кількість розрядів операндів, a_{l+1} - значення змінної з порівняння попереднього $(l+1)$ -го розряду, що зберігається в D-тригері 43 елемента порівняння 30, b_{l+1} - значення змінної з порівняння попереднього $(l+1)$ -го розряду, що зберігається в D-тригері 44 елемента порівняння 30 кожного блока порівняння 27_k .

У непарному циклі на входи елементів НІ 37 і 38 елемента порівняння 30 кожного блока порівняння 27_k подаються відповідно l -ті однойменні розряди елементів $x_{2k-1,l}$ та $x_{2k,l}$ вектора x даних, на виходах яких отримують відповідно їхні інверсні значення $\bar{x}_{2k-1,l}$ та $\bar{x}_{2k,l}$, які подаються на вхід відповідно елементів 39 і 40. На виході елементів 39 і 40 отримують відповідні добутки $(\bar{x}_{2k-1,l} x_{2k,l} \bar{b}_{l+1})$ та $(x_{2k-1,l} \bar{x}_{2k,l} \bar{a}_{l+1})$, які подаються на вхід елементів АБО 41 і 42, на виході яких отримують відповідні змінні a_l (6) та b_l (7). Ці змінні записують у D-тригери 43 і 44 відповідно з кожним тактовим імпульсом, що надходить з шини 24 тактових імпульсів.

Аналогічні дії виконують у парних циклах сортування для формування змінних a_l (8) та b_l (9).

При наявності тактового імпульсу на виході елемента затримки 46, який подається на С-вхід D-тригера 45 елемента порівняння 30, на його виході отримують значення порогової функції q_k (3) після порівняння останнього 0-го розряду відповідних елементів вектора x даних.

В якості початкових значень одиничним сигналом на вході 23 скидування пристрою задають $a_m = b_m = 0$, оскільки встановлюють у нульовий стан D-тригери 43 і 44 елементів порівняння 30. Нехай $x_{2k-1,m-1} = 1$, $x_{2k,m-1} = 0$. В цьому випадку з формул (6), (7) для непарних циклів сортування випливає, що для всіх $l \leq m-1$ $a_l = 0$, $b_l = 1$ і на виході 10_k блока порівняння 27_k отримують значення порогової функції $q_k = 1$ за виразом (3). Якщо, навпаки, $x_{2k-1,m-1} = 0$, $x_{2k,m-1} = 1$, то для всіх $l \leq m-1$ виконується умова $a_l = 1$, $b_l = 0$, і на виході 10_k блока порівняння 27_k отримують значення порогової функції $q_k = 0$ за виразом (3). Може виявитись, що $x_{2k-1,m-1} = x_{2k,m-1} = 0$ або $x_{2k-1,m-1} = x_{2k,m-1} = 1$, тоді $a_l = b_l = 0$ і порівняння операндів потрібно продовжити, аналізуючи молодші розряди. Аналогічні дії повторюють з розрядами $x_{2k-1,m-2}$ і $x_{2k,m-2}$ і т.д., поки в результаті порівняння наймолодших розрядів не будуть обчислені значення a_0 і b_0 . Якщо $a_0 = 1$, $b_0 = 0$, то $x_{2k-1} > x_{2k}$ і на виході 10_k блока порівняння 27_k отримують значення порогової функції $q_k = 1$, при $a_0 = 0$, $b_0 = 1$, $a_0 = b_0 = 1$ або $a_0 = b_0 = 0$ на виході 10_k отримують значення порогової функції $q_k = 0$ з урахуванням виразу (3).

Аналогічні дії виконують у парних циклах сортування.

Елемент АБО-НІ 47 аналізатора реакцій 3 напаштовувальної частини 1, вихід якого є виходом 14 сигналу "Кінець" пристрою, формує одиничний сигнал, якщо значення всіх порогових функцій $q_k = 0$, що є ознакою закінчення процесу сортування.

Блок 6 обчислювальної частини 4 сортувальної нейронмережі (фіг.3) функціонує в такий спосіб.

На інформаційні входи $16_1, \dots, 16_n$ блока 6 обчислювальної частини 4, які підключені відповідно до інформаційних входів демультимплексорів $48_1, \dots, 48_n$ блока 6, подається вхідний вектор x даних. На входи $21_1, \dots, 21_n$ вектора підстановки блока 6 обчислювальної частини 4, які підключені відповідно до адресних входів демультимплексорів $48_1, \dots, 48_n$ блока 6, подається вектор підстановки $v = g^N$. При наявності на виході 14 пристрою одиничного сигналу, який є сигналом закінчення процесу сортування і підключений до входів дозволу зчитування блока 6, кожен демультимплексор 48_i , де $i = \overline{1, n}$, комутує на свій j -й вихід, де $j = \overline{1, n}$, значення i -го елемента вхідного вектора x даних, ранг v_i якого дорівнює величині j , тобто $j = v_i = g^N$, яке потім подається на вхід елемента АБО 49 $_j$. Таким чином, на інформаційних виходах $17_1, \dots, 17_n$ блока 6 обчислювальної частини 4, які є виходами елементів АБО 49 $_1, \dots, 49_n$, формується вектор $x^N = \{x_1^N, \dots, x_n^N\}$, тобто виконується зчитування елементів відсортованого вектора даних за зростанням числових значень його елементів.

Приклад сортування послідовності чисел (19 35 12 0 49 27), які є елементами вхідного вектора

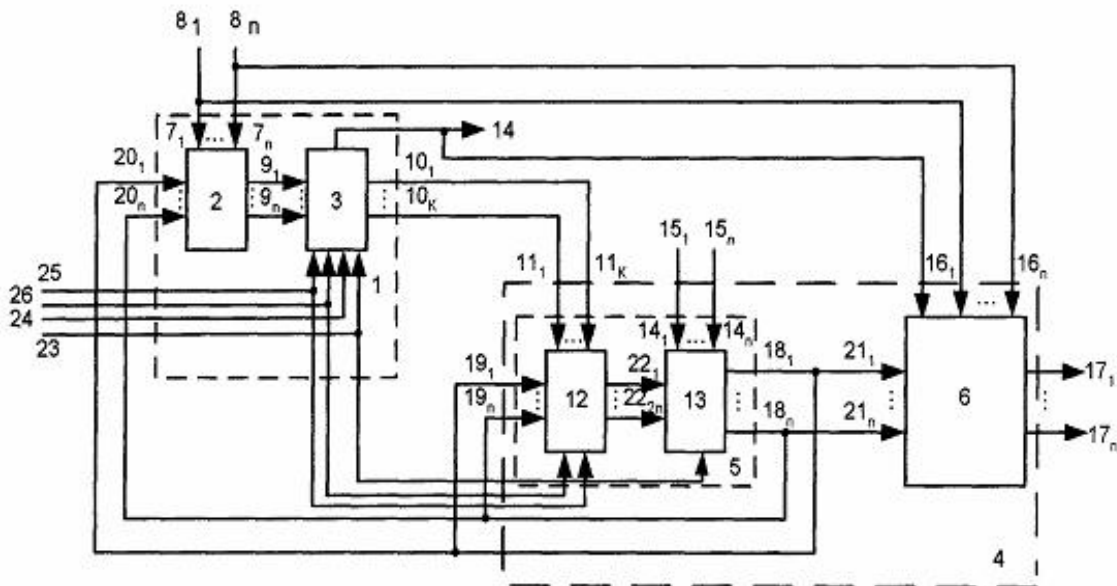
даних, показано на фіг.4. Тут застосовано такі S умовні позначення: [- ознака пари елементів, які

порівнюють, \curvearrowright - ознака збільшення/зменшення (інкремента/декремента) відповідних рангів елементів. Массив рангів елементів складається з діапазону цілих додатних чисел від 1 до 6 (вони помічені в дужках біля кожного елемента вектора даних). В процесі сортування виконується один контрольний (п'ятий) цикл. Отже, кількість N циклів сортування складає $N=O(n)$, оскільки $N=n-1$.

Доведемо можливість застосування одного контрольного циклу.

Нехай р-й цикл був останній, в якому виконувались зміни рангів елементів у парах. Але, якщо у (р+1)-му циклі не відбувається жодної зміни рангів елементів у парах, то можна стверджувати, що у (р+2)-му циклі також не буде зміни рангів елементів, оскільки будуть порівнюватись елементи в парах, які вже впорядковані у р-му циклі. Ці міркування стосуються всіх циклів, окрім першого. При відсутності зміни рангів елементів у першому циклі необхідно виконати ще один цикл для контролю.

Запропонована сортувальна нейромережа дозволяє зменшити апаратні витрати на сортування чисел як елементів вхідного вектора даних за рахунок ранжування елементів послідовності, що приводить в процесі попарного перегляду до зміни значень рангів елементів на одиницю замість переміщення (транспозиції) елементів у парах, яке потребує додаткової комірки пам'яті для кожної пари елементів, що переміщують. Крім того, аналізатор реакцій 3 налаштовувальної частини 1 сортувальної нейромережі містить 3-к елементів пам'яті (тригерів), де $k = \overline{1, K}$, $K = \lfloor n/2 \rfloor$ - кількість пар елементів, які порівнюють, тобто його апаратна складність дорівнює $O(n)$ елементів, де n - кількість елементів вхідного вектора даних пристрою, в той час як апаратна складність відомої сортувальної мережі - прототипу дорівнює $O(n^2)$ елементів. В якості значень рангів елементів може використовуватися не тільки послідовність чисел від 1 до n (натуральний ряд чисел), але й послідовність адреси цих елементів при їх записі у пам'ять.



Фіг. 1

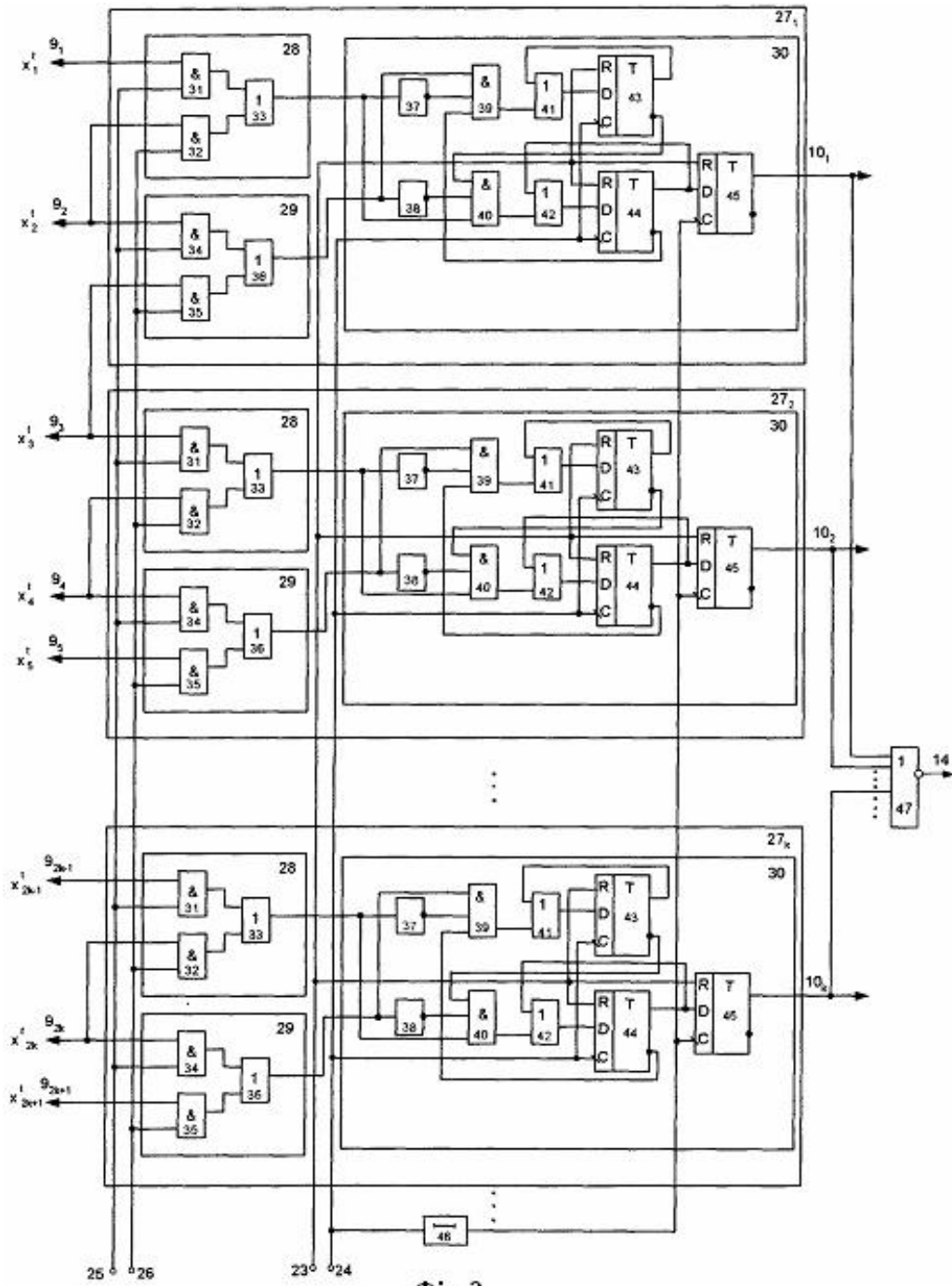
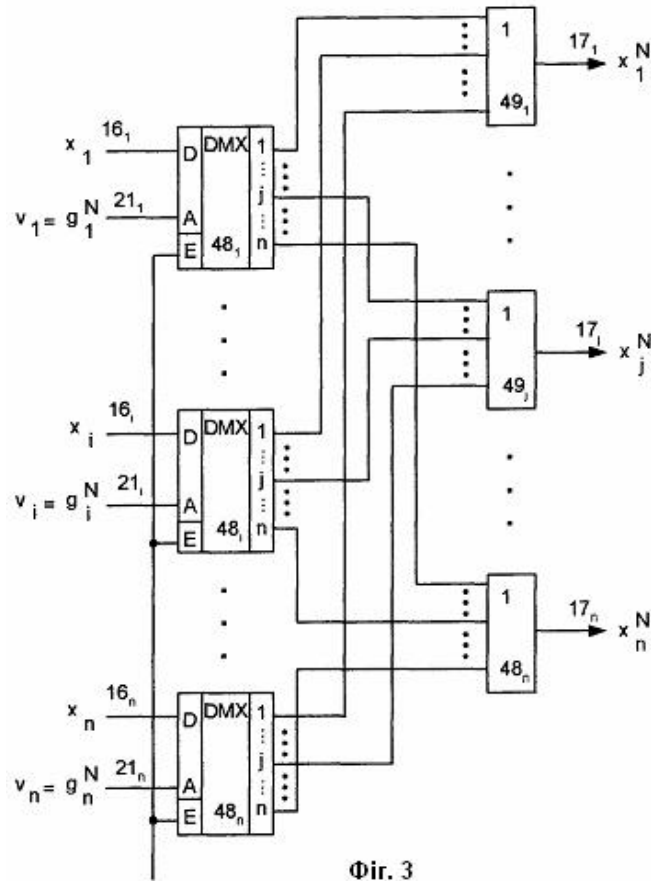
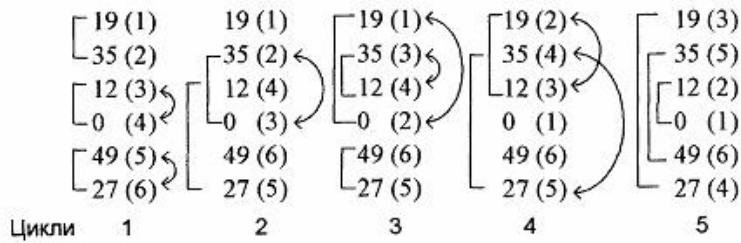


Fig. 2



Фіг. 3



Фіг. 4