

А. О. Мельник, д-р. техн. наук, проф.;

І. Д. Яковлева

АВТОМАТИЗОВАНИЙ СИНТЕЗ ПРИСТРОЇВ ШВИДКОГО ПЕРЕТВОРЕННЯ ФУР'Є З ГРАФІЧНОГО РІВНЯ

Запропоновано проектування пристроїв швидкого перетворення Фур'є за методом проектування алгоритмічних операційних пристроїв графічного подання виконуваних алгоритмів. Виконано їх автоматичний синтез для різної кількості вхідних даних різної розрядності та проведено їх порівняльну оцінку.

Вступ та постановка задачі

Завдяки досягненням в галузі інтегральної технології в останні роки суттєво зросла ємність інтегральних схем і з'явилась можливість реалізації в них доволі складних комп'ютерних пристроїв [1]. До таких пристроїв можна віднести паралельні процесори швидкого перетворення Фур'є, що застосовуються для розв'язання задач цифрової обробки сигналів і зображень [2].

Однією з основних вимог до засобів проектування комп'ютерних пристроїв є скорочення часу проектування. В цій роботі запропоновано для скорочення часу проектування пристроїв швидкого перетворення Фур'є використовувати метод проектування АОП графічного подання виконуваних алгоритмів, який передбачає автоматичне апаратне відображення потокового графа алгоритму (ПГА) [3], що поданий у формі структурної матриці (СМ).

На теперішній час низка фірм-розробників пропонують на ринку програмне забезпечення (ПЗ) для автоматизованого синтезу ядер ШПФ. Однією з найпотужніших розробок у цій галузі є ПЗ фірми Xilinx — The Xilinx® LogiCORE™ IP Fast Fourier Transform v7.0 [4]. Основні можливості розробки [4]: 1) оптимізація IP ядра під конкретний пристрій: Virtex®-6, Virtex-5, Virtex-4, Spartan®-6, Spartan-3/XA, Spartan-3A/XA/AN/3A DSP FPGAs; 2) можливість вибору прямого чи інверсного ШПФ в процесі експлуатації; 3) вибір розмірності перетворення та формату даних (з фіксованою комою (масштабована), з фіксованою комою (не масштабована), блочно-рухома кома) та ін. Одним із недоліків цього ПЗ є те, що розробнику не надається функціональна поведінкова VHDL/Verilog модель синтезованого пристрою. Іншими аналогами є ПЗ фірм INTRON Ltd — INTRON's FFT IP Cores Generator [5], Actel [6], Dillon Engineering [7], RAD3 Communications Inc [8], Aldec [9] та ін. ПЗ значно різняться конфігураційними параметрами та ціною.

В основу згаданого ПЗ покладена технологія проектування систем на кристалі (СНК), згідно з якою в одному кристалі розміщується низка комп'ютерних пристроїв, програмні моделі (ядра) яких були попередньо спроектовані та відтестовані. Основною проблемою, яка знижує ефективність проектування СНК, є відсутність на ринку ядер комп'ютерних пристроїв з потрібними технічними параметрами, що трапляється досить часто, оскільки розробити всі можливі варіанти ядер комп'ютерних пристроїв є нереальною задачею.

Іншим підходом до проектування АОП є метод проектування АОП графічного подання виконуваних алгоритмів [10], що передбачає апаратне відображення ПГА введенням процедури їх схемотехнічного опису зі СМ, що дозволяє формалізувати етап високорівневого синтезу АОП та прискорити процес їх проектування, а апаратне відображення потокового графа алгоритму покращує показники синтезованого пристрою.

Оскільки ШПФ є основою багатьох сучасних систем цифрової обробки сигналів і час його виконання часто є критичним, що вимагає створення паралельних пристроїв ШПФ, причому за короткий термін, то актуальним є проектування пристроїв ШПФ за методом проектування АОП графічного подання виконуваних алгоритмів.

1. Проектування алгоритмічних операційних пристроїв швидкого перетворення Фур'є

Метод проектування АОП графічного подання виконуваних алгоритмів передбачає апаратну реалізацію ПГА шляхом відображення комбінаційними схемами (КС) вершин ПГА, і з'єднанні їх між

собою відповідно до ПГА поданого у формі СМ. ПГА ШПФ поданий у формі СМ за методом побудови СМ алгоритмів з множинними операціями [11]. За методом проектування АОП графічного подання виконуваних алгоритмів розроблено алгоритм автоматизованого синтезу АОП ШПФ, який містить процедуру схемотехнічного опису зі СМ (рис. 1).

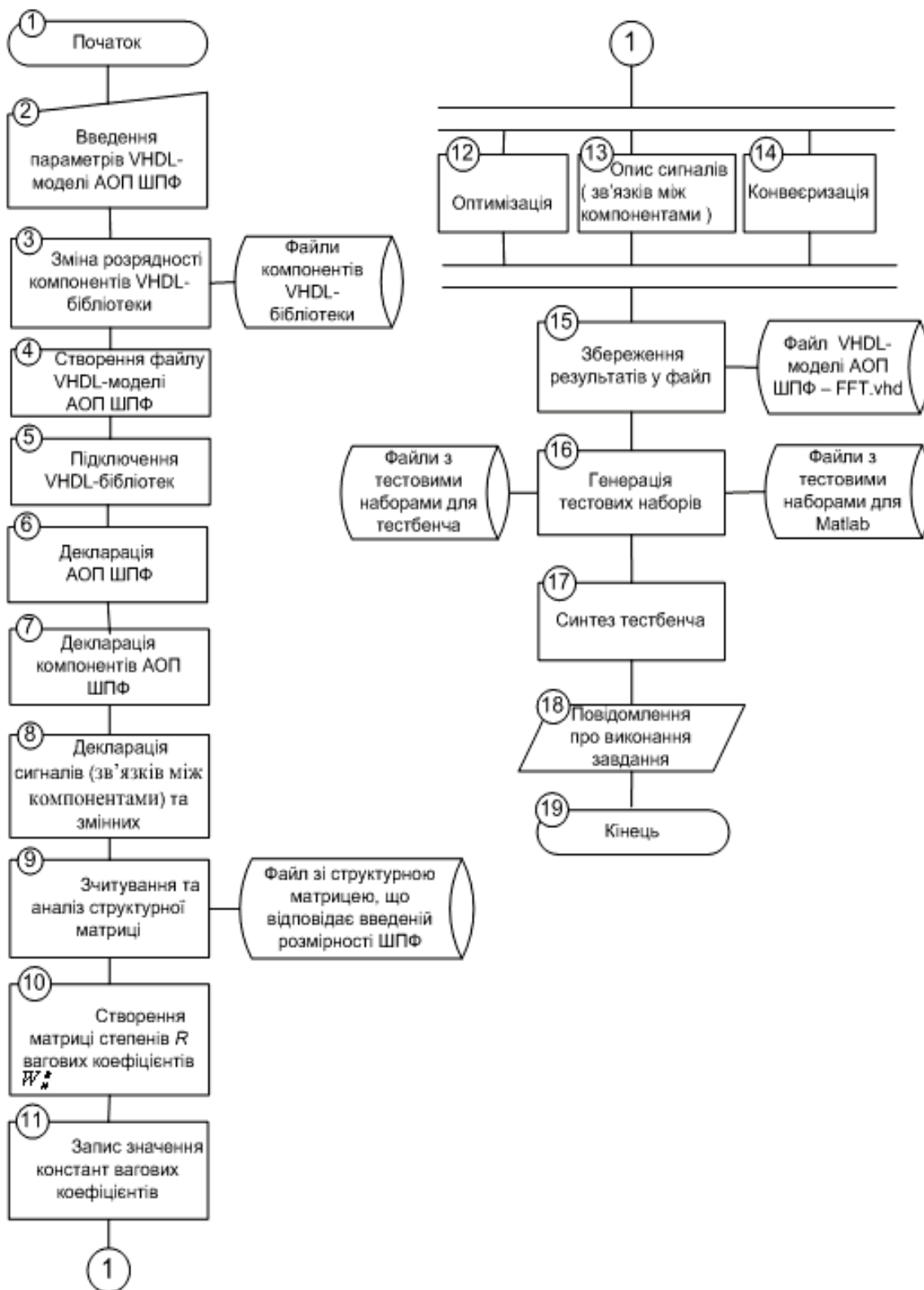


Рис. 1. Алгоритм автоматизованого синтезу АОП ШПФ з фіксованою комою

2. Розроблені засоби проектування алгоритмічних операційних пристроїв швидкого перетворення Фур'є

Розроблені програмні засоби проектування АОП ШПФ призначені для автоматизованого синтезу VHDL-моделей АОП комплексного ШПФ з частотним проріджуванням з основою 2 з фіксованою комою.

Програмні засоби забезпечують введення вхідних даних, якими є такі параметри (рис. 2): розмірність перетворення, внутрішню та зовнішню розрядність даних, можливість конвеєризації, ступінь конвеєризації, тип перетворення (пряме або інверсне), порядок вхідних та вихідних даних (прямий або двійково-інверсний), число тестових наборів (тестовий набір — послідовність згенерованих випадковим чином N вхідних векторів, де N — розмірність перетворення).

Автоматизований синтез починається зі зчитування параметрів АОП, введених користувачем, діапазон яких показано в табл. 1.

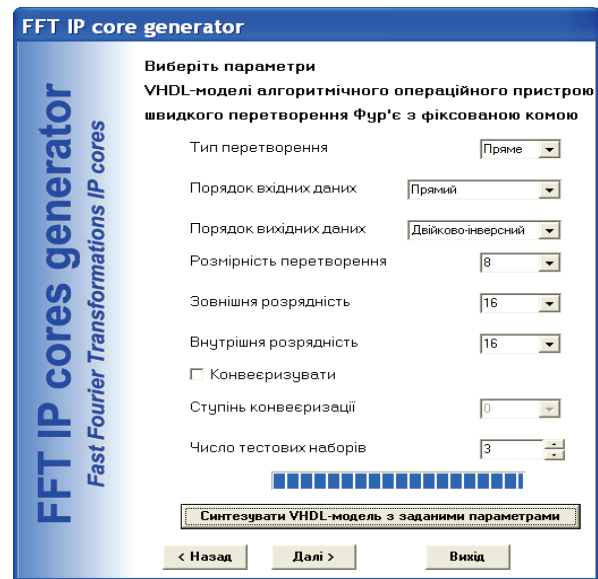


Рис. 2. Екранна форма ПЗ для синтезу АОП ШПФ: вибір параметрів

Таблиця 1

Конфігураційні параметри АОП ШПФ, що визначаються користувачем

Параметри	Опис	Діапазон значень
Розмірність перетворення	Значення N , що визначає число вхідних та вихідних векторів	$N = 2^m$, де $m = 2 \dots 16$
Зовнішня розрядність	Розрядність реальної та уявної частин комплексних вхідних та вихідних векторів	рекомендований: 4...128.
Внутрішня розрядність	Розрядність реальної та уявної частини комплексних чисел (внутрішніх даних)	\geq зовнішній розрядності
Тип перетворення	Тип ШПФ, яке повинен реалізувати АОП	пряме/зворотне
Порядок вхідних даних	прямий/двійково-інверсний	—
Порядок вихідних даних	прямий/двійково-інверсний	—
Ступінь конвеєризації	Максимальна довжина конвеєра дорівнює висоті CM	від 1 до max
Число тестових наборів	Число послідовностей з N вхідних векторів	необмежений

Відповідно до введених значень внутрішньої та зовнішньої розрядності виконується зміна розрядностей КС VHDL-бібліотеки проекту.

VHDL-бібліотека містить такі КС: `reg_in` — внутрішній регістр; `reg_ex` — зовнішній регістр; `butterfly` — модуль базової операції ШПФ — «метелик»; `butterfly10` — спрощений модуль базової операції ШПФ ($\omega = 1 + 0i$); `butterfly01` — спрощений модуль базової операції ШПФ ($\omega = 0 - 1i$); `div` — модуль ділення (використовується у зворотному ШПФ).

Базова операція ШПФ — «метелик» реалізована у вигляді окремої КС `butterfly.vhd`. До її складу входять блоки виконання арифметичних операцій над дійсними числами з фіксованою комою: додавання, віднімання та множення. Вхідними та вихідними даними КС є комплексні числа, кожне з яких представляється одним вектором. У цій роботі розроблено формат представлення чисел з фіксованою комою, що показаний на рис. 3 (де N — розрядність вхідного слова)

Після кожної операції множення ро-

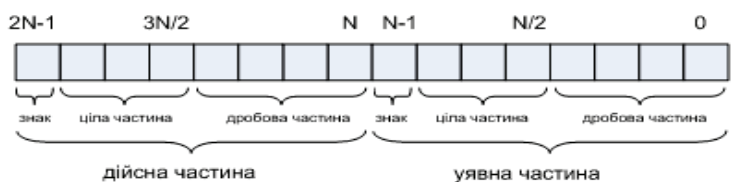


Рис. 3. Формат вхідних даних

зрядність результату подвоюється. У цій роботі ця проблема вирішується відкиданням зайвих розрядів. Такий підхід у порівнянні з заокругленням не вимагає реалізації додаткового блоку, а відповідно зменшує часові та апаратні затрати.

Алгоритм ШПФ з частотним проріджуванням передбачає, що вхідні дані надходять в прямому порядку, а вихідні — отримуються у двійково-інверсному. У цій програмі є можливість змінити такий порядок на зворотній, вибравши відповідний режим вхідних та вихідних даних. В такому випадку до індексів векторів даних застосовується алгоритм двійково-інверсної перестановки. Такі зміни не приводить до апаратних чи часових затрат в процесі експлуатації АОП та жодним іншим чином не погіршують його характеристик.

Оскільки, управління операціями здійснюється за допомогою передачі даних між ними, алгоритм виконується за один такт, що надає багаторазового прискорення виконанню конкретної задачі.

Збільшення продуктивності АОП забезпечується збільшенням завантаженості пристроїв АОП за рахунок суміщення в часі виконання операторів алгоритму над різними даними. Одним із можливих підходів тут є конвеєризація одноктактових АОП. Для цього КС різних ярусів розділяються регістрами. Під час вибору режиму конвеєризації автоматично визначається максимальний ступінь конвеєризації та відображається у відповідному випадковому меню, в якому також доступні різні варіанти ступеня конвеєризації від 1 до *max* для поточної розмірності перетворення. У випадку, коли обирається не максимальний ступінь конвеєризації, для досягнення максимальної швидкодії АОП ШПФ виконується автоматичний оптимальний розподіл регістрів між ярусами конвеєра.

У разі успішного виконання всіх етапів автоматизованого синтезу АОП ШПФ програма виводить відповідне повідомлення і синтезує АОП ШПФ, інтерфейс якого показано на рис. 4.

Відповідно до заданих параметрів синтезується також система верифікації, яка включає VHDL-модель випробувального стенду, що дозволяє промоделювати роботу АОП та програму мовою Matlab, на які подаються однакові тестові послідовності, кількість яких задана користувачем. Отримані результати дозволяють обчислити похибку розрахунку ШПФ та зробити висновок про коректність роботи синтезованих пристроїв.

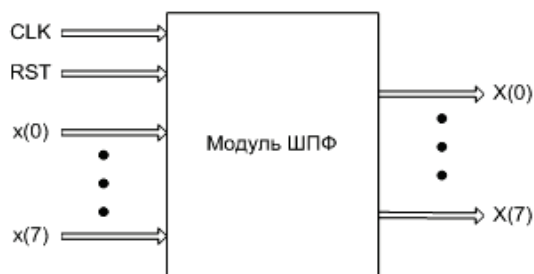


Рис. 4. Інтерфейс АОП ШПФ

3. Проектування та дослідження алгоритмічних операційних пристроїв швидкого перетворення Фур'є

За допомогою програмного пакету Synplify Pro синтезовані VHDL-моделі були відображені в конкретні ПЛІС, у результаті чого були отримані їх часові та апаратні характеристики на конкретних логічних схемах (табл. 2 та рис. 5).

Таблиця 2

Результат синтезу алгоритмічних операційних пристроїв АОП ШПФ

№	ПЛІС Altera Apex 20KE	Фірмою Intron		За методом проектування алгоритмічних операційних пристроїв з графічного подання виконуваних алгоритмів			
		кількість блоків ПЛІС	тактова частота (МГц)	кількість ярусів конвеєра	кількість блоків ПЛІС	тактова частота, ω (МГц)	часова затримка, нс ($1/\omega$)*Г
Розмірність ШПФ — 16; зовнішня розрядність — 16; внутрішня розрядність — 20							
1	EP20K200EQ240-1x	6432	72,4	1	7039	42,0	23
2				2	7602	57,3	34
3				3	7989	77,1	39

№	ПЛІС Altera Apex 20KE	фірмою Intron		за методом проектування алгоритмічних операційних пристроїв з графічного подання виконуваних алгоритмів			
		кількість блоків ПЛІС	тактова частота (МГц)	кількість ярусів конвєра	кількість блоків ПЛІС	тактова частота, w (МГц)	часова затримка, нс (1/w)*1
Розмірність ШПФ — 64; зовнішня розрядність — 24; внутрішня розрядність — 32							
4	EP20K1500EBC652-1	35117	39,04	1	3107	24,6	41
5				5	39548	41,3	121
Розмірність ШПФ — 1024; зовнішня розрядність — 16; внутрішня розрядність — 20							
6	EP20K1500EBC656-1x	35982	65	1	3019	37,8	26
7				9	39235	69,5	129
Розмірність ШПФ — 8192; зовнішня розрядність — 4; внутрішня розрядність — 8							
8	EP20K1500EBC652-1x	20383	100,1	1	17059	54,0	18
9				12	21456	91,3	123

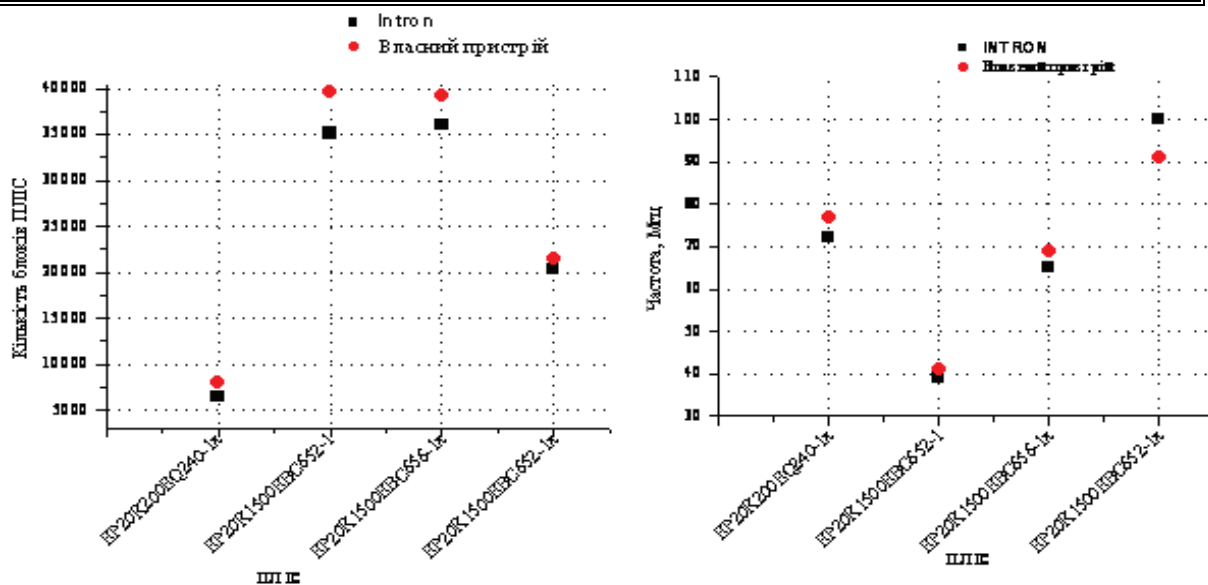


Рис. 5. Результат синтезу АОП ШПФ на ПЛІС Altera Apex 20KE

Затрати часу на проектування АОП ШПФ наведено в табл. 3.

Таблиця 3

Залежність часу синтезу АОП ШПФ від розмірності перетворення

Розмірність перетворення	Час синтезу, с	Кількість рядків програмного коду
16	0,9	284
32	1	520
64	1,3	1036
128	1,6	2160
256	3,1	4596
512	5,2	9848
1024	11,2	21116
2048	24,6	45184
4096	92	96388
8192	154	204936
16384	581	434316
32768	1036	916648
65536	2196	1934127

Висновки

За методом проектування алгоритмічних операційних пристроїв графічного подання виконуваних алгоритмів, який передбачає апаратне відображення потокового графа алгоритму шляхом введення процедури його схемотехнічного опису зі структурної матриці, виконано синтез алгоритмічних операційних пристроїв комплексного швидкого перетворення Фур'є з частотним проріджуванням за основою 2. Програмне засоби розроблено в середовищі Borland Delphi. Вхідними даними є структурна матриця ШПФ та конфігураційні параметри, які задає користувач. Синтезовані VHDL-моделі алгоритмічних операційних пристроїв та тестбенчі подаються у вигляді проекту середовища Active-HDL. У середовищі Matlab створено програму визначення похибок обчислення швидкого перетворення Фур'є, на підставі яких робиться висновок про коректність роботи синтезованих пристроїв. За допомогою програмного пакету Synplify Pro синтезовані VHDL-моделі відображені на конкретні ПЛІС та отримані їх часові та апаратні характеристики, що не відрізняються від наявних на ринку, у разі спрощення процесу проектування та мінімальних затратах часу.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Суворова Е. А. Проектирование цифровых систем на VHDL / Е. А. Суворова, Ю. Е. Шейнин. — СПб. : БХВ-Петербург, 2003. — 556 с.
2. Madiseti V. K. Digital Signal Processing Handbook / Vijay K. Madiseti. — Boca Raton : CRC Press, 2009. — 904 p.
3. Мельник А. О. Спеціалізовані комп'ютерні системи реального часу / А. О. Мельник. — Львів : Вид-во Національного університету «Львівська політехніка», 1996. — 60 с.
4. LogiCORE IP Fast Fourier Transform v7.1 / Product Specification [Електронний ресурс], 2010. — Режим доступу : http://www.xilinx.com/support/documentation/ip_documentation/xfft_ds260.pdf.
5. Direct and Inverse Fast Fourier Transformations IP Cores [Електронний ресурс], 2008. — Режим доступу : http://intron-innovations.com/datasheets/1_IP_Cores/4_Fast_Orthogonal/fft_datasheet.pdf.
6. CoreFFT Fast Fourier Transform / DirectСщку [Електронний ресурс], 2007. — Режим доступу : http://www.actel.com/ipdocs/CoreFFT_DS.pdf.
7. FFT_PIPE IP Core for Xilinx FPGAs [Електронний ресурс], 2010. — Режим доступу : http://www.dilloneng.com/fft_ip/pipelined-fft/fft_pipe-ip-core-for-xilinx-fpgas.
8. RAD3 IP Cores Series: N-Point FFT/IFFT/ Product Brief [Електронний ресурс], 2010. — Режим доступу : <http://www.rad3comm.com/uploads/FFT.pdf>.
9. ALDEC FFT IP Core Data Sheet [Електронний ресурс], 2006. — Режим доступу : http://ftp.aldec.com/Controls/ByteArrayHttpHandler.axd?key=ReleaseNotes_Product_e374ae84-55ca-492e-842d-680dacabc780&type=application%2Fpdf&name=IC-FFT.pdf&size=0.
10. Мельник А. О. Метод перетворення графічного подання алгоритму в його апаратну модель / А. О. Мельник, І. Д. Яковлева // Науковий вісник Чернівецького ун-ту. Фізика. Електроніка. Вип. 423. — Чернівці : Чернівецький національний університет імені Юрія Федьковича, 2008. — С. 19—23. — (Тематичний випуск: Комп'ютерні системи та компоненти).
11. Мельник А. О. Особливості побудови структурної матриці потокових графів алгоритмів з множинними операціями / А. О. Мельник, І. Д. Яковлева // Технічні науки. — 2008. — № 5 — С. 117—120.

Рекомендована кафедрою обчислювальної техніки

Стаття надійшла до редакції 11.02.11
Рекомендована до друку 4.03.11

Мельник Анатолій Олексійович — завідувач кафедри електронно-обчислювальних машин.

Національний університет «Львівська політехніка», Львів;

Яковлева Інна Дмитрівна — асистент кафедри комп'ютерних систем та мереж.

Чернівецький національний університет імені Юрія Федьковича, Чернівці