



УКРАЇНА

(19) UA (11) 66030 (13) U
(51) МПК (2011.01)
H03K 5/19 (2006.01)
G05B 1/00

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

ОПИС
ДО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ДВОТАКТНИЙ СИМЕТРИЧНИЙ ПІДСИЛЮВАЧ СТРУМУ

1

2

(21) u201105552

(22) 04.05.2011

(24) 26.12.2011

(46) 26.12.2011, Бюл.№ 24, 2011 р.

(72) АЗАРОВ ОЛЕКСІЙ ДМИТРОВИЧ, КРУПЕЛЬНИЦЬКИЙ ЛЕОНІД ВІТАЛІЙОВИЧ, ТЕПЛИЦЬКИЙ МИХАЙЛО ЮХИМОВИЧ, ПОНОМАРЬОВА МАРІЯ ВАЛЕРІЇВНА

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) Двотактний симетричний підсилювач струму, який містить перше та друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього і четвертого транзисторів, емітери першого і другого транзисторів об'єднано між собою, бази третього і четвертого транзисторів з'єднано з першими виводами першого і другого джерел струму, другі виводи першого і другого джерел струму з'єднано з шинами додатного і від'ємного живлення відповідно, колектори п'ятого і шостого транзисторів об'єднано між собою та з'єднано з вихідною шиною, який **відрізняється** тим, що у нього введено двадцять транзисторів, два джерела струму, причому бази сьомого та восьмого транзисторів з'єднано між собою та під'єднано до шини нульового потенціалу, колектори - до шин додатного та від'ємного живлення відповідно, емітер сьомого транзистора з'єднано з базою третього та першим виводом першого джерела струму, емітер восьмого транзистора з'єднано з базою десятого транзистора та першим виводом другого джерела струму, колектори третього і четвертого транзисторів з'єднано з колекторами десятого і одинадцятого транзисторів, а також з базами п'ятнадцятого і шістнадцятого транзисторів відповідно, бази дев'ятого і тринадцятого транзисторів об'єднані між собою та з'єднані з об'єднаними колектором дев'ятого і емітером десятого транзисторів, колектори дев'ятого і тринадцятого транзисторів під'єднано до шини додатного живлення колектор тринадцятого транзистора з'єднано з базою десятого і колектором першого транзисторів, база одинадцятого транзистора з'єднана з об'єднаними

колекторами другого і чотирнадцятого транзисторів, колектор одинадцятого транзистора - з об'єднаними базами дванадцятого і чотирнадцятого транзисторів та колектором дванадцятого транзистора, емітери дванадцятого і чотирнадцятого та колектор шістнадцятого транзисторів під'єднано до шини від'ємного живлення, база двадцять першого транзистора з'єднана з об'єднаними емітером шістнадцятого транзистора і другим виводом четвертого джерела струму, перший вивід четвертого джерела струму під'єднано до шини нульового потенціалу, база двадцятього транзистора з'єднана з об'єднаними емітером п'ятнадцятого транзистора і другим виводом третього джерела струму, колектор п'ятнадцятого транзистора під'єднано до шини додатного живлення, а перший вивід третього джерела струму - до шини нульового потенціалу, емітери сімнадцятого та вісімнадцятого транзисторів з'єднано з об'єднаними базою першого і колектором двадцятього, базою другого та колектором двадцять першого транзисторів відповідно, об'єднані бази сімнадцятого та вісімнадцятого транзисторів під'єднано до шини нульового потенціалу, колектори сімнадцятого та вісімнадцятого транзисторів під'єднано до шин від'ємного та додатного живлення відповідно, емітери дев'ятнадцятого, двадцять третього і двадцять п'ятого транзисторів під'єднано до шини додатного живлення, а їхні бази з'єднані між собою, база п'ятого транзистора з'єднана з об'єднаними колектором дев'ятнадцятого та емітером двадцятього транзисторів, колектор двадцять третього транзистора з'єднано з об'єднаними колектором двадцять п'ятого і емітером п'ятого транзисторів та колектором двадцять третього транзистора, емітери двадцять другого, двадцять четвертого і двадцять шостого транзисторів під'єднані до шини від'ємного живлення, а їхні бази з'єднані між собою, база шостого транзистора з'єднана з об'єднаними емітером двадцять першого та колектором двадцять другого транзисторів, колектор двадцять четвертого транзистора з'єднаний з об'єднаними емітером шостого і колектором двадцять шостого транзисторів та базою двадцять четвертого транзистора.

(19) UA (11) 66030 (13) U

Корисна модель належить до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо підсилювач постійного струму (А.с. № 1548841, Н03 F3/25, 1989 р.), який містить перший і другий транзистори, які мають різну структуру. Емітери першого і другого транзисторів з'єднано, а точка з'єднання є входом підсилювача постійного струму. Третій і четвертий транзистори мають структуру відповідно другого і першого транзисторів, їх колектори є виходами підсилювача постійного струму, а бази третього і четвертого транзисторів з'єднано з колекторами першого і другого транзисторів відповідно. Бази першого і другого транзисторів з'єднано з шиною нульового потенціалу через перший і другий транзистори відповідно у діодному включенні та перше і друге джерела струмів, які включено між шинами додатного та від'ємного живлення та базами першого і другого транзисторів відповідно. Перший та другий транзистори у діодному включенні мають структуру відповідно до першого і другого транзисторів відповідно. Перший та другий струмосадаючі елементи виконано відповідно на першому і другому відбивачах струму та п'ятому і шостому транзисторах, які мають структуру відповідно до третього і четвертого транзисторів. Бази п'ятого і шостого транзисторів є виходами відповідно першого і другого струмосадаючого елементів, їх колектори з'єднано з шиною нульового потенціалу, а емітери - з виходами відповідно першого і другого відбивачів струму. Входи відбивачів струму з'єднано через двополюсний струмосадаючий елемент. Колектори третього і четвертого транзисторів з'єднано через коло зміщення. Коло зміщення виконано на третьому і четвертому транзисторах в діодному включенні. Виводи кола зміщення підключено до баз сьомого і восьмого транзисторів, які ввімкнено по схемі із загальним колектором. Емітери сьомого і восьмого транзисторів з'єднано, вони є виходом підсилювача. Недоліком пристрою є низький коефіцієнт підсилення та низька швидкодія.

За прототип вибрано двотактний симетричний підсилювач струму (Push-pull amplifier with current mirrors for determining the quiescent operating point, United States Patent 3,852,678, Dec. 3, 1974), який містить перше і друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього четвертого транзисторів відповідно, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, другі виводи першого і другого джерел струму та емітери п'ятого і шостого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, колектори п'ятого і шостого транзисторів з'єднано з вихідною шиною.

Недоліком прототипу є низький коефіцієнт підсилення, що обмежує галузь використання пристрою.

В основу корисної моделі поставлено задачу створення двотактного симетричного підсилювача струму, в якому за рахунок введення нових елементів та зв'язків між ними збільшується коефіцієнт підсилення, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у двотактний симетричний підсилювач струму, який містить перше та друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього і четвертого транзисторів, емітери першого і другого транзисторів об'єднано між собою, бази третього і четвертого транзисторів з'єднано з першими виводами першого і другого джерел струму, другі виводи першого і другого джерел струму з'єднано з шинами додатного і від'ємного живлення відповідно, колектори п'ятого і шостого транзисторів об'єднано між собою та з'єднано з вихідною шиною, крім того введено двадцять транзисторів, два джерела струму, причому бази сьомого та восьмого транзисторів з'єднано між собою та під'єднано до шини нульового потенціалу, колектори - до шин додатного та від'ємного живлення відповідно, емітер сьомого транзистора з'єднано з базою третього та першим виводом першого джерела струму, емітер восьмого транзистора з'єднано з базою десятого транзистора та першим виводом другого джерела струму, колектори третього і четвертого транзисторів з'єднано з колекторами десятого і одинадцятого транзисторів, а також з базами п'ятнадцятого і шістнадцятого транзисторів відповідно, бази дев'ятого і тринадцятого транзисторів об'єднані між собою та з'єднані з об'єднаними колектором дев'ятого і емітером десятого транзисторів, колектори дев'ятого і тринадцятого транзисторів під'єднано до шини додатного живлення, колектор тринадцятого транзистора з'єднано з базою десятого і колектором першого транзисторів, база одинадцятого транзистора з'єднана з об'єднаними колекторами другого і чотирнадцятого транзисторів, колектор одинадцятого транзистора - з об'єднаними базами дванадцятого і чотирнадцятого транзисторів та колектором дванадцятого транзистора, емітери дванадцятого і чотирнадцятого та колектор шістнадцятого транзисторів під'єднано до шини від'ємного живлення, колектор шістнадцятого транзистора з'єднано з базою десятого і колектором першого транзисторів, база одинадцятого транзистора з'єднана з об'єднаними колекторами другого і чотирнадцятого транзисторів, колектор одинадцятого транзистора - з об'єднаними базами дванадцятого і чотирнадцятого транзисторів та колектором дванадцятого транзистора, емітери дванадцятого і чотирнадцятого та колектор шістнадцятого транзисторів під'єднано до шини від'ємного живлення, база двадцять першого транзистора з'єднана з об'єднаними емітером шістнадцятого транзистора і другим виводом четвертого джерела струму, перший вивід четвертого джерела струму під'єднано до шини нульового потенціалу, база двадцять першого транзистора з'єднана з об'єднаними емітером п'ятнадцятого транзистора і другим виводом третього джерела струму, колектор п'ятнадцятого транзистора під'єднано до шини додатного живлення, а перший вивід третього джерела струму - до шини нульового потенціалу, емітери сімнадцятого та вісімнадцятого транзисторів з'єднано з об'єднаними базою першого і колектором двадцять

того, базу другого та колектором двадцять першого транзисторів відповідно, об'єднані бази сімнадцятого та вісімнадцятого транзисторів під'єднано до шини нульового потенціалу, колектором сімнадцятого та вісімнадцятого транзисторів під'єднано до шин від'ємного та додатного живлення відповідно, емітери дев'ятнадцятого, двадцять третього і двадцять п'ятого транзисторів під'єднано до шини додатного живлення, а їхні бази з'єднані між собою, база п'ятого транзистора з'єднана з об'єднаними колектором дев'ятнадцятого та емітером двадцятого транзисторів, колектор двадцять третього транзистора з'єднано з об'єднаними колектором двадцять п'ятого і емітером п'ятого транзисторів та колектором двадцять третього транзистора, емітери двадцять другого, двадцять четвертого і двадцять шостого транзисторів під'єднані до шини від'ємного живлення, а їхні бази з'єднані між собою, база шостого транзистора з'єднана з об'єднаними емітером двадцять першого та колектором двадцять другого транзисторів, колектор двадцять четвертого транзистора з'єднаний з об'єднаними емітером шостого і колектором двадцять шостого транзисторів та базою двадцять-четвертого транзистора.

На кресленні представлено принципову схему двотактного симетричного підсилювача постійного струму.

Пристрій містить вхідну шину 6, яку з'єднано з емітерами третього 9 і четвертого 10 транзисторів, шину додатного живлення 33, яку з'єднано з емітерами двадцять п'ятого 29, двадцять третього 27, дев'ятнадцятого 23, тринадцятого 13 і дев'ятого 7 транзисторів, колекторами вісімнадцятого 22, п'ятнадцятого 17 і восьмого 4 транзисторів та другим виводом першого джерела струму 1, шину від'ємного живлення, яку з'єднано з емітерами двадцять шостого 32, двадцять четвертого 28, двадцять другого 26, чотирнадцятого 16 і дванадцятого 12 транзисторів, колекторами сімнадцятого 21, шістнадцятого 20 і сьомого 2 транзисторів, та другим виводом другого джерела струму 5, вихідну шину 34, яку з'єднано з об'єднаними колекторами п'ятого 30 і шостого 31 транзисторів, шину нульового потенціалу, яку з'єднано з об'єднаними базами сьомого 2 і восьмого 4, сімнадцятого 21 і вісімнадцятого 22 транзисторів, першими виводами третього 18 і четвертого 19 джерел струму, об'єднані між собою перший вивід першого джерела струму 1 і емітер сьомого транзистора 2 з'єднано з базою третього транзистора 9, об'єднані між собою перший вивід другого джерела струму 5 і емітер восьмого транзистора 4 з'єднано з базою четвертого транзистора 10, бази дев'ятого 7 і тринадцятого 13 транзисторів, а також бази дванадцятого 12 і чотирнадцятого 16 транзисторів, та бази дев'ятнадцятого 23, двадцять третього 27 і двадцять п'ятого 29 транзисторів, а також бази двадцять другого 26, двадцять четвертого 28 і двадцять шостого 32 транзисторів відповідно з'єднані між собою, база дев'ятого транзистора 7 з'єднана, з об'єднаними об'єднані між собою емітером десятого 8 і колектором дев'ятого 7 транзисторів, база десятого транзистора 8 з'єднана з об'єднаними колектором тринадцятого 13 і першого 14 транзисторів, база п'ятнадцятого транзистора 17 з'єднана з об'єдна-

ними колектором десятого 8 і третього 9 транзисторів, база дванадцятого транзистора 12 з'єднана з об'єднаними емітером одинадцятого транзистора 11 і колектором дванадцятого транзистора 12, база одинадцятого транзистора 11 з'єднана з об'єднаними колектором другого 15 і чотирнадцятого 16 транзисторів, база шістнадцятого транзистора 20 з'єднана з об'єднаними колектором четвертого 10 і одинадцятого 11 транзисторів, емітери першого 14 і другого 15 транзисторів з'єднані між собою, база двадцятого 15 транзистора з'єднана з об'єднаними емітером п'ятнадцятого 17 транзистора і другим виводом третього 18 джерела струму, база двадцять першого 25 транзистора з'єднана з об'єднаними емітером шістнадцятого 20 транзистора і другим виводом четвертого 20 джерела струму, емітер сімнадцятого 21 транзистора з'єднано з об'єднаними базою першого 14 і колектором двадцятого 24 транзисторів, емітер вісімнадцятого 22 транзистора з'єднано з об'єднаними базою другого 15 і колектором двадцять першого 25 транзисторів, об'єднані між собою бази дев'ятнадцятого 23 і двадцять третього 27 транзисторів з'єднано з колекторами двадцять третього 27 і двадцять п'ятого 29 транзисторів та з емітером п'ятого 30 транзистора, база п'ятого 30 транзистора з'єднана з об'єднаними колектором та емітером дев'ятнадцятого 23 і двадцятого 24 транзисторів відповідно, об'єднані бази двадцять другого 26 і двадцять четвертого 28 транзисторів з'єднано з колекторами двадцять четвертого 28 і двадцять шостого 32 транзисторів та з емітером шостого 31 транзистора, база шостого 31 транзистора з'єднана з об'єднаними емітером та колектором двадцять першого 25 і двадцять другого 26 транзисторів.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму поступає на вхідну шину 6. Якщо вхідний струм втікає у схему, то четвертий 10 транзистор привідкривається, а третій 9 транзистор призакривається, відповідно шістнадцятим 20 транзистором призакривається, а п'ятнадцятим 17 транзистором привідкривається, відповідно двадцять перший 25 транзистор привідкривається, а двадцятим 24 транзистором призакривається, відповідно шостий 31 транзистор привідкривається, а п'ятим 30 транзистором призакривається. Різниця струмів на колекторах п'ятого 30 і шостого 31 транзисторів поступає на вихід схеми.

Якщо вхідний струм витікає зі схеми, - то четвертий 10 транзистор призакривається, а третій 9 транзистор привідкривається, відповідно шістнадцятим 20 транзистором привідкривається, а п'ятнадцятим 17 транзистором призакривається, відповідно двадцять перший 25 транзистором призакривається, а двадцятим 24 транзистором привідкривається, відповідно шостий 31 транзистором призакривається, а п'ятим 30 транзистором привідкривається. Різниця струмів на колекторах п'ятого 30 і шостого 31 транзисторів поступає на вихід схеми.

Перше 1 і друге 5 джерела струму та сьомий 2, восьмий 4, третій 9, четвертий 10 транзистори утворюють схему завдання напруги зміщення на вхідному каскаді.

П'ятнадцятим 17 і двадцятим 24 транзисторами, а також шістнадцятим 19 і двадцять першим 25 тра-

нзистори утворюють проміжний складений підсилювальний каскад.

Третє 18 та четверте 19 джерела струму задають емітерний струм для п'ятнадцятого 17 та шістнадцятого 20 транзисторів відповідно.

Перший 14, другий 15, сімнадцятий 21, вісімнадцятий 22 транзистори утворюють двотактний відбивач струму, який разом з відбивачами струму Вілсона, побудованими на дев'ятому 7, десятому 8, тринадцятому 13, та одинадцятому 11, дванадцятому 12, чотирнадцятому 16 транзисторах, утворюють двоконтурний вибірковий зворотній зв'язок.

Дев'ятнадцятий 23, двадцять третій 27, двадцять п'ятий 29, п'ятий 30 транзистори, а також

двадцять другий 26, двадцять четвертий 28, двадцять шостий 32, шостий 31 транзистори утворюють відбивачі струму з коефіцієнтом 2, що слугують для забезпечення високої навантажувальної здатності схеми.

Шини додатного 33 і від'ємного 35 живлення, а також шина нульового потенціалу 3 забезпечують потрібний рівень напруги для живлення схеми.

Вихідна шина 34 підключається до точки об'єднання колекторів п'ятого 30 та шостого 31 транзисторів, а бази сьомого 2 і восьмого 4 транзисторів, а також бази сімнадцятого 21 і вісімнадцятого 22 транзисторів, а також перші виводи третього 18 і четвертого 19 джерел струму підключаються до шини нульового потенціалу 3.

