



УКРАЇНА

(19) UA (11) 61611 (13) U
(51) МПК (2011.01)
H03K 5/24 (2006.01)
G05B 1/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ОБЧИСЛЮВАЛЬНИЙ ПЕРЕТВОРЮВАЧ "ЦИФРОВИЙ ЕКВІВАЛЕНТ-РОБОЧИЙ КОД "

1

2

(21) u201015636

(22) 24.12.2010

(24) 25.07.2011

(46) 25.07.2011, Бюл.№ 14, 2011 р.

(72) АЗАРОВ ОЛЕКСІЙ ДМИТРОВИЧ, КАДУК
ОЛЕКСАНДР ВОЛОДИМИРОВИЧ, ДУДНИК ОЛЕ-
КСАНДР ВІКТОРОВИЧ, КИРИЛЕНКО ДМИТРО
ОЛЕГОВИЧ

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ
УНІВЕРСИТЕТ

(57) Обчислювальний перетворювач "цифровий
еквівалент - робочий код", який містить п-
розрядний вхідний реєстр, суматор, вихідний ре-
єстр, причому перший вихід п-розрядного вхідного
реєстра з'єднано з першим входом суматора, який
відрізняється тим, що введено цифровий кому-
та-

тор, блок оперативної пам'яті, блок керування та
цифрову схему порівняння, причому перший вхід
цифрового комутатора з'єднано з виходом блока
оперативної пам'яті, а його другий вхід з'єднано з
першим виходом блока керування, другий вихід
блока керування з'єднано з входом п-розрядного
вхідного реєстра, вихід цифрового комутатора
з'єднано з першим входом суматора, другий вхід
суматора з'єднано з виходом п-розрядного вхідно-
го реєстра, вихід суматора з'єднано з входом п-
розрядного вхідного реєстра та цифрової схеми
порівняння, виходи цифрової схеми порівняння
з'єднано з входами п-розрядного вхідного і вихід-
ного реєстрів, вихід вихідного реєстра є виходом
перетворювача.

Корисна модель належить до обчислювальної
техніки і може бути використана для синтезу пере-
творювачів форми інформації з ваговою надлиш-
ковістю.

Відомо перетворювач двійкового коду [Автор-
ське свідоцтво СРСР №1427573, бюл. №36,
1988 р.], який містить чотири елемента "НІ", шість
елементів "І", три елементи "АБО", а також еле-
мент "Виключне АБО", причому перший вхід пере-
творювача з'єднано з входом третього елемента
"НІ", другим входом третього елемента "І" та дру-
гим входом сьомого елемента "І", другий вхід пе-
ретворювача з'єднано з входом другого елемента
"НІ" та другим входом другого елемента "АБО",
третій вхід перетворювача з'єднано з входом пер-
шого елемента "НІ" та першим входом другого
елемента "АБО", вихід першого елемента "НІ"
з'єднано з першим входом першого елемента "І" та
першим входом сьомого елемента "І", вихід друго-
го елемента "НІ" з'єднано з другим входом першо-
го елемента "І" та другим входом п'ятого елемента
"І", вихід третього елемента "НІ" з'єднано з пер-
шим входом другого елемента "І", другий вхід дру-
гого елемента "І" з'єднано з другим входом елеме-
нта "Виключне АБО", третій вхід другого елемента
"І" з'єднано з першим входом четвертого елемента

"І", перший вхід першого елемента "І" з'єднано з
першим входом елемента "Виключне АБО", вихо-
ди першого і другого елементів "І" з'єднано з від-
повідними входами першого елемента "АБО", ви-
хід другого елемента "АБО" з'єднано з першим
входом третього елемента "І", вихід елемента "Ви-
ключне АБО" з'єднано з входом четвертого еле-
мента "НІ" та першим входом п'ятого елемента "І",
вихід четвертого елемента "НІ" з'єднано з другим
входом четвертого елемента "І", виходи п'ятого і
сьомого елементів "І" з'єднано з відповідними вхо-
дами третього елемента "АБО", вихід третього
елемента "І" є першим виходом перетворювача
кодів, вихід першого елемента "АБО" являється
другим виходом перетворювача кодів, вихід чет-
вертого елемента "І" є третім виходом перетворю-
вача кодів, вихід третього елемента "АБО" є чет-
вертим виходом перетворювача кодів.

Недоліком аналога є вузькі функціональні мо-
жливості, що обмежують галузь застосування при-
строю.

За прототип вибрано перетворювач двійкового
коду в код Фібоначчі [Патент СРСР №1439751,
бюл. №43, 1988р.], який містить п-розрядний (п -
розрядність вхідного коду) вхідний реєстр, інфор-
маційні і управляючі входи якого є відповідними

(19) UA (11) 61611 (13) U

інформаційними і управляючими входами перетворювача, суматор, вихідний регістр, блоки постійної пам'яті і елемент затримки, вхід якого з'єднано з управляючим входом перетворювача, а його вихід з'єднано з управляючим виходом вихідного регістра, виходи m молодших і $n-m$ старших розрядів вхідного регістра ($m = \frac{n-1}{2}$ при n - непа-

рним, $m = \frac{n-2}{2}$, при n - парним) з'єднано відпові-

дно з першими входами суматора та входами першого і другого блоків постійної пам'яті, виходи першого блоку постійної пам'яті з'єднано з другими входами суматора, виходи якого з'єднано з входами третього блоку постійної пам'яті, виходи якого з'єднано з входами 1 молодших розрядів вихідного регістра (де 1 знаходиться із співвідношення $\varphi(1-3) \geq 2^m - 2, \varphi/i$) - вага, вихід другого блоку постійної пам'яті з'єднано з входами старших розрядів вихідного регістра, виходи якого являються виходами перетворювача.

Недоліком прототипу є вузькі функціональні можливості, що обмежують галузь застосування пристрою.

В основу корисної моделі поставлено задачу створення обчислювального перетворювач "цифровий еквівалент - робочий код", в якому за рахунок введення нових елементів та зв'язків між ними поєднуються процедури самокалібрування та визначення цифрових еквівалентів поточного базису це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у обчислювальний перетворювач "цифровий еквівалент - робочий код", який містить n -розрядний вхідний регістр, суматор, вихідний регістр, причому перший вихід n -розрядного вхідного регістра з'єднано з першим входом суматора, введено цифровий комутатор, блок оперативної пам'яті, блок керування та цифрову схему порівняння, причому перший вхід цифрового комутатора з'єднано з виходом блока оперативної пам'яті, а його другий вхід з'єднано з першим виходом блока керування, другий вихід блока керування з'єднано з входом n -розрядного вхідного регістра, вихід цифрового комутатора з'єднано з першим входом суматора, другий вхід суматора з'єднано з виходом n -розрядного вхідного регістра, вихід суматора з'єднано з входом n -розрядного вхідного регістра та цифрової схеми порівняння, виходи цифрової схеми порівняння з'єднано з входами n -розрядного

вхідного і вихідного регістрів, вихід вихідного регістра є виходом перетворювача.

На кресленні представлено структурну схему обчислювального перетворювача "цифровий еквівалент - робочий код".

Пристрій містить блок оперативної пам'яті 1, блок керування 2, цифровий комутатор 3, суматор 4, цифрову схему порівняння 5, вхідний регістр 6, вихідний регістр 7, причому вхід цифрового комутатора 3 з'єднано з виходом блока оперативної пам'яті 1 та першим виходом блока керування 2, другий вихід блока керування 2 з'єднано з входом n -розрядного вхідного регістра 6, вихід цифрового комутатора 3 з'єднано з першим входом суматора 4, другий вхід суматора 4 з'єднано з виходом n -розрядного вхідного регістра 6, вихід суматора 4 з'єднано з входом n -розрядного вхідного регістра 6 та цифрової схеми порівняння 5, виходи цифрової схеми порівняння 5 з'єднано з входами n -розрядного вхідного 6 і вихідного 7 регістрів, вихід вихідного регістра 7 є виходом перетворювача.

Пристрій працює таким чином.

Перетворення вхідного коду K_{BX} у код системи числення з вагою надлишковістю N_p здійснюється шляхом послідовного порозрядного наближення за принципом "цифра-за-цифрою", а саме: старшими розрядами вперед. На першому кроці по команді блока керування 2 вхідний код K_{BX} подається в n -розрядний вхідний регістр 6. Далі за допомогою цифрового комутатора 3 із блока оперативної пам'яті 1 вибираються ваги розрядів $K(Q_j)$. У суматорі 4 відбувається віднімання значення $K(Q_j)$ від K_{BX} , що знаходиться в n -розрядному вхідному регістрі 6. На основі аналізу результату операції віднімання на цифровій схемі порівняння 5 у вихідному регістрі 7 формуються розрядні коефіцієнти робочого коду a_j , а в n -розрядному вхідному регістрі 6 відбувається запис значення результату операції віднімання, причому:

$$\Delta K_i = K_{BX} - \sum_{j=i}^{n_a} a_j \cdot K(Q_j),$$

а значення розрядних коефіцієнтів задовольняють умові:

$$a_i = \begin{cases} 1, \text{якщо } \Delta K_i \geq 0; \\ 0, \text{якщо } \Delta K_i < 0. \end{cases}$$

