



УКРАЇНА

(19) UA (11) 59965 (13) U
(51) МПК (2011.01)
G06T 15/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ ДЛЯ ВИЗНАЧЕННЯ ІНТЕНСИВНОСТІ СПЕКУЛЯРНОЇ СКЛАДОВОЇ КОЛЬОРУ

1

2

(21) u201012853

(22) 29.10.2010

(24) 10.06.2011

(46) 10.06.2011, Бюл.№ 11, 2011 р.

(72) РОМАНЮК ОЛЕКСАНДР НИКИФОРОВИЧ,
ЛЯШЕНКО ЮРІЙ ЛЕОНІДОВИЧ, ДРУЗЮК БОГ-
ДАН АНАТОЛІЙОВИЧ

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ
УНІВЕРСИТЕТ

(57) Пристрій для визначення інтенсивності спекулярної складової кольору, який містить шість регістрів, чотири блоки множення, блок інверторів, два мультиплексори, блок керування, комбінаційний суматор, блок постійної пам'яті, вихід якого підключено до першого входу першого блока множення, вихід першого регістра з'єднано з першим інформаційним входом першого мультиплексора, інформаційний вхід - з першим інформаційним входом пристрою, а керуючий вхід - з першим керуючим входом пристрою, вихід блока інверторів з'єднано з першим інформаційним входом комбінаційного суматора, другий вхід якого підключено до четвертого інформаційного входу пристрою, а вихід з'єднано з інформаційним входом третього регістра, вихід якого підключено до першого інформаційного входу першого мультиплексора, інформаційні входи четвертого, п'ятого і шостого регістрів підключено відповідно до п'ятого, шостого і сьомого інформаційних входів пристрою, п'ятий, шостий і сьомий керуючі входи якого з'єднані відповідно з керуючими входами четвертого, п'ятого і шостого регістрів, вихід другого мультиплексора з'єднано з другим входом першого блока множення, вихід якого з'єднано з входом блока інверторів, вихід першого мультиплексора підключено до входу блока постійної пам'яті, перший, другий і третій входи блока керування з'єднані відповідно з першим, другим і третім керуючими входами пристрою, другий інформаційний та четвертий керуючі входи якого підключені відповідно до інформацій-

ного та керуючого входів другого регістра, вихід якого з'єднано з першим інформаційним входом другого мультиплексора, другий інформаційний вхід якого підключено до третього інформаційного входу пристрою, керуючий вихід пристрою підключено до третього виходу блока керування, другий вихід якого з'єднано з керуючим входом третього регістра, керуючий вхід другого мультиплексора підключено до першого виходу блока керування, який містить три D-тригери, елемент I, три елементи I-NI, інвертор, вхід якого підключено до третього входу першого елемента I-NI, першого входу другого елемента I-NI і другого входу блока керування, третій вхід якого з'єднано з другим входом елемента I, R-входами другого і третього тригерів, S-входи яких підключено до D- і S-входів першого тригера і виходу логічної одиниці, C-входи другого і третього D-тригерів з'єднані з виходом інвертора, прямий вихід першого тригера підключено до D-входу другого тригера, прямий вихід якого з'єднано з D-входом третього тригера і другим входом першого елемента I-NI, вихід якого підключено до першого входу третього елемента I-NI і першого входу елемента I, вихід якого з'єднано з R-входом першого тригера, інверсний вихід другого D-тригера підключено до другого входу другого елемента I-NI, третій вхід якого з'єднано з першим виходом блока керування і третім входом другого елемента I-NI, вихід якого підключено до другого входу третього елемента I-NI і третього виходу блока керування, перший вхід якого з'єднано з C-входом першого тригера, а другий вихід - з виходом третього елемента I-NI, який **відрізняється** тим, що введено п'ятий блок множення та другий блок пам'яті, вхід якого підключений до виходу другого регістра, а вихід - до другого входу п'ятого блока множення, перший вхід якого з'єднаний з виходом третього регістра, другий вхід - з виходом другого блока пам'яті, а вихід з першими входами другого, третього і четвертого блоків множення.

Корисна модель належить до автоматики та обчислювальної техніки і призначена для формування в системах комп'ютерної графіки спекулярної (дзеркальної) складової кольору.

Відомий пристрій для визначення інтенсивності спекулярної складової кольору, який містить перший і другий суматори, перший і четвертий блоки множення, зсувний регістр, лічильник, схему порівняння, мультиплексор. Зсувний регістр підк-

UA (19) 59965 (13) U

лючено до інформаційного входу пристрою, а виходи підключено до входу першого суматора та до першого входу схеми порівняння, вхід першого суматора підключено до виходу зсувного регістра, а вихід з'єднано із другим входом схеми порівняння та із першим входом другого суматора, перший вхід другого суматора підключено до виходу першого суматора, другий вхід - до рівня логічної одиниці, а вихід підключено до обох входів першого блока множення, обидва входи першого блока множення підключено до виходу другого суматора, а вихід підключено до обох входів другого блока множення, обидва входи другого блока множення підключено до виходу першого блока множення, а вихід з'єднано із першим входом мультиплексора, перший вхід схеми порівняння з'єднано з зсувним регістром, другий вхід із виходом першого суматора, а вихід підключено до стробового входу мультиплексора, перший вхід мультиплексора підключено до виходу другого блока множення, другий вхід заземлено, стробовий вхід підключено до виходу схеми порівняння, а вихід підключено до виходу пристрою. (патент №5739820 США, МПК6 G06T 15/50, 1998, Fig. 7C, 7D).

Недолік пристрою полягає в низькій точності відтворення зони затухання відблиску через різке спадання функції та невідповідність розрахунків закону збереження енергії.

Найбільш близьким до технічного рішення, що заявляється, є пристрій для визначення інтенсивності спекулярної складової кольору, який включає шість регістрів, чотири блоки множення, блок інверторів, два мультиплексори, блок керування, комбінаційний суматор, блок постійної пам'яті, вихід якого підключено до першого входу першого блока множення, вихід першого регістра з'єднано з першим інформаційним входом першого мультиплексора, інформаційний вхід - з першим інформаційним входом пристрою, а керуючий вхід - з першим керуючим входом пристрою, вихід блока інверторів з'єднано з першим інформаційним входом комбінаційного суматора, другий вхід якого підключено до четвертого інформаційного входу пристрою, а вихід з'єднано з інформаційним входом третього регістра, вихід якого підключено до першого інформаційного входу першого мультиплексора і перших входів другого, третього і четвертого блоків множення, другі входи яких з'єднані відповідно з виходами четвертого, п'ятого і шостого регістрів, інформаційні входи яких підключено відповідно до п'ятого, шостого і сьомого інформаційних входів пристрою, п'ятий, шостий і сьомий керуючі входи якого з'єднані відповідно з керуючими входами четвертого, п'ятого і шостого регістрів, вихід другого мультиплексора з'єднано з другим входом першого блока множення, вихід якого з'єднано з входом блока інверторів, вихід першого мультиплексора підключено до входу блока постійної пам'яті, перший, другий і третій входи блока керування з'єднані відповідно з першим, другим і третім керуючими входами пристрою, другий інформаційний та четвертий керуючий входи якого підключені відповідно до інформаційного та керуючого входів другого регістра, вихід якого з'єднано з першим інформаційним входом другого мультиплексора, другий інформаційний вхід якого підк-

лючено до третього інформаційного входу пристрою, керуючий вихід пристрою підключено до третього виходу блоку керування, другий вихід якого з'єднано з керуючим входом третього регістра, керуючий вхід другого мультиплексора підключено до першого виходу блока керування.

Блок керування містить три D-тригери, елемент І, три елементи І-НІ, інвертор, вхід якого підключено до третього входу першого елемента І-НІ, першого входу другого елемента І-НІ і другого входу блоку керування, третій вхід якого з'єднано з другим входом елемента І, R-входами другого і третього тригерів, S-входи яких підключено до D- і S-входів першого тригера і виходу логічної одиниці, С-входи другого і третього D-тригерів з'єднано з виходом інвертора, прямий вихід першого тригера підключено до D-входу другого тригера, прямий вихід якого з'єднано з D-входом третього тригера і другим входом першого елемента І-НІ, вихід якого підключено до першого входу третього елемента І-НІ і першого входу елемента І, вихід якого з'єднано з R-входом першого тригера, інверсний вихід другого D-тригера підключено до другого входу другого елемента І-НІ, третій вхід якого з'єднано з першим виходом блоку керування і третім входом другого елемента І-НІ, вихід якого підключено до другого входу третього елемента І-НІ і третього виходу блоку керування, перший вхід якого з'єднано з С-входом першого тригера, а другий вихід - з виходом третього елемента І-НІ. (патент України №22802, М.КЛ. G06T 15/50, Бюл. №5, 2007 р.).

Недоліком пристрою є низька реалістичність відтворення спекулярної складової кольору, оскільки при обчисленнях не виконується закон збереження енергії.

В основу корисної моделі поставлено задачу створення пристрою для визначення інтенсивності спекулярної складової кольору, у якому за рахунок введення нових елементів і зв'язків, а також, використання нової функціональної залежності досягається підвищення реалістичності визначення спекулярної складової кольору за рахунок дотримання закону збереження енергії.

Поставлена задача досягається тим, що в пристрій для визначення спекулярної складової кольору, який містить шість регістрів, чотири блоки множення, блок інверторів, два мультиплексори, блок керування, комбінаційний суматор, блок постійної пам'яті, вихід якого підключено до першого входу першого блока множення, вихід першого регістра з'єднано з першим інформаційним входом першого мультиплексора, інформаційний вхід - з першим інформаційним входом пристрою, а керуючий вхід - з першим керуючим входом пристрою, вихід блока інверторів з'єднано з першим інформаційним входом комбінаційного суматора, другий вхід якого підключено до четвертого інформаційного входу пристрою, а вихід з'єднано з інформаційним входом третього регістра, вихід якого підключено до першого інформаційного входу першого мультиплексора, інформаційні входи четвертого, п'ятого і шостого регістрів підключено відповідно до п'ятого, шостого і сьомого інформаційних входів пристрою, п'ятий, шостий і сьомий керуючі входи якого з'єднані відповідно з керуючими входами четвертого, п'ятого і шостого регістрів, вихід друго-

го мультиплексора з'єднано з другим входом першого блока множення, вихід якого з'єднано з входом блока інверторів, вихід першого мультиплексора підключено до входу блоку постійної пам'яті, перший, другий і третій входи блоку керування з'єднано відповідно з першим, другим і третім керуючими входами пристрою, другий інформаційний та четвертий керуючі входи якого підключені відповідно до інформаційного та керуючого входів другого регістра, вихід якого з'єднано з першим інформаційним входом другого мультиплексора, другий інформаційний вхід якого підключено до третього інформаційного входу пристрою, керуючий вихід пристрою підключено до третього виходу блока керування, другий вихід якого з'єднано з керуючим входом третього регістра, керуючий вхід другого мультиплексора підключено до першого виходу блока керування, який містить три D-тригери, елемент I, три елементи I-NI, інвертор, вхід якого підключено до третього входу першого елемента I-NI, першого входу другого елемента I-NI і другого входу блока керування, третій вхід якого з'єднано з другим входом елемента I, R-входами другого і третього тригерів, S-входи яких підключено до D- і S-входів першого тригера і виходу логічної одиниці, C-входи другого і третього D-тригерів з'єднано з виходом інвертора, прямий вихід першого тригера підключено до D-входу другого тригера, прямий вихід якого з'єднано з D-входом третього тригера і другим входом першого елемента I-NI, вихід якого підключено до першого входу третього елемента I-NI і першого входу елемента I, вихід якого з'єднано з R-входом першого тригера, інверсний вихід другого D-тригера підключено до другого входу другого елемента I-NI, третій вхід якого з'єднано з першим виходом блока керування і третім входом другого елемента I-NI, вихід якого підключено до другого входу третього елемента I-NI і третього виходу блока керування, перший вхід якого з'єднано з C-входом першого тригера, а другий вихід - з виходом третього елемента I-NI, введено п'ятий блок множення та другий блок пам'яті, вхід якого підключений до виходу другого регістра, а вихід - до другого входу п'ятого блока множення, перший вхід якого з'єднаний з виходом третього регістра, другий вхід - з виходом другого блока пам'яті, а вихід з першими входами другого, третього і четвертого блоків множення.

На Фіг.1 зображено схему пристрою.

На Фіг.2 зображено схему блоку 16 керування.

На Фіг.3 зображено часову діаграму роботи блока 16 керування.

На Фіг.4 зображено хід променів для моделі освітлення Бліна.

На Фіг.5 зображено графіки інтеграла по поверхні для дистрибутивної функції відбивної здатності (ДФВЗ) поверхні, згідно моделі Бліна та для апроксимаційної функції з нормалізаційним коефіцієнтом, що пропонується.

На Фіг.6 зображено графік інтеграла по поверхні для ДФВЗ, яка використовується у пристрої прототипі та показано, що його значення перевищують 1.

На Фіг.7 зображено параметри ДФВЗ.

Пристрій включає відповідно перший-шостий 1, 2, 9-12 регістри, перший та другий 3, 4 мультиплексори, перший та другий 5, 38 блоки постійної пам'яті, перший-п'ятий 6, 13-15, 39 блоки множення, блок інверторів 7, комбінаційний суматор 8, блок керування 16, перший-сьомий 17-23 інформаційні входи пристрою, перший-третій 24-26 інформаційні входи пристрою, перший-восьмий 27-29, 30-34 керуючі входи та керуючий вихід 35 пристрою.

Перший вхід керування 16 з'єднано з першим керуючим входом 27 пристрою, другий вхід з'єднано з другим керуючим входом 28 пристрою, третій вхід з'єднано із третім 29 керуючим входом пристрою, перший вихід 36 підключено до керуючих входів першого 3 та другого 4 мультиплексорів, другий вихід 37 підключено до керуючого входу третього 9 регістра, а третій вихід з'єднано з керуючим входом 35 пристрою.

Блок 16 керування включає елемент I 40, перший-третій 41-43 D-тригери, інвертор 44, перший-третій 45-47 елементи I-NI.

Перший інформаційний вхід 17 пристрою підключено до інформаційного входу регістра 1. Керуючий вхід пристрою з'єднано з керуючим входом першого регістра 1 і першим 27 входом блока 16 керування. Вихід регістра 1 підключено до першого входу першого мультиплексора 3, вихід якого з'єднано з входом першого блока 5 постійної пам'яті, а другий вхід з виходом третього регістра 9, вихід третього 9 регістра з'єднано з першим входом п'ятого 39 блоку множення. Другий вхід п'ятого 39 блоку множення з'єднано з виходом другого 38 блока постійної пам'яті, а вихід з першими входами другого 13, третього 14 і п'ятого 15 блоків множення, виходи яких підключено відповідно до першого 24, другого 25 і третього 26 інформаційних виходів пристрою. П'ятий 21, шостий 22, сьомий 23 інформаційні входи пристрою підключені до інформаційних входів відповідно четвертого 10, п'ятого 11 і шостого 12 регістрів, керуючі входи яких з'єднано відповідно з п'ятим 31, шостим 32 і сьомим 33 керуючими входами пристрою. Виходи регістрів 10, 11, 12 підключено відповідно до других входів другого 13, третього 14 і четвертого 15 блоків множення. Перший і другий входи першого блока множення 6 з'єднано відповідно з виходом блока 5 постійної пам'яті і виходом другого мультиплексора 4, а вихід - з входом блока 7 інверторів. Перший інформаційний вхід комбінаційного суматора 8 підключено до виходу блока 7 інверторів. На другий вхід 20 комбінаційного суматора 8 подається операнд, який дорівнює одиниці. Найпростіше це зробити монтажним шляхом, наприклад, подавши на перший розряд інформаційного входу 20 одиницю, а всі старші розряди заземлити. Вхід переносу 34 суматора 8 підключено до виходу логічної одиниці. Підключення до цього рівня обумовлено тим, що суматор 8 працює в режимі віднімання. Вихід комбінаційного суматора 8 з'єднано з інформаційним входом третього регістра 9, керуючий вхід якого підключено до другого 37 виходу блока 16 керування, перший вихід 36 якого з'єднано з керуючим входом першого мультиплексора 3 і керуючим входом другого мультиплексора 4, перший інформаційний вхід якого підк-

лючено до виходу другого регістра 2, вихід другого регістра 2 підключено до першого інформаційного входу другого мультиплексора 4 та до входу другого блока постійної пам'яті 38. Другий інформаційний вхід 18 пристрою підключено до інформаційного входу другого регістра 2, керуючий вхід якого з'єднано з четвертим 30 керуючим входом пристрою. Другий 28 і третій 29 керуючі входи пристрою підключені відповідно до другого і третього входів блока 16 керування, вихід якого з'єднано з керуючим виходом 35 пристрою. На третій вхід 19 пристрою, який з'єднано з другим інформаційним входом другого мультиплексора 4, подається значення $\frac{1}{2}$. Це можна здійснити, наприклад, монтажною комутацією.

Другий вхід блока 16 керування з'єднано з виходом інвертора 44, третім входом першого елемента I-НІ 45 і першим входом другого елемента I-НІ 46. Вихід першого елемента I-НІ 45 з'єднано з першим входом третього елемента I-НІ 47 і першим входом елемента I 40, другий вхід якого підключено до третього входу блока 16 керування і R-входів другого 42 і третього 43 D-тригерів. Прямий вихід другого D-тригера 42 з'єднано з D-входом третього D-тригера 43 і другим входом першого елемента I-НІ 45, перший вхід якого підключено до інверсного виходу третього D-тригера 43. Інверсний вихід другого D-тригера 42 підключено до другого входу другого елемента I-НІ 46, третій вхід якого з'єднано із прямим виходом третього D-тригера 43 і першим виходом блока 16 керування. С-входи другого 42 і третього 43 D-тригерів підключено до виходу інвертора 44. D-вхід першого D-тригера 41, S-входи першого 41, другого 42 і третього 43 D-тригерів з'єднано з виходом логічної одиниці. Прямий вихід першого D-тригера 41 підключено до D-входу другого D-тригера 42. Вихід елемента I-НІ 46 підключено до другого входу третього елемента I-НІ 47 і до третього виходу 35 блока 16 керування, другий вихід 37 якого з'єднано з виходом третього елемента I-НІ 47. Вихід елемента I 40 підключено до R-входу першого D-тригера 41.

При зафарбовуванні за методом Фонга інтенсивність спекулярної складової кольору визначають за формулою:

$$I = I_s k_s \cos^n \lambda, \quad (1)$$

де I_s - інтенсивність джерела світла, k_s - коефіцієнт дзеркального відбиття, n - коефіцієнт спекулярності поверхні, який знаходиться в діапазоні [1-1000], γ - кут між вектором нормалі \vec{N} до поверхні в заданій точці і вектором півшляху $\vec{H}, \cos^n \gamma$ - дистрибутивна функція відбивної здатності поверхні (BRDF). Вектор \vec{H} розраховується за формулою (2).

$$\vec{H} = \frac{\vec{L} + \vec{V}}{|\vec{L} + \vec{V}|}, \quad (2)$$

Вектори \vec{L} та \vec{V} - одиничні вектори, що визначають відповідно місце розташування джерела світла та спостерігача. Як видно з формули (1), вектор \vec{H} знаходиться шляхом додавання векторів

\vec{L} та \vec{V} та нормалізації отриманого вектору (див. Фіг.4).

У пристрої використовується наступна апроксимація дистрибутивної функції.

Запишемо функцію у еквівалентному виді:

$$\cos^n \lambda = 2^{n \cdot \log_2(\cos \lambda)}, \quad (3)$$

В останньому виразі позначимо $n \cdot \log_2(\cos \lambda)$ через x , тобто:

$$2^{n \cdot \log_2(\cos \lambda)} = 2^x.$$

Знайдемо наближення функції 2^x функцією виду $f(x) = A \log_2(1-x) + B$ на проміжку [-1,0].

Знайдемо невідомі A і B .

При $x=0$

$$1 = A \log_2(1) + B.$$

З останнього рівняння знаходимо, що $B=1$.

$$\text{При } x=-1 \text{ отримуємо таке рівняння } \frac{1}{2} = A \log_2(2)$$

+ B . Враховуючи, що $B=1$, знаходимо, що $A = -\frac{1}{2}$.

$$\text{Таким чином } 2^x \approx 1 - \frac{1}{2} \log_2(1-x).$$

З урахуванням отриманої формули запишемо вираз (3) таким чином:

$$\cos^n \lambda = 2^{n \cdot \log_2(\cos \lambda)} = 1 - \frac{1}{2} \log_2(1 - n \cdot \log_2 \cos \lambda). \quad (5)$$

На Фіг.6 зображено графік відповідного інтеграла, який показує, що для апроксимаційної моделі не виконується закон збереження енергії.

Закон збереження енергії стосовно ДФВЗ передбачає, що кількість світла, яке відбилось від поверхні не може перевищувати кількість світла, яке потрапило на поверхню. У сферичних координатах умова справедливості закону збереження енергії запишеться так:

$$\int_0^{2\pi} \int_0^{\pi} \frac{\pi}{2} \text{BRDF}(S' \cdot V) \cos \theta \sin \theta d\theta d\varphi \leq 1, \quad (6)$$

де

θ_i - zenітний (полярний) кут вхідного променя;

θ_r - zenітний (полярний) кут відбитого променя;

φ_i - азимутальний кут вхідного променя;

φ_r - азимутальний кут відбитого променя;

$$d\omega_i = \sin \theta_i d\theta_i d\varphi_i;$$

$$d\omega_r = \sin \theta_r d\theta_r d\varphi_r;$$

S - напрямок на джерело світла;

V - напрямок на спостерігача;

Перераховані кути зображено на Фіг.7.

Знайдемо в загальному випадку значення інтеграла (6) для функції (5):

$$2\pi \int_0^{\pi/2} (2^{n \cdot \log_2(\cos(x)^2)} \cdot \cos(x) \cdot \sin x dx = \frac{n+2}{2\pi}$$

Таким чином, нормалізаційний коефіцієнт для косинус-квадратичної апроксимаційної функції у загальному вигляді такий:

$$\frac{2\pi}{n+2}$$

На Фіг.5 зображено графіки інтеграла по поверхні для дистрибутивної функції відбивної здатності поверхні (ДФВЗ) згідно моделі Бліна та для апроксимаційної функції з нормалізаційним коефіцієнтом, що пропонується.

Пристрій працює наступним чином.

На другий керуючий вхід 28 пристрою поступає опорна імпульсна послідовність, на третій 29 керуючий вхід пристрою подається імпульс установки в заданий стан. Сигнал, який поступає на перший 27 керуючий вхід пристрою для запису операнду в перший регістр 1, є одночасно сигналом початку роботи пристрою.

У початковий момент часу в другий регістр 2 заноситься значення коефіцієнта спекулярності n . Для цього його значення від зовнішнього пристрою виставляється на другий 18 інформаційний вхід пристрою, а на четвертий керуючий вхід 30 пристрою подається передній фронт сигналу запису.

На перший інформаційний вхід 17 пристрою виставляється значення $\cos \lambda$, яке записується в перший регістр 1 переднім фронтом сигналу запису, який подається на перший 27 керуючий вхід пристрою. Вказаний фронт сигналу, який також поступає на перший вхід блока 16 керування, визначає початок перетворень. Оскільки на першому керуючому виході 36 блока 16 керування, який з'єднано з керуючим входом першого мультиплектора 3, формується рівень логічного нуля, то значення $\cos \lambda$ з виходу першого регістра 1 через перший мультиплектор 3 подається на вхід першого блока 5 постійної пам'яті. На виході вказаного блока формується операнд $\log_2 \cos \lambda$, який поступає на другий вхід першого блока 6 множення. Оскільки на керуючому вході другого мультиплектора 4 присутній рівень логічного нуля, то значення коефіцієнта спекулярності n з виходу другого регістра 2 через другий мультиплектор 4 подається на другий вхід першого блока 6 множення, на виході якого формується значення $n \cdot \log_2 \cos \lambda$. На виході комбінаційного суматора 8 знаходять різницю $1 - n \cdot \log_2 \cos \lambda$. Для цього з використанням блока 7 інверторів значення $n \cdot \log_2 \cos \lambda$ інвертують, а на другий вхід комбінаційного суматора подають значення одиниці. Оскільки відніманню виконують у доповняльному коді, то на вхід переносу комбінаційного суматора 8 подають рівень логічної одиниці.

Значення $1 - n \cdot \log_2 \cos \lambda$ заносять в третій регістр 9, для чого на другому виході 37 блока 16 керування формують сигнал запису в третій регістр 3.

Після виконання зазначених дій на виході 36 блока керування формується рівень логічної одиниці, під дією якого на виході першого 3 і другого 4 мультиплекторів передаються операнди з їх дру- гих інформаційних входів.

Значення $1 - n \cdot \log_2 \cos \lambda$ з виходу третього 9 регістра через перший мультиплектор 3 подається на вхід першого блока 5 постійної пам'яті, на виході якого формується операнд $\log_2(1 - n \cdot \log_2 \cos \lambda)$. Оскільки через другий мультиплектор 4 на другий вхід першого блока 6 множення подається значення $\frac{1}{2}$, то на виході першого блока 6 множення формується значення $\frac{1}{2} \log_2(1 - n \cdot \log_2 \cos \lambda)$, яке інвертується блоком 7 інверторів.

На виході комбінаційного суматора 8, який працює у режимі віднімання, формується значення $1 - \frac{1}{2} \log_2(1 - n \cdot \log_2 \cos \lambda)$, яке записують в третій ре-

гістр 9, для чого на виході 37 блока 16 керування формують імпульс запису. Як зазначалося раніше,

$$1 - \frac{1}{2} \log_2(1 - n \cdot \log_2 \cos \lambda) \approx \cos^n \lambda.$$

Для кожного n у другому блоці 38 постійної пам'яті зберігається нормалізаційний коефіцієнт, який введено для забезпечення виконання закону збереження енергії. Значення n із виходу другого регістра 2 подається на другий блок 38 постійної пам'яті, на виході якого формується коефіцієнт

$$\frac{2\pi}{n+2},$$

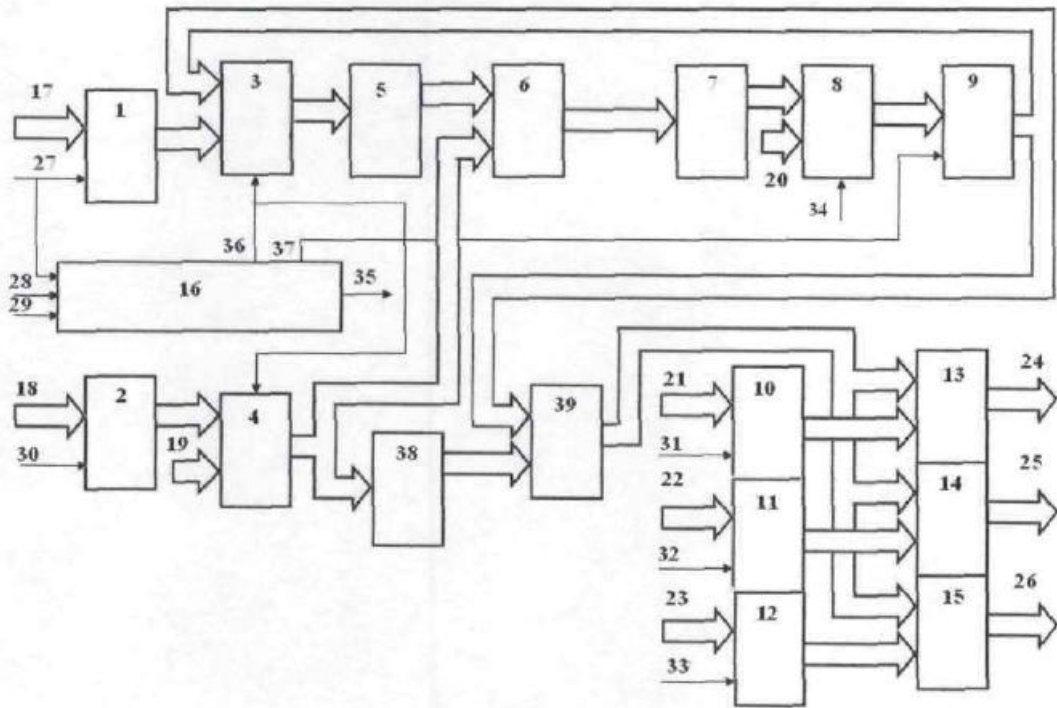
який подається на другий вхід п'ятого блока множення 39, утворене значення $\frac{2\pi}{n+2} (1 - \frac{1}{2} \log_2(1 - n \cdot \log_2 \cos \lambda)) \approx \cos^n \lambda$ з виходу якого подається на перші входи другого 13, третього 14 та четвертого 15 блоків множення.

У регістрах 10, 11, 12 зберігаються відповідно значення R , G , B складових інтенсивності кольору, які перемножуються з апроксимованим значенням $\cos^n \lambda$, і утворюють складові спекулярної інтенсивності кольору.

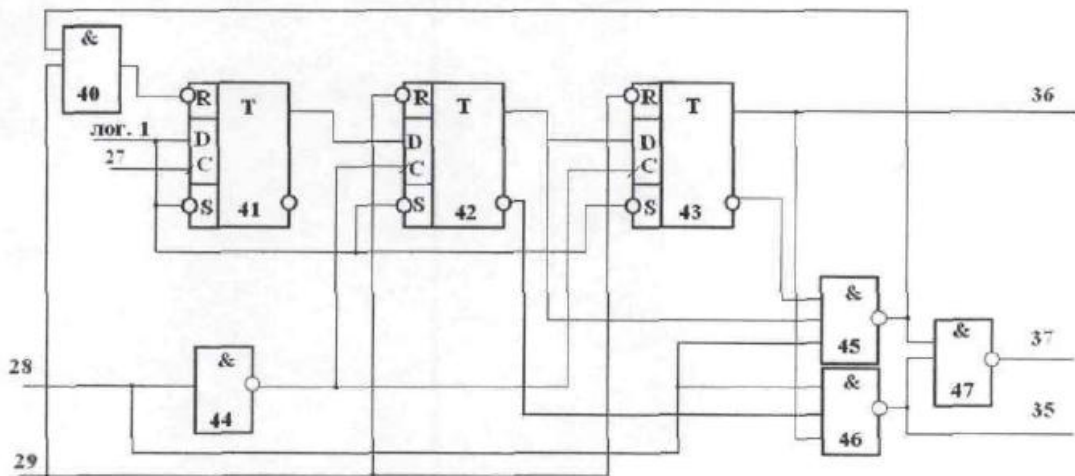
Блок 16 керування працює наступним чином. У початковий момент часу на третій керуючий вхід 29 пристрою поступає імпульс інверсної полярності, під дією якого перший 42 і другий 43 D-тригери обнуляються. Оскільки при цьому на виході першого елемента I-NI 45 присутній рівень логічної одиниці, то імпульс зі входу 29, пройшовши через елемент I 40, обнулить і перший D-тригер 41. Таким чином, під дією імпульсу установки в заданий стан, всі D-тригери блока 16 керування знаходяться в нульовому стані.

Переднім фронтом імпульсу запису операнду в перший регістр 1, який подається на перший керуючий вхід 27 пристрою, в одиничний стан буде переведено D-тригер 41. Переднім фронтом імпульсної послідовності, яка формується на виході 28 інвертора 44, у одиничний стан буде переведено другий D-тригер 42, а через період і третій D-тригер 43. Перший 45 і другий 46 елементи I-NI виділяють проміжки часу між одиничним і нульовим станом відповідних D-тригерів і пропускають за цей час всього один одиничний імпульс від опорної імпульсної послідовності, яка поступає на керуючий вхід 28 пристрою. Імпульс інверсної полярності, який формується на виході першого елемента I-NI 45 обнулить перший D-тригер 41. Це призведе до того, що спочатку обнуляється другий D-тригер 42, а через такт і третій D-тригер 43. Два імпульси інверсної полярності, які формуються зі зміщенням в один період імпульсної послідовності, яка поступає на другий керуючий вхід 28 пристрою, об'єднуються з використанням третього елемента I-NI 47. Передній фронт імпульсу на керуючому вході 35 пристрою сигналізує, що на першому 24 другому 25 і третьому 26 інформаційних виходах сформовано спекулярну складову кольору.

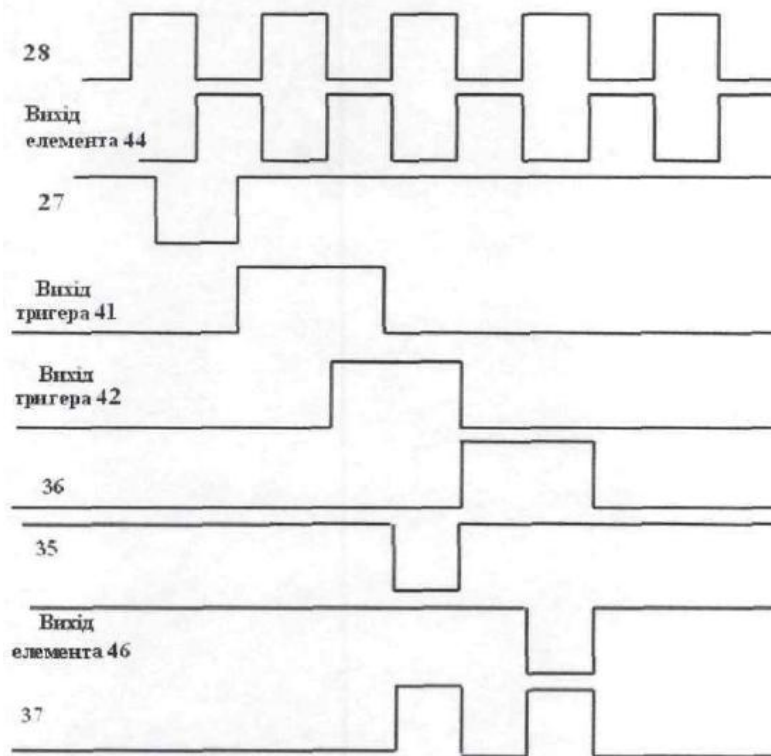
У запропонованому пристрої введено нормалізаційні коефіцієнти для кожного значення n . Таким чином підвищено реалістичність відтворення спекулярної складової кольору, оскільки обчислене значення відповідає закону збереження енергії.



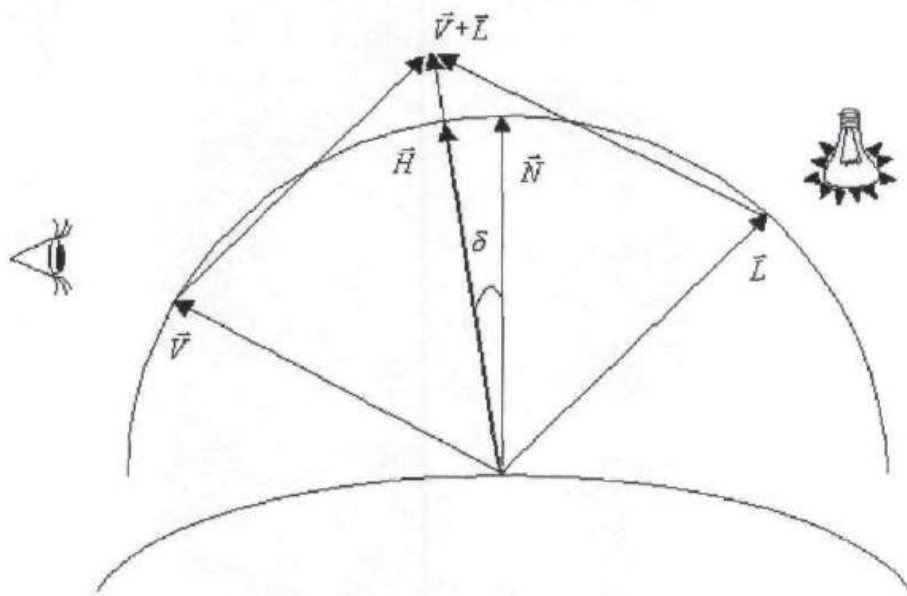
Фиг.1



Фиг.2



Фиг.3



Фиг.4

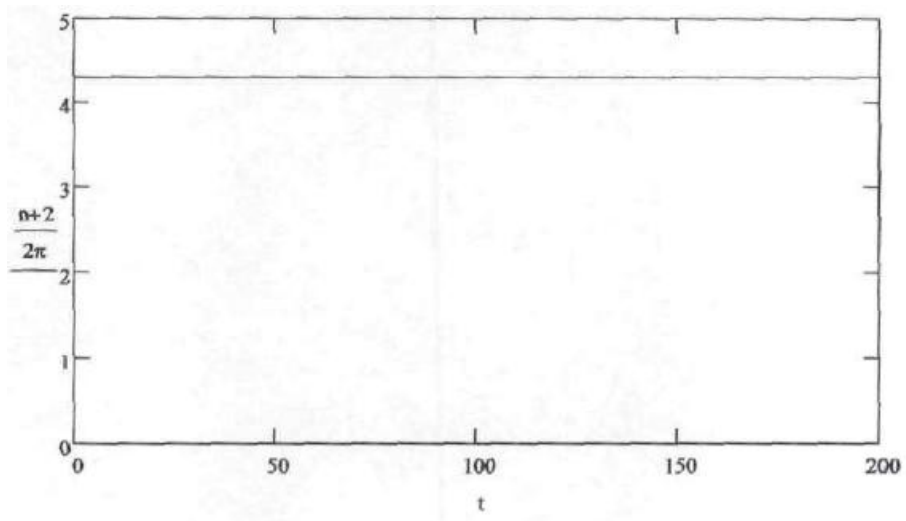


Fig.5

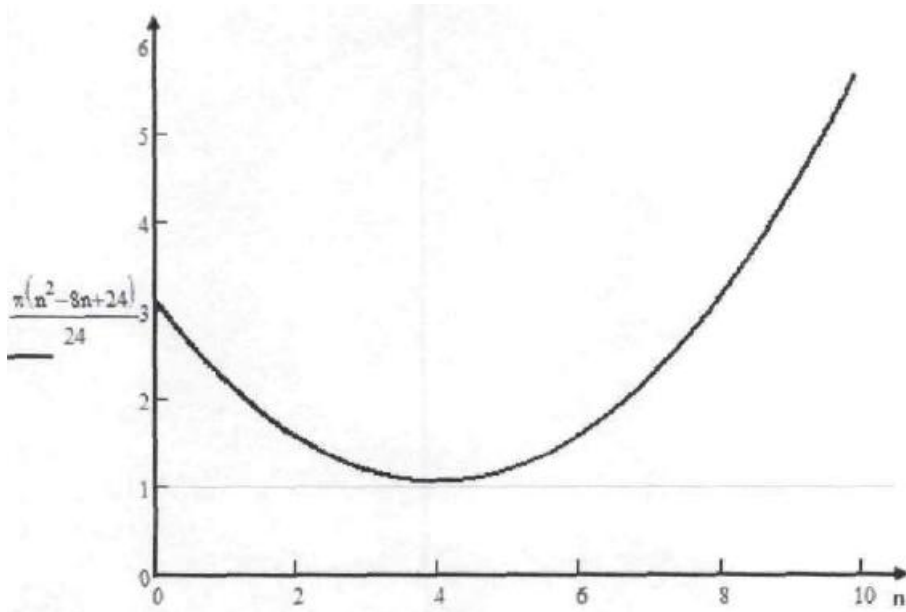


Fig.6

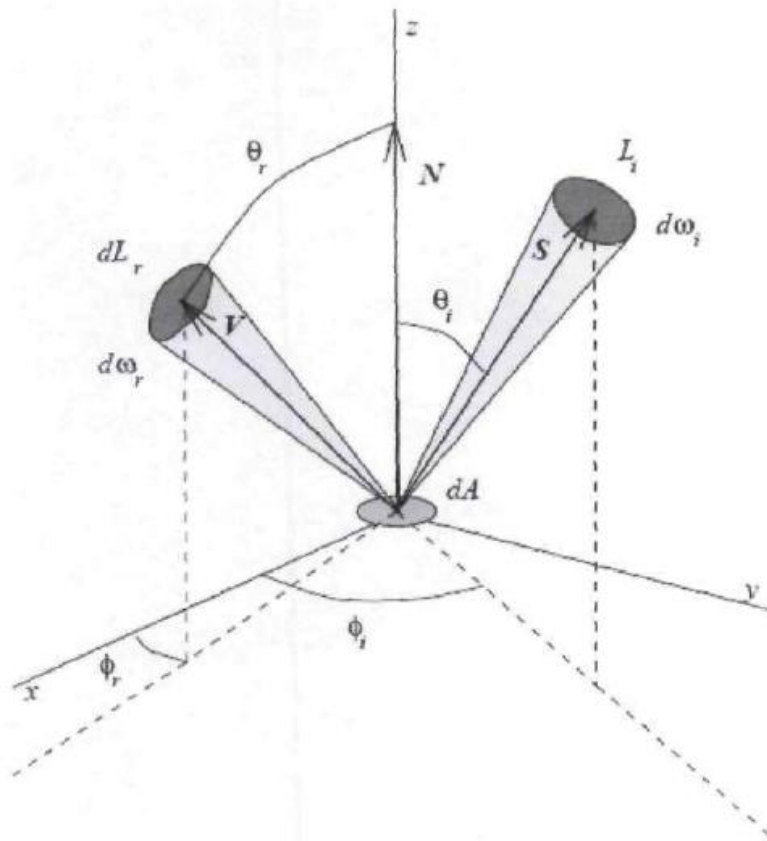


Fig. 7