



УКРАЇНА

(19) UA (11) 94779 (13) C2

(51) МПК
H03M 1/12 (2006.01)
H03M 1/10 (2006.01)

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА ВИНАХІД

(54) СПОСІБ АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЕННЯ І ПРИСТРІЙ ДЛЯ ЙОГО РЕАЛІЗАЦІЇ

1

2

(21) а200906396

(22) 19.06.2009

(24) 10.06.2011

(46) 10.06.2011, Бюл.№ 11, 2011 р.

(72) ЗАХАРЧЕНКО СЕРГІЙ МИХАЙЛОВИЧ, АЗАРОВ ОЛЕКСІЙ ДМИТРОВИЧ, ЗАХАРЧЕНКО МИХАЙЛО ГРИГОРОВИЧ

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(56) US 4399426 A; 16.08.1983

UA 200704910 C2; 03.05.2007

UA 85083 C2; 25.12.2008

DE 19512495 C1; 14.08.1996

RU 2335844 C2; 10.10.2008

RU 2341017 C2; 10.12.2008

JP 3206730 A; 10.09.1991

US 4999633 A; 12.03.1991

US 4970515 A; 13.11.1990

RU 2178948 C2; 27.01.2002

(57) 1. Спосіб аналого-цифрового перетворення, який базується на застосуванні процесу перерозподілу заряду на конденсаторній матриці і складається з двох етапів: етапу калібрування старших, неточних розрядів перетворювача і етапу безпосереднього перетворення, який **відрізняється** тим, що процедуру калібрування здійснюють виключно в цифровій формі, для чого на вхід конденсатора, що калібрують, подають опорну напругу, далі відповідний заряд перерозподіляють на конденсаторах основної і додаткової конденсаторних матриць, в процесі чого розраховують двійковий еквівалент ваги розряду, що калібрують, і записують в оперативну пам'ять, згідану процедуру виконують для всіх старших неточних розрядів, на етапі основного перетворення вхідну напругу подають на основну конденсаторну матрицю, після чого відповідний заряд перерозподіляють на конденсаторах матриці, в процесі чого визначають двійковий еквівалент вхідного сигналу шляхом додавання ваг точних та відкаліброваних неточних розрядів.

2. Аналого-цифровий перетворювач містить основну та додаткову конденсаторні матриці, основний та додатковий регістри послідовного наближення, схему порівняння, блок додавання, блок оперативної пам'яті, вхідну аналогову шину, шину опорної напруги, причому перший та другий вхід основної

конденсаторної матриці під'єднано відповідно до вхідної аналогової шини та шини опорної напруги, а вихід основної конденсаторної матриці підключено до інверсного входу схеми порівняння, прямий вхід якої підключено до шини нульового потенціалу, а вихід до першого входу основного та додаткового регістрів послідовного наближення, перші виходи яких підключено до третього входу основної конденсаторної матриці та першого входу додаткової конденсаторної матриці відповідно, вихід додаткової конденсаторної матриці з'єднано з інверсним входом схеми порівняння, який **відрізняється** тим, що додатково введено блок постійної пам'яті, блок керування, ключовий елемент, дешифратор, лічильник калібрування, лічильник адрес, мультиплексор, блок маскування, вихідний регістр, шину керуючих сигналів, шину сигналів стану, вихідну аналогову шину та вихідну цифрову шину, причому вихідна аналогова шина з'єднана з виходами основної та допоміжної конденсаторних матриць, інверсним входом схеми порівняння та першим входом ключового елемента, другий вхід якого з'єднано з відповідним виходом шини керуючих сигналів, а вихід з виходом схеми порівняння, який в свою чергу з'єднано з першим входом блока маскування, другий вхід якого з'єднано з виходом блока оперативної пам'яті, а вихід з'єднано з першим входом блока додавання, вихід якого з'єднано з інформаційним входом вихідного регістра, керуючий вхід якого з'єднано з відповідним виходом шини керуючих сигналів, а вихід з'єднано з вихідною цифровою шиною другим входом блока додавання та першим входом мультиплексора, другий вхід якого з'єднано з виходом блока постійної пам'яті, а вихід з інформаційним входом блока оперативної пам'яті, адресний вхід якої з'єднано з адресним входом блока постійної пам'яті та з виходом лічильника адрес, інформаційний вхід якого з'єднано з виходом лічильника калібрування та входом дешифратора, вихід якого з'єднано з другим входом основного регістра послідовного наближення, а керуючі входи лічильника калібрування, лічильника адрес, блока постійної пам'яті, мультиплексора, блока оперативної пам'яті, другий вхід додаткового регістра послідовного наближення, третій вхід основного регістра послідовного наближення з'єднано з відповідними виходами

(19) UA (11) 94779 (13) C2

шини керуючих сигналів, другий вхід додаткової конденсаторної матриці з'єднаний з шиною опорної напруги, другі виходи основного та додаткового реєстрів послідовного наближення з'єднано з шиною сигналів стану, що подаються на вхід блока керування, причому основна конденсаторна матриця містить n конденсаторів, де номінали двох

сусідніх відрізняються в α раз, додаткова конденсаторна матриця містить k конденсаторів, де номінали двох сусідніх відрізняються в α раз, а найбільший номінал конденсатора додаткової матриці в α разів менший за найменший номінал конденсатора основної матриці.

Винахід належить до галузі цифрової виміральної і обчислювальної техніки і може бути використаний для перетворення аналогових величин в цифрові.

Відомий спосіб аналого-цифрового перетворення та пристрій на його основі (McCreary J.L., Gray P.R. All-MOS charge redistribution analog-to-digital conversion techniques - Part 1 // IEEE J. Solid-State Circuits. - 1975. - Vol. 10. - P. 371-379), заснований на використанні процесу перерозподілу заряду між конденсаторами двійково-зваженої конденсаторної матриці, в процесі якого формується вихідний код. Перетворення здійснюється послідовно в три етапи: дискретизації, перехідної фази та врівноваження. На етапі дискретизації верхні обкладинки конденсаторної матриці замкнені на шину нульового потенціалу, а на нижні обкладинки подається вхідна напруга $U_{вх}$. На етапі перехідної фази верхні обкладинки конденсаторної матриці від'єднуються від шини нульового потенціалу, а нижні під'єднуються до неї, що призводить до формування на верхніх обкладинках матриці, які підключено до входу схеми порівняння, напруги $-U_{вх}$. Далі виконується операція врівноваження, яка полягає в покрововому під'єднанні до нижніх обкладинок конденсаторів матриці, починаючи з конденсатора найбільшої ємності джерела опорної напруги. На першому кроці врівноваження схема є дільником напруги між двома конденсаторами однакової ємності - "старшим" конденсатором матриці та конденсатором, що утворюється рештою конденсаторів матриці. Таким чином, напруга U_x на вході схеми порівняння дорівнюватиме

$$U_x = -U_{вх} + U_{оп}/2.$$

Схема порівняння визначає знак напруги U_x і формує відповідний розряд вихідного коду. У випадку, коли $U_x < 0$ ($U_{вх} > U_{оп}/2$) старший двійковий розряд встановлюється в "1". У випадку $U_x > 0$ ($U_{вх} < U_{оп}/2$), старший двійковий розряд встановлюється в "0", а нижня обкладинка відповідного конденсатора комутується на шину нульового потенціалу.

Аналогічно визначаються значення інших розрядів, які є результатами перетворення. На етапі визначення останнього (наймолодшого) розряду вхідна напруга компаратора дорівнюватиме

$$U_x = -U_{вх} + b_{n-1} \cdot \frac{U_{оп}}{2} + b_{n-2} \cdot \frac{U_{оп}}{4} + \dots + b_1 \cdot \frac{U_{оп}}{2^{n-1}} + \frac{U_{оп}}{2^n},$$

де $b_i \in \{0, 1\}$ - розрядні коефіцієнти, отримані на попередніх тактах врівноваження.

Відомий пристрій аналого-цифрового перетворення містить конденсаторну матрицю, що складається з n двійково-зважених конденсаторів та додаткового $(n+1)$ -го конденсатора, номінал

якого збігається з номіналом конденсатора матриці найменшої ємності, $(n+1)$ ключових елементів для комутації відповідних конденсаторів, $(n+2)$ -й та $(n+3)$ -й ключовий елемент, шину для підключення джерела опорної напруги, аналогову вхідну шину, схему порівняння, блок керування та пам'яті, шину тактового генератора, вихідну цифрову шину, причому верхні обкладинки всіх конденсаторів матриці підключено до першого (прямого) входу схеми порівняння та $(n+2)$ -го ключового елемента, який комутує шину нульового потенціалу, нижні обкладинки з 1-го по $(n+1)$ -й конденсатор підключено до відповідних двопозиційних комутуючих елементів з 1-го по $(n+1)$ -й, які в одній позиції комутуються на шину нульового потенціалу, а в іншій - на $(n+3)$ -й комутуючий елемент, який в одній позиції комутується на аналогову вхідну шину, а в іншій - на шину для підключення джерела опорної напруги, другий (інверсний) вхід схеми порівняння підключено до шини нульового потенціалу, а вихід до першого входу блока керування та пам'яті, на другий вхід якого підключено шину тактового генератора, перші $(n+1)$ виходів цього блока підключено до керуючих входів комутуючих елементів з 1-го по $(n+1)$, $(n+2)$ -й та $(n+3)$ -й виходи відповідно до керуючих входів $(n+2)$ -го та $(n+3)$ -го комутуючих елементів, останні n виходів підключено до вихідної цифрової шини.

Недоліками цього способу та пристрою є низька точність, обумовлена похибками виготовлення інтегральних конденсаторів та низька параметрична надійність перетворення, що призводить до зниження точності при зміні умов навколишнього середовища, зокрема температури.

За прототип вибрано спосіб та пристрій аналого-цифрового перетворення (Tan K.S. On board self-calibration of analog-to-digital and digital-to-analog converters // U.S. Patent 4399426. - 1983. - Aug. 16. - P. 21-25).

Даний спосіб аналого-цифрового перетворення базується на застосуванні процесу перерозподілу заряду на двійково-зваженій конденсаторній матриці і складається з двох етапів: етапу калібрування старших, неточних розрядів перетворювача і етапу безпосереднього перетворення, етап калібрування полягає у тому, що опорна напруга подається на конденсатор, що калібрується, після чого відповідний заряд перерозподіляється між молодшими конденсаторами матриці та одним додатковим конденсатором, що має номінал молодшого конденсатора матриці, залишкова напруга на виході конденсаторної матриці характеризує відхилення номіналу конденсатора, що калібрується і подається на коригувальну конденсаторну матрицю, після чого відповідний заряд перерозпо-

діляється між конденсаторами останньої, в цей же час формується коригувальний код, який заноситься до запам'ятовуючого пристрою, аналогічним чином калібрується решта старших розрядів, на етапі безпосереднього перетворення вхідна напруга подається на основну конденсаторну матрицю, що приводить до накопичення на ній відповідного заряду, після чого відбувається процедура перерозподілу заряду, причому коли у перерозподілі заряду беруть участь відкалібровані конденсатори, за допомогою калібрувальної матриці та пристрою пам'яті формується напруга, що дозволяє компенсувати відхилення останніх.

Пристрій містить основну конденсаторну матрицю, додаткову конденсаторну матрицю, основний та додатковий реєстри послідовного наближення, схему порівняння, блок додавання, блок оперативної пам'яті, вхідну аналогову шину, шину опорної напруги, причому перший і другий входи основної конденсаторної матриці під'єднано до вхідної аналогової шини і шини опорної напруги, а третій вхід до першого виходу основного реєстра послідовного наближення, а вихід основної конденсаторної матриці підключено до інверсного входу схеми порівняння, прямий вхід якої підключено до шини нульового потенціалу, а вихід якої підключено до перших входів основного і додаткового реєстрів послідовного наближення, другий вихід основного реєстра послідовного наближення підключено до адресного входу блока оперативної пам'яті, перший вихід якого підключено до другого входу додаткового реєстра послідовного наближення, а другий вихід якого підключено до першого входу блока додавання, вихід останнього підключено до інформаційного входу блока оперативної пам'яті, перший вихід додаткового реєстра послідовного наближення підключено до першого входу додаткової конденсаторної матриці, вихід якої підключено до інверсного входу схеми порівняння, другий вихід додаткового реєстра послідовного наближення підключено до другого входу схеми додавання.

Недоліком способу та пристрою є застосування цифро-аналогової корекції, що, по-перше, вимагає застосування додаткового точного коригувального цифро-аналогового перетворювача, подруге обмежує швидкість перетворення, оскільки на кожному кроці врівноваження необхідно звертатись до запам'ятовуючого пристрою для вибірки необхідного коригуючого коду.

В основу винаходу поставлено задачу створення способу аналого-цифрового перетворення, в якому за рахунок використання вагової надлишковості стане спроможним виконання процедури самокалібрування виключно у цифровій формі без застосування додаткових коригувальних матриць, що полягає у визначенні ваг старших, "неточних", розрядів шляхом врівноваження ваги поточного розряду, що калібрується, сумою ваг певної групи молодших, "точних" розрядів з подальшим обчисленням реальних значень "неточних" розрядів і використанням цих значень в процесі основного перетворення, за рахунок чого досягається можливість уникнути додаткових витрат часу на фор-

мування коригувальних сигналів і, таким чином, збільшити швидкість перетворювача.

В основу винаходу поставлено задачу створення аналого-цифрового перетворювача, що реалізує запропонований спосіб, в якому за рахунок введення нових блоків і зв'язків між ними досягається підвищення швидкості перетворення при збереженні високої точності.

Поставлена задача вирішується тим, що в спосіб аналого-цифрового перетворення який базується на застосуванні процесу перерозподілу заряду на конденсаторній матриці і складається з двох етапів: етапу калібрування старших, неточних розрядів перетворювача і етапу безпосереднього перетворення, процедуру калібрування здійснюють виключно в цифровій формі, для чого на вхід конденсатора, що калібрують, подають опорну напругу, далі відповідний заряд перерозподіляють на конденсаторах основної і додаткової конденсаторних матриць, в процесі чого розраховують двійковий еквівалент ваги розряду, що калібрують і записують в оперативну пам'ять, згадану процедуру виконують для всіх старших неточних розрядів, на етапі основного перетворення вхідну напругу подають на основну конденсаторну матрицю, після чого відповідний заряд перерозподіляють на конденсаторах матриці, в процесі чого визначають двійковий еквівалент вхідного сигналу шляхом додавання ваг точних та відкаліброваних неточних розрядів.

Поставлена задача вирішується тим, що у аналого-цифровий перетворювач, який містить основну та додаткову конденсаторні матриці, основний та додатковий реєстри послідовного наближення, схему порівняння, блок додавання, блок оперативної пам'яті, вхідну аналогову шину, шину опорної напруги, причому перший та другий входи основної конденсаторної матриці під'єднано до вхідної аналогової шини та шини опорної напруги, а вихід основної конденсаторної матриці підключено до інверсного входу схеми порівняння, прямий вхід якої підключено до шини нульового потенціалу, а вихід до першого входу основного та додаткового реєстрів послідовного наближення, перші виходи яких підключено до третього входу основної конденсаторної матриці та першого входу додаткової конденсаторної матриці відповідно, вихід додаткової конденсаторної матриці з'єднано з інверсним входом схеми порівняння, введено, блок постійної пам'яті, блок керування, ключовий елемент, дешифратор, лічильник калібрування, лічильник адрес, мультиплексор, блок маскування, вихідний реєстр, шину керуючих сигналів, шину сигналів стану, вихідну аналогову шину та вихідну цифрову шину, причому вихідна аналогова шина з'єднана з виходами основної та допоміжної конденсаторних матриць, інверсним входом схеми порівняння та першим входом ключового елемента, другий вхід якого з'єднано з відповідним виходом шини керуючих сигналів, а вихід з виходом схеми порівняння, який в свою чергу з'єднано з першим входом блока маскування другий вхід якого з'єднано з виходом блока оперативної пам'яті, а вихід з'єднано з першим входом блока додавання, вихід якого з'єднано з

інформаційним входом вихідного регістра, керуючий вхід якого з'єднано з відповідним виходом шини керуючих сигналів, а вихід з'єднано з вихідною цифровою шиною, другим входом блока додавання та першим входом мультиплексора, другий вхід якого з'єднано з виходом блока постійної пам'яті, а вихід з інформаційним входом блока оперативної пам'яті, адресний вхід якої з'єднано з адресним входом блока постійної пам'яті та з виходом лічильника адрес, інформаційний вхід якого з'єднано з виходом лічильника калібрування та входом дешифратора, вихід якого з'єднано з другим входом основного регістра послідовного наближення, керуючі входи лічильника калібрувань, лічильника адрес, блока постійної пам'яті, мультиплексора, блока оперативної пам'яті, другий вхід додаткового регістра послідовного наближення, третій вхід основного регістра послідовного наближення з'єднано з відповідними виходами шини керуючих сигналів, другий вхід додаткової конденсаторної матриці з'єднаний з шиною опорної напруги, другі виходи основного та додаткового регістрів послідовного наближення з'єднано з шиною сигналів стану, що подаються на вхід блока керування, причому основна конденсаторна матриця містить n конденсаторів, де номінали двох сусідніх відрізняються в α раз, додаткова конденсаторна матриця містить k конденсаторів, де номінали двох сусідніх відрізняються в α раз, а найбільший номінал конденсатора додаткової матриці в α разів менший за найменший номінал конденсатора основної матриці.

На кресленні представлено структурну схему аналого-цифрового перетворювача, що реалізує запропонований спосіб.

Пристрій містить вхідну аналогову шину 18, яку з'єднано з першим входом основної конденсаторної матриці 9, другий вхід якої з'єднано з шиною опорної напруги 10, а вихід якої з'єднано з вихідною аналоговою шиною 21, яку в свою чергу з'єднано з інверсним входом схеми порівняння 15 та першим входом ключового елемента 12, другий вхід якого підключено до відповідного виходу шини керуючих сигналів 20 блока керування 1, прямий вхід схеми порівняння 15 з'єднано з шиною нульового потенціалу 11, а вихід з'єднано з виходом ключового елемента 12, першим входом блока маскування 14, першими входами основного 8 та додаткового 16 регістрів послідовного наближення, другий і третій входи основного регістра послідовного наближення 8 з'єднані з виходом дешифратора 7 та відповідними виходами шини керуючих сигналів 20, перший вихід основного регістра послідовного наближення 8 з'єднано з третім входом основної конденсаторної матриці 9, а другий вихід з'єднано з відповідними входами шини сигналів стану 23, перший вихід додаткового регістра послідовного наближення 16 з'єднано з першим входом додаткової конденсаторної матриці 22, другий вхід якої з'єднано з шиною опорної напруги 10, а вихід з вихідною аналоговою шиною 21, другий вхід додаткового регістра послідовного наближення 16 з'єднано з відповідними виходами шини керуючих сигналів 20, а другий вихід з відповідним входом шини сигналів стану 23, вихід лічи-

льника калібрування 6 з'єднано з входом дешифратора 7 та інформаційним входом лічильника адрес 5, а керуючий вхід з'єднано з відповідними виходами шини керуючих сигналів 20, керуючий вхід лічильника адрес 5 також з'єднано з відповідними виходами шини керуючих сигналів 20, а вихід з адресними входами блока постійної пам'яті 2 та блока оперативної пам'яті 4, керуючі входи яких з'єднано з відповідними виходами шини керуючих сигналів 20, вихід вихідного регістра 13 з'єднано з першим входом мультиплексора 3, другий вхід якого з'єднано з виходом блока постійної пам'яті 2, а керуючий вхід з відповідними виходами шини керуючих сигналів 20, вихід мультиплексора 3 з'єднано з інформаційним входом блока оперативної пам'яті 4, вихід якого з'єднано з другим входом блока маскування 14, вихід якого з'єднано з першим входом блока додавання 17, другий вхід якого з'єднано з виходом вихідного регістра 13, а вихід з'єднано з інформаційним входом вихідного регістра 13, керуючий вхід якого з'єднано з відповідними виходами шини керуючих сигналів 20, вихід вихідного регістра 13 також з'єднано з вихідною цифровою шиною перетворювача 19.

Спосіб аналого-цифрового перетворення реалізується таким чином. Розрядна сітка перетворювача розбивається на групи з m "неточних" (старших), $(n-m)$ "точних" (молодших) та k додаткових розрядів, причому перші дві категорії утворюють групу з n основних розрядів, визначені ваги $(n-m)$ точних та k додаткових розрядів фіксуються в блоці постійної пам'яті 2 на етапі виготовлення перетворювача. Організація роботи передбачається у двох режимах: самокалібрування і основного перетворення, причому перший передує другому. У режимі самокалібрування визначаються ваги "неточних" розрядів. Ця процедура здійснюється таким чином. На конденсатор основної конденсаторної матриці 9, який відповідає номеру першого "неточного" розряду, подається опорна напруга, яка потім перерозподіляється між конденсаторами молодших розрядів. В процесі перерозподілу визначається вага даного розряду за формулою

$$Q_{n-m} = \sum_{i=k}^{n-m-1} Q_i b_i,$$

де Q_i - вага i -го розряду, яку записано в блоці оперативної пам'яті 4, b_i - розрядний коефіцієнт "0" або "1", який визначається в процесі перерозподілу. Результат калібрування записується в блоці оперативної пам'яті 4. Далі аналогічним чином калібрується наступний "неточний" розряд, причому при його калібруванні використовується значення ваги розряду, відкаліброваного на попередньому кроці. В останню чергу калібрується найстарший розряд перетворювача.

Оскільки при калібруванні старших "неточних" розрядів використовуються результати калібрування молодших "неточних" розрядів, спостерігається процес накопичення методичної похибки калібрування, яку обумовлено похибкою квантування. Для зменшення останньої на етапі калібрування використовуються додаткові розряди, ваги яких становлять

$Q_0\alpha^{-1}, Q_0\alpha^{-2}, \dots, Q_0\alpha^{-k}$, де Q_0 - вага наймолодшого основного розряду, k - кількість додаткових розрядів, α - основа робочої системи числення. Значення k залежить від кількості "неточних" розрядів, α тощо.

У режимі основного перетворення вхідний аналоговий сигнал подається на основну конденсаторну матрицю 9, після чого здійснюється його перерозподіл. В процесі перерозподілу визначається значення вхідного аналогового сигналу за формулою

$$A_{\text{вх}} = \sum_{i=0}^{n-1} Q_i b_i.$$

Пристрій працює у режимі самокалібрування і основного перетворення. Режим самокалібрування автоматично запускається після включення пристрою, а також може бути ініційований за певних умов, наприклад при зміні температури середовища. Після включення пристрою за командою блока керування 1 з блока постійної пам'яті 2 через мультиплексор 3 в блок оперативної пам'яті 4 записуються ваги додаткових та "точних" розрядів, починаючи з ваги наймолодшого додаткового розряду і завершуючи вагою найстаршого точного розряду за адресами, що послідовно формуються лічильником адрес 5. На даному етапі лічильник калібрувань 6 працює синхронно з лічильником адрес 5, тому наприкінці даного етапу його вміст відповідатиме адресі найстаршого точного розряду. Цей етап є підготовчим і виконується тільки один раз після включення пристрою. Процес самокалібрування починається зі збільшення на одиницю значення лічильника калібрувань 6 та запису його вмісту до лічильника адрес 5. Вихідний код лічильника калібрувань 6 також подається на вхід дешифратора 7, а код з виходу дешифратора 7 записується в основний регістр послідовного наближення 8. В даному випадку цей код являтиме собою послідовність "0" з єдиною "1" в розряді, що має калібруватись. Внаслідок цього нижню платівку конденсатора, що відповідає наймолодшому "неточному" розряду, буде підключено до шини опорної напруги 10, в той же час нижні платівки конденсаторів решти основної матриці 9 та конденсаторів додаткової матриці 22 буде скомутовано на шину нульового потенціалу 11, ключовий елемент 12 переведено в замкнутий стан. На наступному кроці за командою блока керування 1 вищезгаданий розряд основного регістра послідовного наближення 8 переводиться в "0" і комується нижню платівку конденсатора, що калібрується на шину нульового потенціалу 11 одночасно з розмиканням ключового елемента 12. Це приведе до інвертування і перерозподілу заряду на всі конденсатори обох матриць, і таким чином, напруга на вихідній аналоговій шині 21 відповідатиме вазі розряду, що калібрується, і матиме від'ємний знак. В цей же час блок керування 1 дає команду обнулення вмісту вихідного регістра 13. Далі основний регістр послідовного наближення 8, починаючи з розряду, що відповідає старшому "точному" здійснює процедуру врівноваження. На кожному кроці врівноваження значення лічильника адрес 5 зме-

ншуватиметься на "1", таким чином на другий вхід блока маскування 14 буде подаватись кодний еквівалент ваги розряду, який в даний момент бере участь у врівноваженні. На перший вхід блока маскування 14 подається сигнал з виходу схеми порівняння 15, який керує додаванням кодового еквівалента даного розряду до вмісту накопичувального регістра, що утворюється блоком додавання 17 і вихідним регістром 13. Після завершення процедури врівноваження на основній конденсаторній матриці 9 основний регістр послідовного наближення 8 через шину 23 подає відповідний сигнал блока керування 1, який через додатковий регістр послідовного наближення 16 ініціює процедуру врівноваження на додатковій конденсаторній матриці 22, по завершенні якого вміст вихідного регістра 13 відповідатиме вазі розряду, що було відкалібровано. По завершенні процедури врівноваження вміст лічильника калібрування 6 (адреса розряду, що калібрується) переписується в лічильник адрес 5, блок керування 1 дає команду запису в блок оперативної пам'яті 4, а мультиплексор 3 подає на інформаційний вхід блока оперативної пам'яті 4 код з виходу вихідного регістра 13. На цьому процедуру калібрування наймолодшого "неточного" розряду завершено. Далі вміст лічильника калібрування 6 збільшується на "1" і починається калібрування наступного "неточного" розряду. Аналогічним чином калібруються всі інші "неточні" розряди.

В режимі основного перетворення вхідна напруга подається на вхідну аналогову шину 18, нижні платівки всіх конденсаторів основної конденсаторної матриці 9 під'єднуються до вхідної аналогової шини 18, а ключовий елемент 12 переводиться в замкнутий стан, внаслідок чого на основній конденсаторній матриці накопичується заряд, що відповідає вхідній напрузі. На наступному кроці нижні платівки всіх конденсаторів основної матриці 9 перемикаються на шину нульового потенціалу 11 одночасно з розмиканням ключового елемента 12, внаслідок чого напруга на вихідній аналоговій шині 21 буде дорівнювати вхідній напрузі з від'ємним знаком.

Додаткова конденсаторна матриця 22 в даному режимі не використовується і нижні платівки всіх її конденсаторів залишаються постійно з'єднаними з шиною нульового потенціалу 11. В той же час відбувається ініціалізація цифрової частини перетворювача, яка полягає в очищенні вмісту вихідного регістра 13 та встановлення лічильника адрес 5 в стан, який відповідає адресі найстаршого розряду. Далі починається безпосередньо процес аналого-цифрового перетворення, під час якого на кожному кроці з блока оперативної пам'яті 4 вибирається цифровий еквівалент відповідного розряду і залежно від значення на виході схеми порівняння 15 додається до вмісту вихідного регістра 13 аналогічно як це відбувалось під час калібрування. По завершенні перетворення у вихідному регістрі 13 формується цифровий еквівалент вхідної напруги, який подається на вихідну цифрову шину 19.

