



УКРАЇНА

(19) UA (11) 34466 (13) U  
(51) МПК  
G06G 7/60 (2008.01)

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ

## ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під  
відповідальність  
власника  
патенту

### (54) ПРИСТРІЙ ДЛЯ МОДЕЛЮВАННЯ НЕЙРОНА

1

2

(21) u200803614

(22) 21.03.2008

(24) 11.08.2008

(46) 11.08.2008, Бюл.№ 15, 2008 р.

(72) КОЖЕМЯКО ВОЛОДИМИР ПРОКОПОВИЧ,  
UA, МАРТИНЮК ТЕТЯНА БОРИСІВНА, UA, КО-  
ЛЕСНИЦЬКИЙ ОЛЕГ КОСТЯНТИНОВИЧ, UA, МО-  
РОЗ ІРИНА ВІТАЛІВНА, UA, ЧЕЧЕЛЬНИЦЬКИЙ  
ОЛЕГ ІВАНОВИЧ, UA

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ  
УНІВЕРСИТЕТ, UA

(57) Пристрій для моделювання нейрона, який  
містить n блоків зміни синаптичних ваг, перші і  
другі входи яких є інформаційними входами при-  
строю, суматор, перші n входів якого з'єднані від-

повідно з виходами n блоків зміни синаптичних  
ваг, який **відрізняється** тим, що в нього введено  
комутатор, причому установний і перший керуючий  
входи пристрою з'єднані з відповідними входами n  
блоків зміни синаптичних ваг, вхід скидання, вхід  
порога, адресний і другий керуючий входи при-  
строю з'єднані з відповідними входами суматора,  
перший вихід суматора з'єднаний з інформаційним  
виходом комутатора, а його другий вихід з'єднаний  
з виходом результуючого сигналу пристрою, вихід  
ознаки нуля суматора є виходом сигналу "Кінець"  
пристрою і з'єднаний з керуючим входом кому-  
татора, вихід якого є інформаційним виходом ре-  
зультату пристрою.

Корисна модель відноситься до області біоні-  
ки та обчислювальної техніки і може бути викорис-  
тана в якості елемента нейроподібних мереж для  
моделювання біологічних процесів у пристроях  
оброблення, аналізу і розпізнавання образів, а  
також в якості елемента паралельних обчислюва-  
льних структур для вирішення задач цифрового  
оброблення сигналів, систем алгебраїчних рів-  
нянь, крайових задач теорії поля.

Відомий пристрій для моделювання нейрона  
(а. с. СРСР 767788, кл. G06 G7/60, 1980 р., Бюл.  
№ 39), який містить n блоків зміни синаптичних  
ваг, перші входи яких є входами пристрою, а вихо-  
ди з'єднані з n входами суматора, перший цифро-  
вий інтегратор, вихід другого цифрового інтегра-  
тора підключений до перших входів третього і  
четвертого цифрових інтеграторів, перші входи  
другого і п'ятого цифрових інтеграторів з'єднані з  
першим керуючим входом пристрою, другі входи n  
блоків зміни синаптичних ваг, третього, четвертого  
і п'ятого цифрових інтеграторів і перший вхід пер-  
шого цифрового інтегратора підключені до других  
керуючих входів пристрою відповідно, вихід тре-  
тього цифрового інтегратора є виходом пристрою,  
виходи четвертого і п'ятого цифрових інтеграторів  
підключені до (n+1)-го і (n+2)-го входів суматора  
відповідно, вихід якого з'єднаний з третім входом  
другого цифрового інтегратора, четвертий вхід

якого підключений до виходу першого цифрового  
інтегратора, другий вхід якого з'єднаний з виходом  
третього цифрового інтегратора, другий вхід дру-  
гого цифрового інтегратора підключений до керу-  
ючого входу запису пристрою.

Недоліком даного пристрою є його недостатня  
швидкодія через невідповідний рівень паралелізму  
оброблення у суматорі.

Найбільш близьким за технічною суттю є при-  
стрій для моделювання нейрона (а. с. СРСР №  
1479944, кл. G06 G7/60, 1989 р., Бюл. № 18), який  
містить n блоків зміни синаптичних ваг, перші і  
другі входи яких є інформаційними входами при-  
строю, а треті є установними, суматор, перші n  
входів якого з'єднані відповідно з виходами n бло-  
ків зміни синаптичних ваг, перший і другий регі-  
стри, перший і другий елементи 1 та логічний блок,  
при цьому вихід першого регістра з'єднаний з (n+1)  
виходом суматора, а вхід - через перший вхід пер-  
шого елемента 1 підключений до виходу суматора,  
який зв'язаний через перший вхід другого елеме-  
нта 1 з входом другого регістра і першим входом  
логічного блока, до другого входу якого підключе-  
ний вихід другого регістра.

Недоліком даного пристрою є його недостатня  
швидкодія через послідовний принцип оброблення  
n операндів в суматорі, який є його базовим бло-  
ком.

UA (19) 34466 (11) 34466 (13) U

В основу корисної моделі поставлена задача створення пристрою для моделювання нейрона, в якому введення нових вузлів та зв'язків дозволяє збільшити рівень паралелізму оброблення операцій у суматорі, що збільшить швидкість пристрою.

Поставлена задача досягається тим, що у пристрій для моделювання нейрона, який містить  $n$  блоків зміни синаптичних ваг, перші і другі входи яких є інформаційними входами пристрою, суматор, перші  $n$  входів якого з'єднані відповідно з виходами  $n$  блоків зміни синаптичних ваг, введено комутатор, причому установний і перший керуючий входи пристрою з'єднані з відповідними входами  $n$  блоків зміни синаптичних ваг, вхід скидання, вхід порогу, адресний і другий керуючий входи пристрою з'єднані з відповідними входами суматора, перший вихід суматора з'єднаний з інформаційним входом комутатора, а його другий вихід з'єднаний з виходом результуючого сигналу пристрою, вихід ознаки нуля суматора є виходом сигналу „Кінець” пристрою і з'єднаний з керуючим входом комутатора, вихід якого є інформаційним виходом результату пристрою.

На фіг. 1 приведено структурну схему пристрою; на фіг. 2 - структурну схему блока зміни синаптичних ваг; на фіг. 3 - структурну схему суматора.

Пристрій для моделювання нейрона (фіг. 1) містить дві групи інформаційних входів  $1_1, \dots, 1_n$  і  $2_1, \dots, 2_n$  пристрою,  $n$  блоків  $3_1, \dots, 3_n$  зміни синаптичних ваг, установний вхід 4 і керуючий вхід 5 пристрою, суматор 6, вхід 7 скидання та адресний вхід 8 пристрою, комутатор 9, інформаційний вихід 10 суматора 6, вхід 11 порогу, керуючий вхід 12, вихід 13 сигналу „Кінець”, інформаційний вихід 14 результату і вихід 15 результуючого сигналу пристрою. Групи інформаційних входів  $1_1, \dots, 1_n$  і  $2_1, \dots, 2_n$  пристрою підключені відповідно до першого і другого входів блоків  $3_1, \dots, 3_n$  зміни синаптичних ваг, третій і четвертий входи яких з'єднані відповідно з установним входом 4 і керуючим входом 5 пристрою. Група виходів  $16_1, \dots, 16_n$  блоків  $3_1, \dots, 3_n$  зміни синаптичних ваг підключена до  $n$  входів суматора 6, вихід 17 ознаки нуля якого з'єднаний з виходом 13 сигналу „Кінець” пристрою і з керуючим входом комутатора 9, інформаційний вхід якого з'єднаний з виходом 10 суматора 6. Вхід 7 скидання і адресний вхід 8 пристрою з'єднані з відповідними входами суматора 6, вихід 15 якого є виходом результуючого сигналу пристрою. Вхід 11 порогу і керуючий вхід 12 пристрою з'єднані з відповідними входами суматора 6, а інформаційний вихід комутатора 9 є інформаційним виходом 14 результату пристрою.

Кожний блок  $3_i$ ,  $i = \overline{1, n}$ , зміни синаптичних ваг (фіг. 2) містить помножувальний елемент 18, перший вхід якого з'єднаний з інформаційним входом 1, пристрою, а його вихід є виходом 16, відповідно блоку 3, зміни синаптичних ваг, мультиплексор 19, перший вхід якого з'єднаний з інформаційним входом  $2_i$  пристрою, а другий вхід з'єднаний з прямим виходом D-тригера 20. D-вхід D-тригера 20 з'єднаний з установним входом 4 пристрою, а відповідний керуючий вхід 5 пристрою з'єднаний з

адресним входом мультиплексора 19, інформаційний вихід якого з'єднаний з другим входом помножувального елемента 18.

Суматор 6 (фіг. 3) містить  $(n+1)$  комірок 21, причому  $i$ -та комірка містить мультиплексор 22, регістр 23, суматор-віднімач 24, суматор 25, D-тригер 26, мініматор 27, два регістри 28, 29, комутатор 30. Перший інформаційний вхід мультиплексора 22 з'єднаний з входом 16;  $i$ -ої комірки 21, керуючий вхід з'єднаний з адресним входом 8 пристрою, а його вихід підключено до входу 31 регістра 23, у якого вихід з'єднаний з прямим входом 32 суматора-віднімача 24 та інформаційним входом 33 мініматора 27. Вихід регістра 29 з'єднаний з інформаційним входом комутатора 30 та інверсним входом 34 суматора-віднімача 24, вихід 35 якого з'єднаний з другим інформаційним входом мультиплексора 22, а вихід 36 знака суматора-віднімача 24 з'єднаний зі знаковим входом 37 мініматора 27 і D-входом D-тригера 26, вхід скидання якого з'єднаний з входом 7 скидання пристрою, а його інверсний вихід з'єднаний з керуючим входом комутатора 30. Вихід комутатора 30 підключено до виходу 38  $i$ -ої комірки 21, крім того, інформаційний вхід 39 мініматора 27  $i$ -ої комірки 21 з'єднаний з виходом 40  $(i-1)$ -ої комірки 21, вхід 41 суматора 25  $i$ -ї комірки 21 з'єднаний з виходом 42  $(i-1)$ -ої комірки 21, а вхід 43 підключено до виходу 38  $(i+1)$ -ої комірки 21.

В  $i$ -ї комірці 21 вхід регістра 29 підключено до входу 44 цієї комірки 21, вихід 45 мініматора 27 з'єднаний з входом регістра 28 цієї комірки, інформаційний вихід якого є виходом 40  $i$ -ої комірки 21, а його вихід знака є виходом 46  $i$ -ої комірки 21, який з'єднаний зі знаковим входом 47 мініматора 27  $(i+1)$ -ої комірки 21, вихід 45 мініматора 27  $n$ -ої комірки 21 підключений до входів 44 всіх  $(n-1)$  молодших комірок 21. Перша комірка 21 не містить мініматор 27 та регістр 28, вихід її регістра 23 є виходом 40 першої комірки 21, вихід 36 знака суматора-віднімача 24 є її виходом 46, а вхід 41 суматора 25 з'єднаний з виходом комутатора 30 цієї ж комірки 21. Остання  $n$ -а комірка 21 містить регістр 48, вхід якого з'єднаний з виходом суматора 25 цієї комірки 21, а його вихід є інформаційним виходом 10 суматора і з'єднаний також з входом 43 суматора 25 цієї ж комірки 21. Вихід 45 мініматора 27  $n$ -ої комірки 21 з'єднаний з входом регістра 29 цієї комірки, а його вихід ознаки нуля з'єднаний з виходом 17 ознаки нуля суматора 6.

Старша  $(n+1)$ -а комірка 21 містить мультиплексор 22, регістр 23, суматор-віднімач 24, комутатор 30, елемент АБО 49 і елемент І 50. Перший інформаційний вхід мультиплексора 22  $(n+1)$ -ї комірки 21 з'єднаний з входом 11 порогу пристрою, його керуючий вхід з'єднаний з адресним входом 8 пристрою, вихід 42  $(n-1)$ -ї комірки 21 з'єднаний з інформаційним входом комутатора 30  $(n+1)$ -ї комірки, а його керуючий вхід з'єднаний з виходом елемента І 50, перший вхід якого з'єднаний з керуючим входом 12 пристрою, а другий вхід - з інверсним входом D-тригера 26 цієї комірки, вхід скидання якого з'єднаний з входом 7 скидання пристрою. Вихід комутатора 30  $(n+1)$ -ої комірки 21 з'єднаний з інверсним входом 34 суматора-віднімача 24 цієї комірки

ки, вихід 36 знака якого з'єднаний з першим входом елемента АБО 49, а вихід 51 ознаки нуля - з другим входом елемента АБО 49, вихід якого з'єднаний з D-входом D-тригера 26 (n+1)-ої комірки 21, прямий вихід якого є виходом 15 результуючого сигналу пристрою. Вихід мультиплексора 22 (n+1)-ої комірки 21 підключено до входу 31 регістра 23 цієї комірки, у якого вихід з'єднаний з прямим входом 32 суматора-віднімача 24 цієї комірки, вихід 35 якого з'єднаний з другим інформаційним входом мультиплексора 22 цієї комірки.

Пристрій для моделювання нейрона (фіг. 1) працює таким чином.

Перед початком роботи суматор 6 встановлюють у початковий стан одиничним сигналом на вході 7 скидання пристрою. Після цього здійсню-

ють налаштування пристрою на необхідний режим функціонування.

Для налаштування пристрою на функціонування у режимі формального нейрона необхідно через установний вхід 4 пристрою на відповідні входи n блоків  $3_1, \dots, 3_n$  зміни синаптичних ваг подати нульовий сигнал, на керуючі входи 5 і 12 пристрою подати нульовий і одиничний сигнали відповідно, а на вхід 11 порогу - початкове значення порогу  $\Theta$ . Іншими словами, на керуючі входи 4, 5 і 12 подається код операції 001 (табл. 1). Після цього пристрій готовий до прийому двійкових кодів вхідних сигналів  $x_1, \dots, x_n$  і значення синаптичних ваг  $\gamma_1, \dots, \gamma_n$ , які поступають відповідно на групи інформаційних входів  $1_1, \dots, 1_n$  і  $2_1, \dots, 2_n$  пристрою.

Таблиця 1

Режим (операція)	Керуючі входи		
	4	5	12
Формальний нейрон	0	0	1
Скалярний добуток векторів	0	0	0
Цифровий інтегратор	1	1	0

У n блоках  $3_1, \dots, 3_n$  зміни синаптичних ваг виконується формування зважених вхідних сигналів вигляду

$$a_i = x_i \cdot \gamma_i, \quad i = \overline{1, n}, \quad (1)$$

які з групи виходів  $16_1, \dots, 16_n$  подаються на відповідні входи суматора 6 паралельно. В суматорі 6 відбувається формування часткових сум  $S_j$  та їх підсумовування у вигляді

$$S_k = \sum_{j=1}^k S_j. \quad (2)$$

Одночасно у суматорі 6 часткові суми  $S_j$  порівнюються з порогом  $\Theta$  і формується значення поточного порогу на j-му етапі оброблення вигляду

$$\Delta_j = A_{j-1}, \quad j = \overline{1, N}, \quad (3)$$

де  $\Delta_0 = \Theta$ ; N - кількість етапів оброблення.

При цьому, якщо  $\Delta_j > 0$ , то на виході 15 результуючого сигналу Y пристрою буде незмінним нульовий сигнал ( $Y=0$ ). Якщо  $\Delta_j \leq 0$ , то на виході 15 результуючого сигналу Y пристрою сформується одиничний сигнал ( $Y=1$ ) і порогове оброблення припиняється. В суматорі 6 формування і підсумовування часткових сум  $S_j$  продовжується доти, доки не сформується одиничний сигнал на виході 17 ознаки нуля суматора 6, що спричинить появу одиничного сигналу на виході 13 сигналу „Кінець” пристрою. У цьому випадку на керуючий вхід комутатора 9 подається одиничний сигнал дозволу з виходу 17 ознаки нуля суматора 6 і результат S підсумовування вигляду

$$S = \sum_{j=1}^N S_j = \sum_{i=1}^n x_i \cdot \gamma_i \quad (4)$$

з виходу 10 суматора 6 подається через комутатор 9 на інформаційний вихід 14 результату пристрою.

Таким чином, при цьому режимі роботи на кожному j-му етапі пристрій реалізує функцію:

$$Y = \text{sign} \left( \Theta - \sum_{i=1}^n x_i \cdot \gamma_i \right), \quad (5)$$

що відповідає роботі формального нейрона і крім того суматором 6 виконується операція скалярного добутку векторів вигляду (4).

Операцію (4) можна реалізувати окремо, якщо в якості компонент одного вектора взяти вхідні сигнали  $x_1, \dots, x_n$ , які поступають на групу інформаційних входів  $1_1, \dots, 1_n$  пристрою, а в якості компонент другого вектора - значення синаптичних ваг  $\gamma_1, \dots, \gamma_n$ , які поступають на групу інформаційних входів  $2_1, \dots, 2_n$  пристрою. При цьому на установний вхід 4 і керуючі входи 5 і 12 пристрою подаються нульові потенціали, тобто код даної операції 000 (табл. 1), а на вхід 11 порогу також подається нульовий потенціал. В блоках  $3_1, \dots, 3_n$  зміни синаптичних ваг формуються добутки вигляду (1), які з групи виходів  $16_1, \dots, 16_n$  блоків  $3_1, \dots, 3_n$  зміни синаптичних ваг подаються на відповідні входи суматора 6 паралельно. Після цього в суматорі 6 виконується формування і підсумовування часткових сум  $S_j$  цих добутків за формулою (2), поки не з'явиться одиничний сигнал на виході 17 ознаки нуля суматора 6, а отже, на виході 13 сигналу „Кінець” пристрою. Тоді сформована остаточною сумою S (4), яка є скалярним добутком компонент  $x_i$  і  $\gamma_i$  вхідних векторів, подається з виходу 10 суматора 6 через комутатор 9 на інформаційний вихід 14 результату пристрою.

При налаштуванні на роботу у режимі цифрового інтегратора пристрій працює як суматор вхідних сигналів  $x_1, \dots, x_n$ , які подаються на групу інформаційних входів  $1_1, \dots, 1_n$  пристрою, у вигляді:

$$S' = \sum_{i=1}^n x_i. \quad (6)$$

У цьому випадку на установний вхід 4 пристрою подається одиничний сигнал, який задає значення синаптичних ваг  $\gamma_1, \dots, \gamma_n$  рівними одини-

ці, на керуючі входи 5 і 12 пристрою подаються одиничний і нульовий потенціали відповідно, тобто код даної операції 110 (табл. 1), а на вхід 11 порогу подається нульовий потенціал. В суматорі 6 формується за  $N$  етапів оброблення сума  $S'$  часткових сум  $S'_j$  вигляду:

$$S' = \sum_{j=1}^N S'_j, \quad (7)$$

яка після появи одиничного сигналу на виході 17 ознаки нуля суматора 6, а отже, на виході 13 сигналу „Кінець” пристрою, подається з виходу 10 суматора 6 через комутатор 9 на інформаційний вихід 14 результату пристрою.

На початку роботи  $i$ -го блока 3 <sub>$i$</sub>  зміни синаптичних ваг (фіг. 2) здійснюють його настроювання на необхідний режим функціонування.

При настроюванні пристрою на режим формального нейрона і скалярного добутку векторів на установний вхід 4 і керуючий вхід 5 пристрою подаються нульові потенціали (табл. 1). Це дозволяє проходження значення синаптичної ваги  $\psi_i$  через мультиплексор 19, оскільки на його адресний вхід подається значення нуля, що означає дозвіл для проходження сигналу з входу 2 <sub>$i$</sub>  на вихід мультиплексора 19, при цьому D-тригер 20 встановлюється у нульовий стан. Отже, блок 3 <sub>$i$</sub>  готовий до прийому двійкового коду вхідного сигналу  $x_i$  і значення синаптичної ваги  $\psi_i$ , які поступають відповідно на інформаційні входи 1 <sub>$i$</sub>  і 2 <sub>$i$</sub>  і пристрою. Значення синаптичної ваги  $\psi_i$  з виходу мультиплексора 19 надходить на вхід помножувального елемента 18, в якому воно перемножується зі значенням вхідного сигналу  $x_i$ , тобто формується добуток зваженого вхідного сигналу  $a_i$  вигляду (1), який знімається з виходу 16 <sub>$i$</sub>  блока 3 <sub>$i$</sub>  зміни синаптичних ваг.

При настроюванні пристрою на режим цифрового інтегратора на установний вхід 4 і керуючий вхід 5 пристрою подаються одиничні потенціали (табл. 1). Блок 3, готовий до прийому двійкового коду вхідного сигналу  $x_i$ , який подається на інформаційний вхід 1 <sub>$i$</sub>  пристрою. Одиничний сигнал з установного входу 4 пристрою подається на D-вхід D-тригера 20 і встановлює його в одиничний стан. Одиничний сигнал на керуючому вході 5 пристрою забороняє проходження значення синаптичної ваги  $\psi_i$  через мультиплексор 19 і дозволяє проходження на його вихід одиничного сигналу з виходу D-тригера 20. Через мультиплексор 19 одиничний сигнал надходить на другий вхід помножувального елемента 18, в якому він перемножується зі значенням вхідного сигналу  $x_i$ . Отриманий результат вигляду  $j_s$  знімається з виходу 16 <sub>$i$</sub>  блока 3 <sub>$i$</sub>  зміни синаптичних ваг.

Суть роботи суматора 6 (фіг. 3) полягає в тому, що порогове оброблення  $n$  чисел зводиться до обчислення і підсумовування  $N$  часткових сум  $S_j$ , де  $N$  - кількість різноманітних вхідних величин  $a_i$ , порівняння цих сум з порогом  $\Theta$  і формування підсумкового сигналу вигляду:

$$Y = \begin{cases} 1, \text{ якщо } S = \sum_{i=1}^n a_i = \sum_{j=1}^N S_j = \sum_{j=1}^N q_j d_j \geq \Theta, \\ 0 \text{ у протилежному випадку,} \end{cases} \quad (8)$$

де  $Y$  - результуючий сигнал пристрою,  $q_j$  - загальна значуща частина доданків (мінімальний елемент)  $j$ -го етапу,  $d_j$  - кратність загальної частини  $q_j$  на  $j$ -му етапі,  $\Theta$  - значення порогу оброблення,  $j$  - етап оброблення.

Процес підсумовування у суматорі 6 має такий вигляд.

Спочатку визначається загальна значуща частина  $q_j$  всіх доданків на  $j$ -му етапі, тобто:

$$q_j = \min\{a_{i,j-1}\}_{i=1}^n, \quad j = \overline{1, N}, \quad (9)$$

де  $a_{i,0}$  - 1-й доданок на вході суматора 6, і перевіряється умова:

$$q_j = 0. \quad (10)$$

Якщо умова (10) виконується, то процес підсумовування припиняється. У протилежному випадку виділяється різницевий зріз  $A_j$ , тобто сукупність величин різниці всіх доданків  $j$ -го етапу з їхньою загальною частиною  $q_j$ , тобто:

$$A_j = \{a_{i,j}\}_{i=1}^n = \{a_{i,j-1} - q_j\}_{i=1}^n. \quad (11)$$

В подальшому отриманий різницевий зріз  $A_j$  є вхідною множиною доданків для наступного ( $j+1$ )-го етапу.

Далі формується часткова сума  $S_j$  як кратне загальної частини  $q_j$ , де кратність  $d_j$  визначається кількістю додатних доданків  $j$ -го етапу:

$$S_j = q_j d_j. \quad (12)$$

Після цього відбувається підсумовування часткових сум  $S_j$  за формулою (2).

Після сформування часткової суми  $S_1$  за формулою (12) на першому етапі формується різниця між заданим порогом  $\Theta$  та частковою сумою  $S_1$ , отриманою на цьому етапі, тобто:

$$\Delta_1 = \Theta - S_1, \quad (13)$$

перевіряється умова

$$\Delta_1 \leq 0 \quad (14)$$

і в разі її виконання формується одиничний результуючий сигнал  $Y$  пристрою і порогове оброблення припиняється. В протилежному випадку процес порогового оброблення продовжується і в подальшому поточна різниця  $\Delta_{j-1}$  є поточним значенням порогу на наступному  $j$ -му етапі оброблення згідно з формулою (3).

На  $j$ -му етапі перевіряється умова

$$\Delta_j \leq 0. \quad (15)$$

Процес порогового оброблення повторюється до виконання умови (15) або до визначення нульової величини  $q_j$  (10). Виконання умови (10) свідчить про закінчення підсумовування і про формування остаточного результату  $S$  підсумовування вигляду (4).

Отже, суматор 6 (фіг. 3) працює таким чином.

На вхід 16 <sub>$i$</sub>   $i$ -ої комірки 21 надходить  $i$ -й операнд  $a_{i,0}$  з групи операндів, кількість яких  $n$ . Запис операндів в комірки 21 виконується паралельно. Через мультиплексор 22  $i$ -й операнд  $a_{i,0}$  надходить на вхід 31 регістра 23  $i$ -ої комірки 21. Одночасно на вхід 11 порогу подають зовнішній поріг  $\Theta$ , який через мультиплексор 22 ( $n+1$ )-ої комірки 21 надходить по входу 31 в регістр 23 цієї комірки. Після цього виконується послідовне виділення загальної (мінімальної значущої) частини двох операндів - ( $i-1$ )-го та  $i$ -го - мініматором 27 і запис результату в регістр 28  $i$ -ої комірки 21. Згідно з виразом (9) ця

операція виконується послідовно, починаючи з другої комірки 21. Кінцевий результат  $q_1$  виділення загальної частини всіх  $n$  операндів на першому етапі формується в  $n$ -ій комірці 21 і з виходу 45 мініматора 27 цієї комірки 21 записується в регістри 29 всіх  $n$  комірок 21 паралельно по входу 44.

Після цього в  $i$ -ій комірці відбувається порівняння в суматорі-віднімачі 24  $i$ -го операнда  $a_{i,0}$ , що надходить з регістра 23 на його прямий вхід 32, та загальної частини  $q_1$  всіх операндів, що надходить з регістра 29 на його інверсний вхід 34. Порівняння відбувається в процесі віднімання від величини операнда загальної частини всіх величин операндів згідно з виразом (11) і ця різниця записується з виходу 35 суматора-віднімача 24 через мультиплексор 22 в регістр 23 по його входу 31. При цьому на виході 36 знака суматора-віднімача 24 формується знак різниці. Перед початком роботи регістри 23, 28, 29, 48 всіх комірок 21 занулені.

При відсутності одиничного сигналу знака від'ємного результату одиничний сигнал з інверсного виходу D-тригера 26 подається на керуючий вхід комутатора 30 і дозволяє проходження в  $i$ -ій комірці через комутатор 30 загальної частини  $q_1$  операндів з регістра 29 в суматор 25 ( $i-1$ )-ої комірки 21, де відбувається накопичування загальної частини операндів. У випадку, якщо на виході 36 знака суматора-віднімача 24  $i$ -ої комірки 21 з'явиться одиничний сигнал знака від'ємного результату, то наявність нульового сигналу на інверсному виході D-тригера 26, а отже, на керуючому вході комутатора 30 заборонить надходження загальної частини  $q_1$  операндів на даному етапі оброблення через комутатор 30 на вхід суматора 25 ( $i-1$ )-ої комірки 21.

В суматорі 25 кожної комірки 21 відбувається послідовне підсумовування загальних частин  $q_1$  групи з  $n$  операндів, а в результаті на виході суматора 25 ( $n-1$ )-ої комірки 21, тобто на виході 42 цієї комірки формується часткова сума  $S_1$  операндів згідно з виразом (12). Після цього відбувається порівняння в суматорі-віднімачі 24 ( $n+1$ )-ї комірки 21 зовнішнього порогу  $\Theta$ , що надходить по його прямому входу 32 з регістра 23, та часткової суми  $S_1$ , що надходить по його інверсному входу 34 з виходу комутатора 30. На першому етапі оброблення з інверсного виходу D-тригера 26 ( $n+1$ )-ої комірки 21 на керуючий вхід комутатора 30 подається одиничний сигнал дозволу, оскільки на початку роботи пристрою D-тригер 26 всіх ( $n+1$ ) комірок 21 суматора 6 встановлено у нульовий стан одиничним сигналом на вході 7 скидання пристрою, а на керуючому вході 12 пристрою, а також, на одному з входів елемента I 50 присутній одиничний сигнал (табл. 1). Порівняння відбувається в процесі віднімання у першому циклі від зовнішнього порогу  $\Theta$  часткової суми  $S_1$  згідно з виразом (13).

Різниця  $\Delta_1$  записується з виходу 35 суматора-віднімача 24 ( $n+1$ )-ої комірки 21 через мультиплексор 22 у регістр 23 по його входу 31.

Сигнали з виходу 36 знака і виходу 51 ознаки нуля суматора-віднімача 24 ( $n+1$ )-ої комірки 21 подаються через елемент АБО 49 на D-вхід D-тригера 26 ( $n+1$ )-ої комірки 21. При цьому при наявності одиничного сигналу на одному з виходів: виході 36 знака або виході 51 ознаки нуля суматора-віднімача 24 нульовий сигнал з інверсного виходу D-тригера 26, проходячи через елемент I 50, заборонить подачу величини  $S_j$  в наступному циклі оброблення через комутатор 30 на інверсний вхід 34 суматора-віднімача 24 ( $n+1$ )-ї комірки 21, що свідчить про закінчення порогового оброблення пристрою. На прямому виході D-тригера 26 ( $n+1$ )-ої комірки 21 у цьому випадку присутній одиничний сигнал, який формує одиничний сигнал  $Y$  на виході 15 результуючого сигналу ( $n+1$ )-ої комірки 21 і навпаки, при відсутності одиничного сигналу на обох виходах: виході 36 знака і виході 51 ознаки нуля суматора-віднімача 24 ( $n+1$ )-ої комірки 21 нульовий сигнал подається з виходу елемента АБО 49 на D-вхід D-тригера 26 цієї комірки, з інверсного виходу якого одиничний сигнал, проходячи через елемент I 50, дозволяє подачу через комутатор 30 часткової суми  $S_j$  з виходу 42 ( $n-1$ )-ої комірки 21 на інверсний вхід 34 суматора-віднімача 24 ( $n+1$ )-ої комірки 21.

В  $n$ -ій комірці 21 в суматорі 25 наприкінці кожного етапу оброблення виконується накопичення часткових сум  $S_j$  за виразом (2) та їх запам'ятовування у регістрі 48 цієї комірки. Так виконується перший етап підсумовування і порогового оброблення.

В подальшому процес підсумовування виконується аналогічно першому етапу оброблення згідно з формулами (9)-(12). Процес підсумовування припиняється тоді, коли загальна значуща частина  $q_j$  всіх поточних доданків на  $j$ -му етапі дорівнює нулю за виразом (10), тобто присутній одиничний сигнал на виході ознаки нуля мініматора 27  $n$ -ої комірки 21, а отже на виході 17  $n$ -ої комірки 21. При виконанні умови (10) після виконання  $N$  етапів оброблення на виході регістра 48  $n$ -ої комірки 21, тобто на інформаційному виході 10 суматора 6 формується остаточна сума  $S$  вигляду (4). Процес порогового оброблення буде продовжуватись, доки не буде виконуватись умова (15), а при її невиконанні - доки не буде виконуватись умова (10) При виконанні умови (15) на виході 15 результуючого сигналу пристрою формується одиничний сигнал.

У табл. 2 наведено приклад формування суми чисел масиву  $\{13, 8, 3, 11\}$ , часткових сум  $S_j$ , поточного порогу  $\Delta_j$ , результуючого сигналу  $Y$  та накопиченої суми  $S$ .

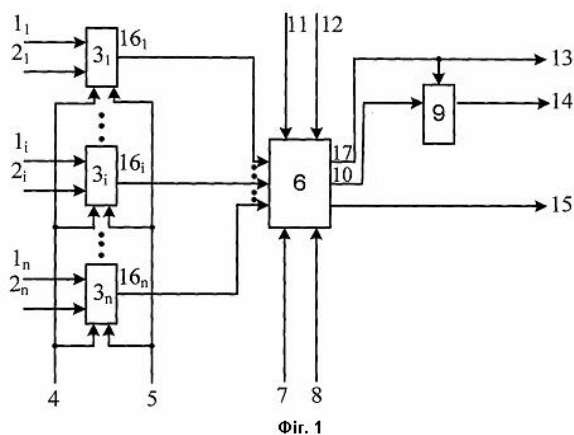
Таблиця 2

	Різницеві зрізи $A_j$					
	$A_0$	$A_1$	$A_2$	$A_3$	$A_4$	$A_5$
Елементи $a_{ij}$ зрізів						
$a_{1j}$	13	10	5	2	0	0
$a_{2j}$	8	5	0	-	-	-
$a_{3j}$	3	0	-	-	-	-
$a_{4j}$	11	8	3	0	-	-
Етапи оброблення	0	1	2	3	4	5
Найменше число %	0	3	5	3	2	0
Часткова сума $S_j$	0	$3 \times 4 = 12$	$5 \times 3 = 15$	$3 \times 2 = 6$	$2 \times 1 = 2$	0
Поточний поріг $\Delta_j$	30	$30 - 12 = 18$	$18 - 15 = 3$	$3 - 6 = -3$	-3	-3
Результуючий сигнал $Y$	0	0	0	1	1	1
Накопичення часткових сум $S_j$	0	12	$12 + 15 = 27$	$27 + 6 = 33$	$33 + 2 = 35$	35

Особливістю порогового оброблення масиву чисел за методом різницевих зрізів є природний паралелізм і нефіксоване (нестале) значення часу оброблення. Це значення залежить від кількості елементів на вході і кількості однакових елементів у масиві. Тому кількість етапів формування остаточної суми  $S$  можна визначити за формулою:

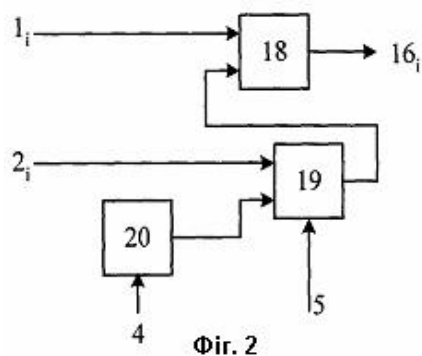
$$N = n - \sum_{r=1}^R (m_r - 1), \quad (16)$$

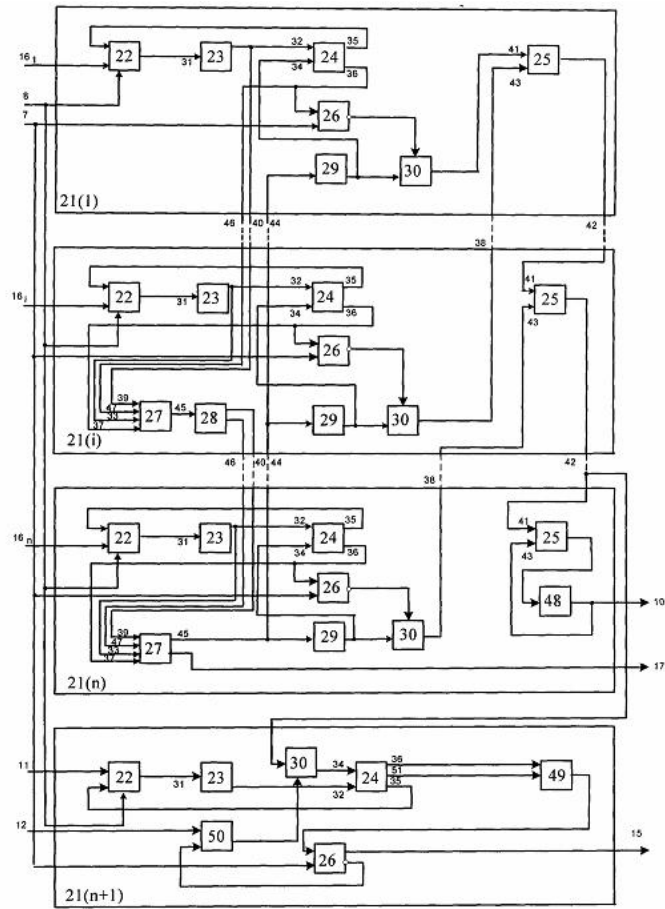
де  $n$  - розмірність вхідного масиву чисел;  $R$  - кількість груп з кількістю  $m_r$  однакових чисел;  $m_r$ ,  $R$  - випадкові величини.



Разом з тим, з аналізу даних, наведених у табл. 2, видно, що за певних умов результат порогового оброблення, а саме, одиничний результуючий сигнал  $Y$ , формується раніше, ніж накопичується остаточної сума  $S$  чисел, які представляють собою зважені вхідні сигнали.

Отже, принцип роботи пристрою для моделювання нейрона наближається до роботи біологічного нейрона, час спрацювання якого залежить від порогу оброблення, кількості вхідних сигналів і закону їх розподілу у вхідному масиві.





Фіг. 3