

О. Д. Азаров, д. т. н., проф.; О. В. Шапошніков асп.

## ПІДВИЩЕННЯ ТОЧНОСТІ ШВИДКОДЮЧИХ АЦП КОНВЕЄРНОГО ТИПУ МЕТОДОМ ІНФОРМАЦІЙНОЇ НАДЛИШКОВОСТІ

АЦП конвеєрного типу мають такі переваги: високу швидкість перетворення ( $t_{\text{ПЕРЕТ}} < 100 \text{ нс}$ ), низьке споживання потужності, а також відсутність появи невизначеного підсумкового коду. Основними недоліками є: чутливість до тактової частоти, наявність часу входження в роботу, наявність мінімальної тактової частоти, обмежена точність, яка обумовлена високими вимогами до точності окремих блоків і вузлів пристрою.

Через просту структуру та низьке споживання потужності конвеєрна архітектура придатніша для застосувань із високою роздільною здатністю ніж перетворювачі зчитування (флеш), але наявність значних похибок зміщення, масштабу, похибки нелінійності не дозволяє отримувати високої точності перетворення. У зв'язку з цим виникає необхідність розробки таких структур та алгоритмів, які б дозволили підвищити точність та швидкість АЦП конвеєрного типу.

Конвеєрні АЦП з архітектурою 1 біт/каскад з міжкаскадним коефіцієнтом підсилення  $k = 2$  не дозволяє досягти точності перетворення більше 8–10 бітів, що викликано високими технологічними вимогами до окремих елементів і блоків перетворювача, оскільки для такого конвеєрного АЦП неможливо застосувати методи самокалібрування та самокоригування, що потребує складних схем коригування. Структура є повторюваною, де кожний конвеєрний етап складається з пристрою вибірки/зберігання (ПВЗ), АЦП зчитування, ЦАП, блоку віднімання з масштабуванням і блоку фіксування і затримки. На початку перетворення спрацьовує ПВЗ. Отримане вхідне значення потім перетворюється в цифровий код з допомогою 1-бітного АЦП і знову перетворюється в аналоговий сигнал з допомогою 1-бітного ЦАП. Різниця між виходом ЦАП і зафіксованим вхідним сигналом збільшується (масштабується) у  $k = 2$  разів і посилається на наступний каскад врівноваження, де цей процес повторюється [1–3].

У таблиці 1 показані основні характеристики сімейства ADS8xx, які побудовано за 1,5 біт/каскад конвеєрною архітектурою [4–7]. Така структура дозволяє проводити процедуру самокалібрування та самокоригування за рахунок отримання 1 додаткового біту на каскад, але у даному випадку інформаційна надлишковість на  $n$  бітів вихідного коду складає  $2n - 1$  бітів з блоку перетворення.

Таблиця 1

Характеристики АЦП сімейства ADS8xx фірми Burr-Brown

	Роздільна здатність	$F$ ПЕРЕТВОРЕННЯ, МГц	Співвідношення сигнал/шум, дБ	Потужність, Вт
ADS800	12-біт	40	64	0,39
ADS801	12-біт	25	66	0,27
ADS802	12-біт	10	67	0,25
ADS820	10-біт	20	59	0,19
ADS821	10-біт	40	61	0,38

Актуальною є задача створення високоточного конвеєрного АЦП, в якому за рахунок введення окремої процедури самокалібрування статичних похибок аналогових вузлів можна досягти більшої роздільної здатності та зменшення технологічних вимог до окремих блоків та вузлів пристрою.

На рис. 1 зображена структурна схема конвеєрного АЦП, блок перетворення якого складається з  $n$  ( $n$  – кількість розрядів вихідного коду від блоку перетворення) каскадів врівноваження.

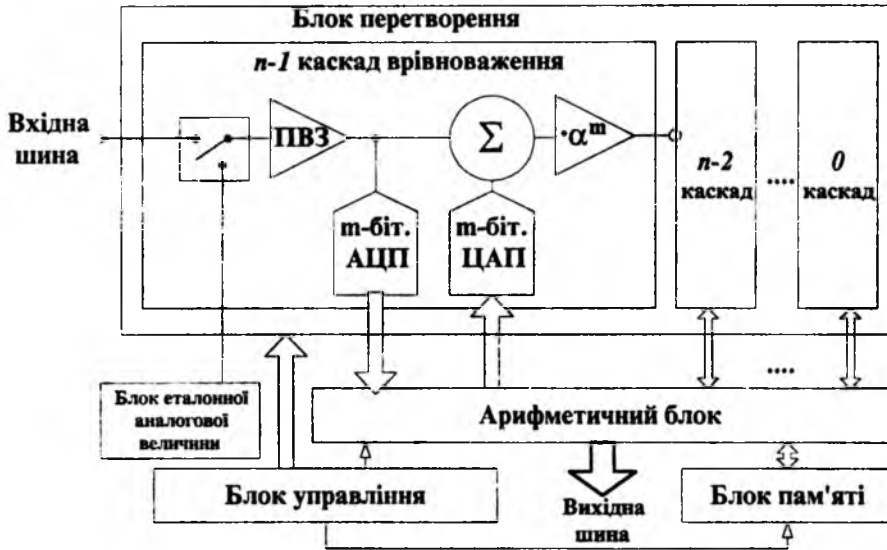


Рис. 1. Структурна схема конвеєрного АЦП з можливістю самокалібрування ваг розрядів

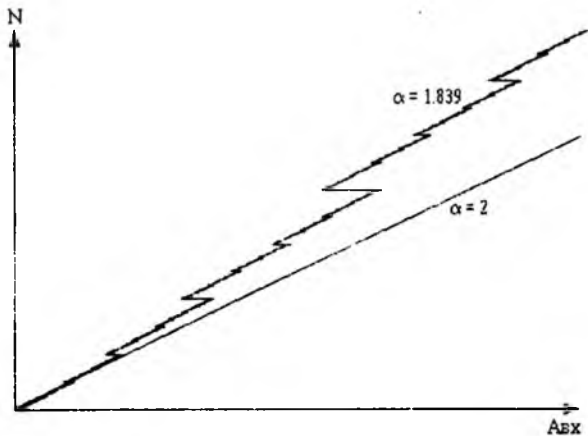


Рис. 2. Перехідна характеристика конвеєрного АЦП

Така структура дозволяє ввести додаткову операцію цифрового самокалібрування ваг розрядів АЦП, побудованого на неточних аналогових вузлах, за рахунок введення інформаційної надлишковості. На рис. 2. показана передатна характеристика конвеєрного АЦП, де  $A_{вх}$  – вхідна аналогова величина, а  $N$  – вихідна кодова комбінація.

Інформаційна надлишковість полягає в тому, що одному рівню вхідної аналогової величини може відповідати декілька вихідних комбінацій, а до конвеєрного АЦП виражається у тому, що коефіцієнт міжкаскадного підсилення пропорційний степеню основи системи числення  $1 \leq \alpha \leq 2$ . Будь-яке

дійсне число у надлишковій позиційній системі числення (НПСЧ) може бути зображене у вигляді  $N = \sum_{i=-\infty}^{+\infty} a_i Q_i$ , де  $a_i \in \{0,1\}$  або  $a_i \in \{\bar{1},1\}$ ,  $Q_i = \alpha^i$  – вага відповідного  $i$ -го розряду,  $\alpha$  – основа системи числення.

Для введення процедури самокалібрування між вагами розрядів НПСЧ повинна бути рекурентна залежність, наприклад, залежність побудована на основі  $s$ -пропорції:

$$Q_i = \sum_{j=i-s}^{i-1} Q_j, \text{ де } s = 2, 3, 4, 5, \dots, \text{ або на основі золотої } p\text{-пропорції: } Q_i = Q_{i-1} + Q_{i-p-1}, \text{ де } p = 1, 2, 3, 4, 5, \dots$$

Значення основи системи числення  $\alpha$  для деяких  $s$ -пропорцій показані в таблиці 2, а для золотої  $p$ -пропорції з  $p = 0$  НПСЧ вироджується в двійкову систему числення, з  $p = 1$  – систему золотої пропорції ( $\alpha = 1,618$ ), якщо  $p = \infty$  – одиничний код.

Таблиця 2

Відповідність значення основи системи числення для  $s$ -пропорцій

$s$	1	2	3	4	5	...	$\infty$
$\alpha$	1	1,618	1,839	1,928	1,966	...	2

Пристрій може працювати в двох режимах: в режимі самокалібрування (допоміжний режим) та в режимі перетворення (основний режим). В режимі самокалібрування проводиться  $(n - m) \cdot 2$  перетворювань, де перші  $m$  каскадів мають свої статичні похибки  $\Delta Q_i \leq 0,5Q_0$  ( $i = 0, 1, \dots, m$ ), в результаті чого отримуються реальні значення ваг розрядів кожного каскаду

$$Q_i = Q_{\text{ид},i} + \Delta Q_i, \text{ де } Q_{\text{ид},i} = \alpha^i.$$

Процедура визначення реальних ваг розрядів є такою: виконується по два перетворення для кожного каскаду з підключенням на вході каскаду, що калібрується, блоку еталонної аналогової величини. Під час проведення першого перетворення в  $i$ -му каскаді, що калібрується, розрядний коефіцієнт дорівнює «1» (примусове вмикання), а під час другого перетворення – розрядний коефіцієнт дорівнює «0» (примусове вимикання). В результаті отримуємо рівняння балансу:

$$Q_i + \sum_{j=0}^{i-1} (Q_j a_{j,1}) = \sum_{j=0}^{i-1} (Q_j a_{j,2}), \quad \text{або} \quad Q_i = \sum_{j=0}^{i-1} (Q_j a_{j,2}) - \sum_{j=0}^{i-1} (Q_j a_{j,1}),$$

де  $a_{j,1}$  – значення розрядного коефіцієнта каскаду  $j$  під час першого вимірювання,  $a_{j,2}$  – значення розрядного коефіцієнту каскаду  $j$  під час другого вимірювання.

Рівняння балансу для кодів ваг розрядів

$$K_i = \sum_{j=0}^{i-1} (K_j a_{j,2}) - \sum_{j=0}^{i-1} (K_j a_{j,1}), \quad \text{де } K_i = K(Q_i).$$

Отримані коди реальних ваг розрядів  $K_i = K(Q_i)$  заносяться у блок пам'яті і потім використовуються у другому (основному) режимі – перетворення.

В режимі основного перетворення в арифметичному блоці обчислюється кінцевий результат на основі отриманих в режимі самокалібрування ваг розрядів і цифрових коефіцієнтів від  $n$  каскадів. Цифровий еквівалент вхідного аналогового сигналу зображується у вигляді

$$K(A_{\text{вх}}) = \sum_{i=0}^{n-1} a_i K_i,$$

де  $a_i \in \{0,1\}$  або  $a_i \in \{\bar{1},1\}$ ,  $K_i$  – код ваги відповідного  $i$ -го каліброваного розряду.

На рис. 3. зображена структурна схема конвеєрного АЦП, який у порівнянні з попередньо розглянутим конвеєрним АЦП має іншу структуру каскаду врівноваження, що дозволяє виконувати процедуру самокалібрування ваг розрядів для АЦП з будь-якою основою НПСЧ та підвищити швидкість перетворення.

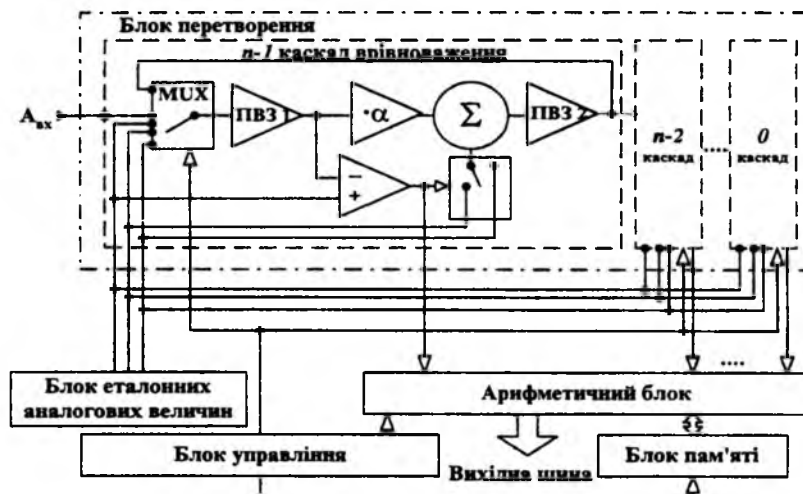


Рис. 3. Структурна схема конвеєрного АЦП з розрядним коефіцієнтом  $(-1,1)$ , яка дозволяє ввести додаткову операцію цифрового самокалібрування ваг розрядів і визначення статичних похибок

В режимі самокалібрування допоміжний режим) проводиться  $n-3$  перетворювань, в результаті чого отримуються реальні значення ваг розрядів кожного каскаду

$$Q_i = Q_{ид.i} + \Delta Q_i, \text{ де } Q_{ид.i} = \alpha^i.$$

Всі статичні похибки кожного каскаду складаються з: похибки нелінійності, зміщення нуля та похибки масштабу. Для НПСЧ з розрядним коефіцієнтом  $a_i \in \{\bar{1}, 1\}$  існують такі складові статичної похибки  $i$ -го каскаду:

$\Delta_{i+}$  — похибка нелінійності, якщо розрядний коефіцієнт  $a_i = 1$ ,

$\Delta_{i-}$  — похибка нелінійності, якщо розрядний коефіцієнт  $a_i = \bar{1}$ ,

$\Delta_{i\alpha}$  — зміщення коефіцієнта підсилення  $i$ -го каскаду врівноваження від обраної основи системи числення  $\alpha$ .

Процедура визначення реальних ваг розрядів є такою: виконується по три перетворення для кожного каскаду з підключенням на вході каскаду, що калібрується, блоку еталонної аналогової величини, а потім вихід каскаду замикається на вхід, в результаті чого отримуємо циклічний перетворювач на основі одного каскаду врівноваження. Блок еталонних аналогових величин має три виходи: з нульовим рівнем аналогової величини  $A_{оп1} = \langle 0 \rangle$ , з додатнім значенням опорної аналогової величини  $A_{оп2} = +A_{оп}$ , з від'ємним значенням опорної аналогової величини  $A_{оп3} = -A_{оп}$ . Межі змінення вхідної аналогової величини  $A_{вх}$ :  $-A_{оп} \leq A_{вх} \leq +A_{оп}$ .

Коди еталонних аналогових величин, як і опорні величини, вибираються такими:  $K(A_{оп1}) = 0$ ,  $K(A_{оп2}) = +K(A_{оп})$  та  $K(A_{оп3}) = -K(A_{оп})$ .

Під час проведення трьох перетворень на  $i$ -му каскаді, що калібрується, отримуємо рівняння балансу у такому вигляді

$$A_{опl} = \sum_{j=0}^{n-1} \left( \alpha_i^j a_{l,j} + \left\{ \begin{matrix} \alpha_i^j \Delta_{i+}, a_{l,j} = 1 \\ \alpha_i^j \Delta_{i-}, a_{l,j} = \bar{1} \end{matrix} \right\} \right), \text{ де } l = 1, 2, 3.$$

Рівняння балансу для кодів аналогових величин

$$K(A_{опl}) = \sum_{j=0}^{n-1} \left( K(\alpha_i)^j a_{l,j} + \left\{ \begin{matrix} K(\alpha_i)^j K(\Delta_{i+}), a_{l,j} = 1 \\ K(\alpha_i)^j K(\Delta_{i-}), a_{l,j} = \bar{1} \end{matrix} \right\} \right), \quad (1)$$

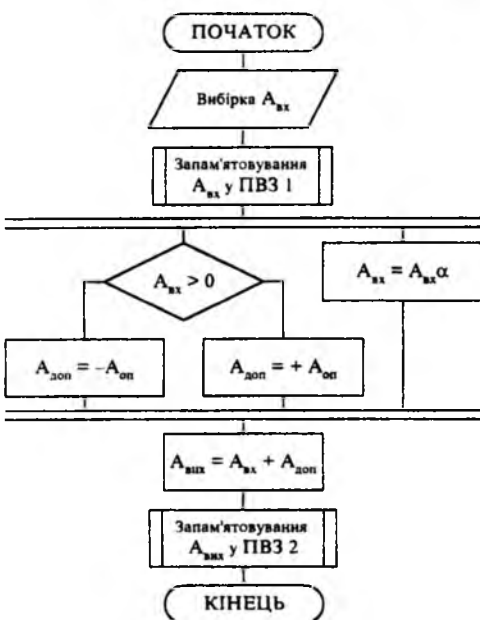


Рис. 4. Блок-схема роботи каскаду аналого-цифрового врівноваження

де  $a_{l,j}$  — значення розрядного коефіцієнту каскаду  $i$  під час  $l$ -го перетворення на  $j$ -му циклі.

Після розв'язання системи отриманих рівнянь будь-яким відомим методом отримані коди  $K(\Delta_{i+})$ ,  $K(\Delta_{i-})$  та  $K(\alpha_i)$  заносяться у блок пам'яті і потім використовуються у другому (основному) режимі — перетворенні. Можна також звести отримані результати до кодів реальних ваг розрядів  $K_{i+} = K(Q_{i+})$  та  $K_{i-} = K(Q_{i-})$ .

В режимі основного перетворення в арифметичному блоці обчислюється кінцевий результат на основі отриманих в режимі самокалібрування ваг розрядів і цифрових коефіцієнтів від  $n$  каскадів, блок-схема роботи аналого-цифрового врівноваження кожного з яких показана на рис. 4. Цифровий еквівалент вхідного аналогового сигналу зображується у вигляді

$$K(A_{\text{вх}}) = \sum_{i=0}^{n-1} \left\{ \begin{array}{l} (K(\Delta_{i+}) + 1) \prod_{j=0}^{i-1} K(\alpha_j), \quad a_i = 1 \\ -(K(\Delta_{i-}) + 1) \prod_{j=0}^{i-1} K(\alpha_j), \quad a_i = \bar{1} \end{array} \right\}$$

$$\text{або } K(A_{\text{вх}}) = \sum_{i=0}^{n-1} a_i K_i,$$

де  $a_i \in \{\bar{1}, 1\}$ ,  $K_i = \begin{cases} K_{i+}, a_i = 1, \\ K_{i-}, a_i = \bar{1} \end{cases}$  — код ваги відповідного  $i$ -го каліброваного розряду.

Зв'язок між вхідним та вихідним сигналом  $i$ -го каскаду врівноваження описується рівнянням:  $A_{\text{вих},i} = \alpha_i A_{\text{вх},i} + a_i A_{\text{оп},i}$ .

Тепер розглянемо час перетворення сигналу  $t_{\text{перетворення}}$ , який буде дорівнювати максимальному часу перетворення в одному каскаді врівноваження після повного входження АЦП в роботу.

Так для схеми, показаної на рис. 1, час перетворення складає

$$t_{\text{перетворення}} = nt_{\text{ПВЗ}} + t_{\text{АЦП}} + t_{\text{ЦАП}} + t_{\text{підсумовування}} + t_{\text{підсилення}},$$

а для схеми, наведеної на рис. 3 (вважаємо, що  $t_{\text{підсилення}} < t_{\text{АЦП}} + t_{\text{ЦАП}}$ )

$$t_{\text{перетворення}} = 2t_{\text{ПВЗ}} + t_{\text{АЦП}} + t_{\text{ЦАП}} + t_{\text{підсумовування}},$$

де  $t_{\text{ПВЗ}}$  — час вибірки,  $t_{\text{АЦП}}$  — час спрацювання внутрішнього АЦП каскаду перетворення (для 1-бітного АЦП — час спрацювання компаратора),  $t_{\text{ЦАП}}$  — час формування аналогової величини на виході внутрішнього ЦАП каскаду перетворення (для 1-бітного ЦАП — час роботи комутатора).

У зв'язку з тим, що для побудови  $n$ -розрядного АЦП за 1,5 біт/каскад архітектурою АЦП повинен містити блок перетворення з  $n-1$  каскадів врівноваження, а для конвеєрних АЦП на основі НПСЧ (рис. 1, 3), в яких у кожному каскаді отримується 1 біт, блок перетворення повинен складатися з  $n \frac{\ln(2)}{\ln(\alpha)}$  каскадів врівноваження. Таким чином, самокалібровані АЦП відомих виробників світу Analog Devices, Maxim, Burr-Brown, Intersil, Motorola та ін. мають постійну структурну надлишковість, яка не залежить від характеристик і технологічної точності виготовлення елементів, блоків та вузлів. Запропоновані структури та методи дозволяють регулювати рівень надлишковості в залежності від рівня статичних похибок (тобто від технологічної точності виготовлення елементів), так як динамічні властивості елементів та блоків та вузлів не впливають на результат аналогоцифрового перетворення.

Кількість каскадів в конвеєрному АЦП на основі НПСЧ можна скоротити, якщо отримувати по 2 і більше бітів на каскад, хоча у цьому випадку ускладнюється процедура самокалібрування та архітектура каскаду врівноваження.

Архітектура 1,5 біт/каскад може бути легко адаптована для використання НПСЧ: необхідно використовувати 2 бітний  $\alpha$ -ЦАП і 2 бітний  $\alpha$ -АЦП, а коефіцієнт підсилення обирати рівним  $\alpha^2$ . У цьому випадку у кожному каскаді отримується 2-біти результату, а необхідна кількість каскадів для  $n$  розрядної двійкової точності буде дорівнювати  $n \frac{\ln(2)}{2 \ln(\alpha)}$ . Необхідна кількість каскадів в залежності від роздільної здатності для різних архітектур показана на рис. 5.

## Висновки

1. Побудова конвеєрних АЦП з використанням природної надлишковості у вигляді НПСЧ дозволяє досягти більшої точності перетворення за рахунок введення процедури самокалібрування статичних похибок.

2. Використання архітектури 2 біт/каскад у конвеєрних АЦП з ваговою надлишковістю дозволяє зменшити необхідну кількість блоків врівноваження, що входять до складу основного блоку перетворення, у порівнянні з найпопулярнішою архітектурою 1,5 біт/каскад на 10–45 %.

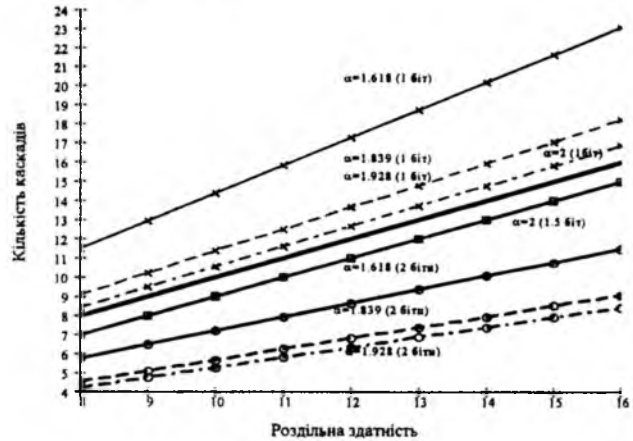


Рис. 5. Необхідна кількість каскадів в залежності від роздільної здатності для різних архітектур конвеєрних АЦП

## СПИСОК ЛІТЕРАТУРИ

1. Перебаскин А. В., Бахметьев А. А., Колосов С. О. Интегральные микросхемы: Микросхемы для аналого-цифрового преобразования и средств мультимедиа. Выпуск 1. — М.: ДОДЭКА, 1996. — 384 с.
2. Stephan Baier. High Speed Signal Processing. Burr-Brown Inc. — 1998. — P. 8.2—8.41.
3. Walt Kester. High speed sampling and high speed ADC. High speed design techniques, Analog Devices Inc. — 1999. — 93 p.
4. S. Lewis, et al, 10b 20Msample/s analog-to-digital converter // IEEE J. Solid-State Circuits. — March 1992. — Vol. 27. — P. 351—358.
5. T. Matsuura, et. al., A 92mW, 10b, 15MHz low-power CMOS ADC using analog double-sampled pipelining scheme // Symposium on VLSI Circuits Dig. Tech. Papers. — June 1992. — P. 98—99.
6. K. Nakamura, et. al., A 85mW, 10bit 40Ms/s ADC with decimated parallel architecture // Proc. IEEE Custom Integrated Circuits Conf.. — May 1994. — P. 23.1.1—23.1.14
7. P. C-W. Yu, Low-Power Design Techniques for Pipelined Analog-to-Digital Converters, Ph.D. Thesis, Massachusetts Institute of Technology. 1996. — 230 p.

Рекомендована кафедрою обчислювальної техніки

Надійшла до редакції 5.07.01  
Рекомендована до друку 27.07.01

**Азаров Олексій Дмитрович** — завідувач кафедри, **Шапошніков Олег Валентинович** — аспірант.

Кафедра обчислювальної техніки, Вінницький державний технічний університет