



УКРАЇНА

(19) UA

(11) 60376

(13) C2

(51) 7 H03M1/42

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІОПИС  
ДО ПАТЕНТУ НА ВИНАХІД

(54) КОНВЕЕРНИЙ АНАЛОГО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ

1

2

(21) 2001042378

(22) 10 04 2001

(24) 15 10 2003

(46) 15 10 2003, Бюл. № 10, 2003 р.

(72) Азаров Олексій Дмитрович, Шапошников Олег Валентинович

(73) ВІННИЦЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(56) Перебаскин А В и др Интегральные микросхемы Микросхемы для аналого-цифрового преобразования и средств мультимедиа Выпуск 1 - М, ДОДЭКА, 1996, с 20 - ISBN - 5 - 87835 - 008 - 4 SU 1381706 А1, МПК Н 03 М 1/42, публ. 15 03 1988

(57) Конвеєрний аналого-цифровий перетворювач, який містить блок перетворення з  $n$  каскадів врівноваження, блок еталонної аналогової величини, вихід якого підключений до відповідних перших входів каскадів врівноваження, та блок керування, перший вихід якого з'єднаний з входом керування блока перетворення, який відрізняється тим, що до нього введений блок пам'яті та арифметичний блок, перші входи зв'язані відповідно з другим та третім виходами блока керування, перша вхідна шина арифметич-

ного блока з'єднана з вихідною шиною блока перетворення, друга вхідна шина - з вихідною шиною блока пам'яті, перша вихідна шина - з вхідною шиною блока перетворення, друга вихідна шина, яка є інформаційним виходом пристрою, - з вхідною шиною блока пам'яті, а кожний каскад врівноваження містить вхідну шину, яка з'єднана з першим входом блока комутації, другий вхід якого з'єднаний з блоком еталонної аналогової величини, а вихід блока комутації з'єднаний із входом пристрою вибірки-зберігання, вихід якого з'єднаний із входами однобітового АЦП, цифрова вихідна шина якого з'єднана з арифметичним блоком, а також суматора аналогових величин, другий вхід якого зв'язаний з виходом однобітового ЦАП, цифрова шина якого з'єднана з арифметичним блоком, а вихід суматора аналогових величин зв'язаний із входом підсилювача аналогових величин, вихід якого є аналоговим виходом поточного каскаду врівноваження і відповідно аналоговим входом наступного каскаду врівноваження, а підсилювач аналогових величин виконаний на основі надлишкової позиційної системи числення

Винахід відноситься до інформаційно-вимірювальної та обчислювальної техніки і може бути використаний для перетворення аналогових величин у цифрові

Відомий конвеєрний АЦП, який містить блок перетворення з  $n$  каскадів врівноваження та арифметичний блок для обчислення кінцевого результату на основі цифрової інформації від блоку перетворення. Кожний каскад складається з пристрою вибірки зберігання (ПВЗ),  $m$ -розрядного АЦП,  $m$ -розрядного ЦАП, блоку підсилення різницевого сигналу. Пристрій працює таким чином: на початку перетворення вхідний аналоговий сигнал фіксується в ПВЗ і вимірюється АЦП, вихідний код якого поступає на арифметичний блок і ЦАП, а потім різниця між вхідним і компенсуючим сигналом ЦАП підсилюється і подається на вхід наступного каскаду (Перебаскин А В, Бахметьев А А, Колосов С О, Интегральные микросхемы Микро-

схемы для аналого-цифрового преобразования и средств мультимедиа Выпуск 1 - М ДОДЭКА, 1996, 384с - ISBN-5-87835-008-4 - С 20)

Основними недоліками такого конвеєрного АЦП є значна похибка перетворення, яка обумовлена значними первинними похибками аналогових вузлів. Так, наприклад, для  $n$ -розрядного конвеєрного АЦП точність  $m$ -розрядного ЦАП в кожному каскаді повинна відповідати  $n$ -розрядному, а виготовлення ПВЗ з похибкою фіксування аналогової величини не більше половини молодшого кванту для високорозрядних АЦП дуже ускладнено.

Найбільш близьким за технічною сутністю є конвеєрний АЦП, який містить блок перетворення з  $n$  каскадів врівноваження, блок джерел опорних струмів, виходи якого підключені до відповідних перших входів каскадів врівноваження, виходи яких є вихідними шинами. Для підвищення достовірності перетворення цей конвеєрний АЦП міс-

(13) C2

(11) 60376

(19) UA

тять шифратор, реєстр, перемикач, блок керування, вхід якого є шиною "Режим роботи", перший вихід підключений до керуючого входу шифратора, вихід якого є вихідною шиною "Контроль перетворення", інформаційні входи підключені до відповідних входів реєстру, інформаційні входи якого підключені до відповідних виходів блоку перетворення, вхід керування підключений до другого входу блоку керування, третій вхід якого підключений до входу керування перемикача, перший інформаційний вхід якого підключений до допоміжного виходу блоку джерел опорних струмів, другий інформаційний вхід є вхідною шиною, вихід підключений до другого входу блоку перетворення

Конвеєрний АЦП виконаний на основі коду Фібоначчі або коду "золотої" пропорції для підвищення точності перетворювання, яка досягається за рахунок введення режиму метрологічного контролю, в якому використовуються властивості симетричного вимірювального двійкового коду під час перетворення диференційного нульового вхідного сигналу, при цьому шифратор знаходить заборонені кодові комбінації у випадку погіршення метрологічних характеристик перетворювача (Конвейерный аналого-цифровой преобразователь А с 1381706 СССР Н 03 М 1/42 / А П Стахов, С М Арапов, А Д Азаров, В П Волков, Е М Арапова (СССР), - 16с, ил)

Недоліком такого конвеєрного аналого-цифрового перетворювача є низька точність, так як метрологічний контроль дозволяє лише фіксувати наявність похибки, яка перевищує задані межі, а не коригувати її

В основу винаходу поставлена задача створення високоточного конвеєрного АЦП, в якому за рахунок введення нових блоків, зв'язків між ними та окремої процедури самокалібрування статичних похибок аналогових вузлів досягається необхідний рівень похибки нелінійності перетворювача, що призводить до зменшення технічних вимог до окремих блоків та вузлів пристрою

Поставлена задача досягається тим, що конвеєрний аналого-цифровий перетворювач містить блок перетворення з  $n$  каскадів врівноваження, блок еталонної аналогової величини, вихід якого підключений до відповідних перших входів каскадів врівноваження, блок керування, перший вихід якого з'єднаний з входом керування блоку перетворення, блок пам'яті та арифметичний блок, перші входи яких є другим та третім виходами блоку керування, перша вхідна шина арифметичного блоку з'єднана з вихідною шиною блоку перетворення, друга вхідна шина - з вихідною шиною блоку пам'яті, перша вихідна шина - з вхідною шиною блоку перетворення, друга вихідна шина, яка є інформаційним виходом пристрою, - з вхідною шиною блоку пам'яті, а кожний каскад врівноваження містить вхідну шину, яка з'єднана з першим входом блоку комутації, другий вхід якого з'єднано з блоком еталонної аналогової величини, а вхід з'єднано із входом пристрою вибірки-зберігання, вихід якого з'єднаний із виходами 1-бітного-АЦП, цифрова вихідна шина якого з'єднана з арифметичним блоком, та пристрою підсумовування ана-

логових величин, другий вхід якого є виходом 1-бітним-ЦАП, цифрова шина якого з'єднана з арифметичним блоком, а вихід блоку підсумовування аналогових величин є входом блоку підсилення, вихід якого є аналоговим виходом поточного каскаду і відповідно аналоговим входом наступного каскаду, а блок підсилення виконаний на основі надлишкової позиційної системи числення

Така структура дозволяє ввести додаткову операцію цифрового самокалібрування ваг розрядів АЦП, побудованого на неточних аналогових вузлах

На кресленні (Фіг) зображена структурна схема конвеєрного АЦП

Пристрій складається з блоку перетворення 1, вихід якого з'єднано цифрою шиною з арифметичним блоком 2, який в свою чергу з'єднаний з блоком пам'яті 3 Блок еталонної аналогової величини 4 та вхідна шина 5 з'єднані зі входами блоку перетворення 1 Інформаційний цифровий вихід арифметичного блоку 2 є вихідною шиною 6 Блок керування 7 з'єднано з блоком перетворення 1 арифметичним блоком 2 та блоком пам'яті 3 Блок перетворення 1 складається з  $n$  ( $n$  - кількість розрядів вихідного коду від блоку перетворення) каскадів врівноваження 8, кожний з яких на вході містить блок комутації еталонної аналогової величини 9, до якого під'єднано вхідну шину 10 та блок еталонної аналогової величини 4, а вихід блоку комутації 9 з'єднано з першим входом пристрою вибірки - зберігання 11 (ПВЗ) Вихід ПВЗ є одночасно входом 1-бітного-АЦП 12 та суматору аналогових величин 13 Вихідна шина 1-бітного-АЦП 12 є вихідною шиною 14 каскаду перетворення 8 і з'єднана з відповідним входом арифметичного блоку 2 Вхід 1-бітного-АЦП 15 є цифрою вихідною шиною арифметичного блоку 2 і цифрою вхідною шиною 16 каскаду перетворення 8, а вихід 1-бітного-ЦАП 15 з'єднано з другим входом суматора аналогових величин 13, вихід якого з'єднано з входом пристрою підсилення аналогової величини 17, вихід якого є вихідною шиною 18 поточного каскаду врівноваження  $8^*$  та вхідною шиною 10 наступного каскаду врівноваження  $8_{i+1}$

Конвеєрний АЦП повинен бути побудований на основі надлишкової позиційної системи числення (НПСЧ), в якій будь-яке дійсне число може бути зображене у вигляді

$$N = \sum_{i=-\infty}^{+\infty} a_i \cdot Q_i$$

де  $a_i \in \{0, 1\}$  або  $a_i \in \{\bar{1}, 1\}$ ,  $Q_i = a^i$  вага відповідного  $i$ -го розряду,  $a$  - основа системи числення

Між вагами розрядів НПСЧ повинна бути рекурентна залежність, наприклад, залежність побудована на основі  $s$ -пропорції

$$Q_i = \sum_{j=i-s}^{i-1} Q_j$$

де  $s=2, 3, 4, 5 \dots$  і т д

Значення основи системи числення  $a$  для деяких  $s$ -пропорцій наведені в таблиці

Відповідність значення основи системи числення для s-пропорцій

s	1	2	3	4	5		$\infty$
a	1	1 618	1 839	1 928	1 966		2

Рекурентно залежними є також системи числення золотого р-пропорції, для яких

$$Q_i = Q_{i-1} + Q_{i-p-1}$$

де  $p=1, 2, 3, 4, 5$  При  $p=0$  НПСЧ вироджується в двійкову систему числення,  $p=1$  - систему золотого пропорції ( $a=1.618$ ),  $p=\infty$  - одиничний код

Пристрій працює таким чином. В режимі самокалібрування (допоміжний режим) проводиться  $(n-m) \cdot 2$  перетворювань, в результаті чого отримуються реальні значення ваг розрядів кожного каскаду

$$Q_i = Q_{i0} + \Delta Q_i \text{ де } Q_{i0} = a^i$$

Перші  $m$  каскадів мають свої статичні похибки  $\Delta Q_i$ , які задовольняють умови

$$Q_{i0} \leq 0.5 \cdot Q_0, \quad i=0, 1, \dots, m$$

Процедура визначення реальних ваг розрядів є такою виконується по два перетворення для кожного каскаду з підключенням на вході каскаді, що калібрується, блоку еталонної аналогової величини 4. Під час проведення першого перетворення в  $i$ -му каскаді, що калібрується, розрядний коефіцієнт 16 дорівнює "1" (примусове вмикання), а під час другого перетворення - розрядний коефіцієнт 16 дорівнює "0" (примусове вимикання). В результаті отримуємо рівняння балансу

$$Q_i + \sum_{j=0}^{i-1} (Q_j \cdot a_{j,1}) = \sum_{j=0}^{i-1} (Q_j \cdot a_{j,2})$$

$$\text{або } Q_i + \sum_{j=0}^{i-1} (Q_j \cdot a_{j,2}) = \sum_{j=0}^{i-1} (Q_j \cdot a_{j,1})$$

Де  $a_{j,1}$  - значення розрядного коефіцієнту 14 каскаду  $j$  під час першого вимірювання,  $a_{j,2}$  - значення розрядного коефіцієнту 14 каскаду  $j$  під час другого вимірювання

Рівняння балансу для кодів ваг розрядів

$$K_i + \sum_{j=0}^{i-1} (K_j \cdot a_{j,2}) = \sum_{j=0}^{i-1} (K_j \cdot a_{j,1}) \text{ , де } K_i = K(Q_i)$$

Отримані коди реальних ваг розрядів  $K_i = K(Q_i)$  заносяться у блок пам'яті 3 і потім використовуються у другому (основному) режимі - перетворення

В режимі основного перетворення в арифметичному блоці обчислюється кінцевий результат на основі отриманих в режимі самокалібрування ваг розрядів і цифрових коефіцієнтів від  $n$  каскадів. Цифровий еквівалент вхідного аналогового сигналу зображується у вигляді

$$K(A_{\text{вх}}) = \sum_{i=0}^{n-1} a_i \cdot K_i$$

де  $a_i \in \{0, 1\}$  або  $a_i \in \{\bar{1}, 1\}$ ,  $K_i$  - код вага відповідного  $i$ -го каліброваного розряду

За один такт роботи блоку перетворення кожний з  $n$  каскадів врівноваження виконує такі дії

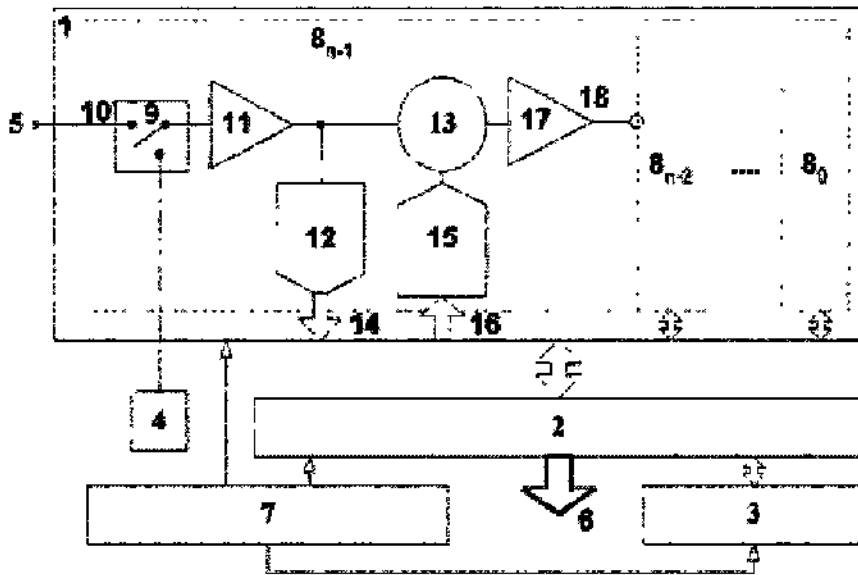
із вхідної шини 10 через блок комутації 9 аналоговий сигнал фіксується в пристрої вибірки-зберігання 11 (ПВЗ),

за допомогою 1-бітного-АЦП 12 цей сигнал перетворюється в цифровий код, який передається в арифметичний блок 2,

з арифметичного блоку на вхід 1-бітного-ЦАП 15 подається необхідний цифровий код,

на виході 1-бітного-ЦАП 15 отримується аналоговий еквівалент, який віднімається від вхідного аналогового сигналу, зафіксованого в ПВЗ 11, за допомогою суматора аналогових величин 13,

отриманий сигнал підсилюється за допомогою підсилювача аналогових величин 17 і на виході 18 отримується аналоговий еквівалент кінцевої підсиленої різниці, який на наступному такті перетворення є вхідним для наступного каскаду



Фиг.