



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3684369/24-24  
(22) 04.01.84  
(46) 15.09.85. Бюл. № 34  
(72) А.П.Стахов, А.Д.Азаров,  
В.И.Монсеев и В.Я.Стейскал  
(53) 681.325(088.8)

(56) Балакай В.Г. и др. Интегральные схемы аналого-цифровых и цифроаналоговых преобразователей. М., "Энергия", 1978, рис. 1-13, с. 45.

Гитис Э.И. Преобразователи информации для электронных цифровых вычислительных устройств. М., "Энергия", 1975, рис. 7-7а, с. 298.

(54) (57) 1. АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ, содержащий блок сравнения, блок управления, первый регистр, блок цифроаналогового преобразования, выход которого подключен к первому входу блока сравнения, второй вход которого является входной шиной устройства, а выход подключен к первому входу блока управления, второй вход которого подключен к шине запуска, а первые выходные шины подключены к соответствующим входам первого регистра, выходы которого являются выходными шинами устройства, о т л и ч а ю щ и я с я тем, что, с целью повышения быстродействия, в него введены блок элементов ИЛИ, второй регистр, постоянное запоминающее устройство, выходы которого подключены к соответствующим информационным входам второго регистра, управляющие входы которого подключены к соответствующим вторым выходным шинам блока управления,

а выходы - к соответствующим первым входам блока элементов ИЛИ, выходы которого подключены к соответствующим входам блока цифроаналогового преобразователя, а другие входы - к соответствующим выходам первого регистра.

2. Преобразователь по п. 1, о т л и ч а ю щ и я с я тем, что блок управления выполнен на генераторе тактовых импульсов,  $n$  RS-триггерах, регистре сдвига  $(n+1)$  элементах И, первые входы  $n$  из которых объединены и являются первым входом блока управления, вторые входы подключены к соответствующим И выходам регистра сдвига, выход первого элемента И подключен к R-входу первого RS-триггера, а выходы  $(n-1)$  элементов И - к соответствующим первым R-входам соответствующих  $(n-1)$  RS-триггеров, вторые R-входы которых, первый вход регистра сдвига и S-вход первого триггера объединены и являются вторым входом блока управления, S-входы  $(n-1)$  RS-триггеров подключены к соответствующим выходам регистра сдвига, выходы  $n$  RS-триггеров являются первыми выходными шинами блока управления, при этом  $(n+1)$  выход регистра сдвига подключен к инверсному входу элемента И, прямой вход которого подключен к выходу генератора тактовых импульсов, а выход - к второму входу регистра сдвига, первый выход которого и выход  $(n+1)$  элемента И являются вторыми выходными шинами блока управления.

Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования аналоговых величин в цифровые.

Цель изобретения - повышение быстродействия аналого-цифрового преобразователя.

На чертеже приведена структурная схема аналого-цифрового преобразователя.

Аналого-цифровой преобразователь содержит входную шину 1, блок 2 сравнения, блок 3 цифроаналогового преобразования, первый регистр 4, блок 5 управления, второй регистр 6, блок 7 элементов ШИП, постоянное запоминающее устройство 8 и выходные шины 9.

Выход блока 3 подключен к первому входу блока 2, второй вход которого является входной шиной 1 преобразователя, а выход подключен к первому входу блока 5 управления, второй вход которого подключен к шине запуска, первые выходные шины подключены к соответствующим входам первого регистра 4, а вторые выходные шины блока 5 подключены к управляющим входам второго регистра 6 информационных входов которого подключены к соответствующим выходам постоянно запоминающего устройства 8, а выходы - к соответствующим первым входам блока 7, выходы которого подключены к соответствующим входам блока 3, а вторые входы - к соответствующим выходам первого регистра 4, которые являются выходными шинами устройства.

Блок 5 управления содержит  $n$  RS-триггеров  $10_1 - 10_n$  ( $n+1$ ) элементов И  $11_1 - 11_{n+1}$ , регистр 12 сдвига и генератор 13 тактовых импульсов.

Блок 3 цифроаналогового преобразования (ЦАП) должен быть построен на основе избыточных измерительных кодов, к которым относятся  $r$ -коды Фибоначчи, коды "золотой"  $r$ -пропорции, а также обобщенные коды Фибоначчи.

Для аналого-цифровых преобразователей, содержащих в цепи обратной связи ЦАП, построенный на основе избыточных измерительных кодов, появление ошибок кодирования типа "Неправильное выключение разряда" не вызывает недоуравновешивания

входного сигнала  $A_x$  компенсирующим сигналом  $A_k$ .

Для исключения при аналого-цифровом преобразовании ошибки кодирования типа "Неправильное выключение разряда", в процессе уравновешивания  $A_{Bx}$  сигналом  $A_k$  вводят асимметрию, заключающуюся в том, что на каждом  $i$ -м такте поразрядного кодирования одновременно с  $i$ -м разрядом с весом  $Q_i$  включают в общем случае группу некоторых младших разрядов, имеющих суммарный вес  $\Delta Q_{\text{доп}i}$ . Значение  $\Delta Q_{\text{доп}i}$  определяется по формуле:

$$\Delta Q_{\text{доп}i} = \frac{Q_{i+1} - Q_i - Q_i + 1}{2}$$

На основании значений  $\Delta Q_{\text{доп}i}$  синтезируется код  $K_{\text{доп}}$  младших разрядов, который при изготовлении устройства заносится в постоянное запоминающее устройство 8. Если отношение  $\alpha_j$  между весом разрядов используемого кода является числом постоянным, то для формирования в процессе уравновешивания на каждом последующем  $j$ -м такте кодовой комбинации  $K_j$  доп. осуществляется сдвиг исходной кодовой комбинации  $K_{\text{доп}}$  на один разряд вправо.

Совместное включение  $i$ -го и группы некоторых младших разрядов приводит к тому, что действительный вес  $i$ -го разряда увеличивается. При этом если разность  $\Delta A = A_{Bx} - A_k$  в конце предыдущего такта уравновешивания близка к значению  $i$ -го разряда, то в текущем такте блок сравнения формирует логический сигнал, вызывающий выключение  $i$ -го разряда, и дальнейшее уравновешивание ведется разрядами с номерами, меньшими  $i$ . Таким образом, исключаются ошибки кодирования типа "Неправильное выключение разряда".

При преобразовании входной аналоговой величины в код аналого-цифровым преобразователем, содержащим ЦАП, построенный на основе избыточного двоичного кода, такая асимметрия процесса уравновешивания принципиально невозможна. В этом случае ошибка кодирования типа "Неправильное выключение разряда" приводит к тому, что входную аналоговую величину  $A_{Bx}$  нельзя уравновесить сигналом  $A_k$  с точностью до младшего разряда ЦАП. Поэтому результат преобразования  $A_{Bx}$  цифровой эквивалент

К<sub>Доп</sub> неверен. Если ЦАП аналого-цифрового преобразователя реализовать на основе избыточного измерительного кода, появляется возможность осуществить правильное аналого-цифровое преобразование при ошибках кодирования типа "Неправильное выключение разрядов". Введение асимметрии в процесс уравнивания позволяет исключить ошибки кодирования типа "Неправильное включение разряда".

Данные обстоятельства позволяют значительно уменьшить время каждого j-го такта поразрядного кодирования. При этом на каждом такте уравнивания нет необходимости осуществлять точное, например до половины младшего разряда, сравнение входного A<sub>Вх</sub> и компенсирующего A<sub>К</sub> аналоговых сигналов. Достаточно на один такт поразрядного уравнивания отводить время, необходимое для установления переходных процессов в ЦАП и блоке сравнения с погрешностью δQ. Значение δQ зависит от избыточности кода, на основании которого построен ЦАП, и определяется по формуле:

$$\delta Q = 2\alpha^{-1} - 1,$$

где α - отношение между соседними членами кода, на основании которого построен ЦАП.

Для числа Фибоначчи при p = 1, например, (α<sup>-1</sup> = 0,61803...) погрешность δQ равна δQ = 23,6%.

Устройство работает следующим образом.

На первом такте преобразования входной аналоговой величины A<sub>Вх</sub> в код K<sub>Доп</sub> по сигналу блока 15 управления устанавливается в единичное состояние старший разряд первого регистра 4, а во второй регистр 6 из постоянного запоминающего устройства 8 записывается кодовая комбинация K<sub>Доп</sub>. Через блок 7 элементов ИЛИ кодовые комбинации K<sub>1</sub> и K<sub>Доп</sub> с выходов первого и второго регистров соответственно поступают на вход блока 3, на выходе которого появляется компенсирующий аналоговый сигнал A<sub>К</sub> = (Q<sub>н-1</sub> + Q<sub>Доп</sub>), где Q<sub>н-1</sub> - вес старшего разряда блока 3.

Сравнение компенсирующего сигнала A<sub>К</sub> и входного аналогового сигнала A<sub>Вх</sub> производится при помощи блока 2 сравнения, причем выходной сиг-

нал Y<sub>1</sub> этого блока подчиняется следующему соотношению:

$$Y_1 \in \{0, 1\} = \begin{cases} 0, & \text{если } A_{Вх} < A_{К}; \\ 1, & \text{если } A_{Вх} \geq A_{К}. \end{cases}$$

При этом если на первом такте уравнивания Y<sub>1</sub> = 0, то старший разряд первого регистра 4 устанавливается в нулевое состояние, если Y<sub>1</sub> = 1, то он остается в единичном состоянии.

На втором такте аналого-цифрового преобразования по сигналу блока 5 управления содержится второго регистра 6 сдвигается на один разряд вправо, в результате чего на выходе регистра 6 появляется кодовая комбинация K<sub>Доп2</sub>. Одновременно устанавливается в единичное состояние следующий за старшим разряд в первом регистре 4. При этом на выходе блока 3 ЦАП появляется компенсирующий сигнал A<sub>К</sub>. В результате сравнения входного A<sub>Вх</sub> и компенсирующего A<sub>К2</sub> аналоговых сигналов данный разряд либо устанавливается в нулевое состояние (Y<sub>2</sub> = 0), либо остается в единичном состоянии (Y<sub>2</sub> = 1).

Устройство на любом j-м такте работает аналогично.

Работа устройства заканчивается на (n+1)-м такте поразрядного кодирования. При этом входной аналоговый сигнал A<sub>Вх</sub> уравнивается компенсирующим сигналом блока 3 ЦАП A<sub>К</sub> с точностью до единиц младшего (нулевого) разряда блока 3 ЦАП и на выходной шине 9 появляется код K<sub>Вх</sub>, являющийся цифровым эквивалентом входного аналогового сигнала A<sub>Вх</sub>.

При реализации ЦАП на основе избыточных измерительных кодов появляется возможность увеличить быстродействие аналого-цифрового преобразователя несмотря на увеличение количества тактов преобразования, вызванного увеличением количества разрядов для избыточного измерительного кода по сравнению с двоичным кодом. Коэффициент увеличения быстродействия Y<sub>δ</sub> в общем случае определяется по формуле:

$$Y_{\delta} = \frac{t_{\text{ЦАП}}}{t_{\text{ЦАП}} \cdot \delta_{\text{ЦАП}}}$$

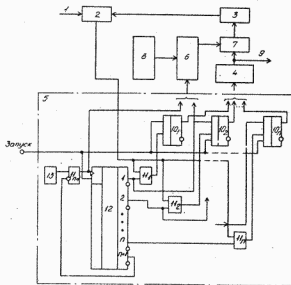
где  $t_{T_2}$  - длительность такта поразрядного кодирования двоичного АЦП;  
 $t_{T_M}$  - длительность такта поразрядного кодирования АЦП, построенного на основе избыточных кодов;  
 $\gamma_{на}$  - коэффициент удлинения разрядной сетки.

Примеч

$$\gamma_{на} = \frac{(n_2+1)n_2 \ln 2}{\ln(2^{\omega-1} + 2^{-(n_2+1)})[(n_2+1)\lg 2 / \lg(\omega+1)]}$$

где  $n_2$  - количество разрядов двоичного ЦАП,  
 Зависимость  $\gamma_{на}$  от  $n_2$  при  $\omega = 10 = 1,618 \dots$  показана в таблице.

$n_2$	6	7	8	9	10	11	12	13	14	15	16
$\gamma_{на}$	2,51	2,82	3,13	3,46	3,78	4,11	4,44	4,78	5,11	5,44	5,77



Редактор К. Волощук

Составитель В.Першиков

Техред А.Бабинец Корректор Л.Пилипенко

Заказ 5695/60

Тираж 872

Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

филиал ППП "Патент", г.Ужгород, ул.Проектная, 4