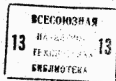




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3720066/24-24
(22) 04.04.84
(46) 07.12.85. Вул. № 45

(72) А.П.Стахов, В.И.Монсеев,
А.Д.Азаров, В.Я.Стейскал и Т.Н.Васильева

(53) 681.325(088.8)

(56) Гитис Э.И., Пискулов Е.А. Аналого-цифровые преобразователи. - М.: Энергоиздат, 1981, с. 218, рис. 6-4.

Авторское свидетельство СССР
№ 911720, кл. Н 03 К 13/02, 1982.

(54) (57) 1. АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ, содержащий блок управления, блок сравнения, цифроаналоговый преобразователь, выход которого подключен к первому входу блока сравнения, выход которого подключен к первому входу блока управления, о т л и ч а ю щ и й с я тем, что, с целью повышения его точности, в него введены первый и второй счетчики, аналоговый запоминающий блок, блок синтеза кодов, блок цифровых схем сравнения, блок регистров, элемент ИЛИ и переключатель, управляющий вход которого подключен к первому выходу блока управления, выход соединен с вторым входом блока сравнения, первый информационный вход является входной шиной преобразователя, а второй информационный вход подключен к выходу аналогового запоминающего блока, управляющий вход которого подключен к второму выходу

блока управления, а информационный вход подключен к выходу цифроаналогового преобразователя, входы которого объединены с соответствующими вторыми входами блока управления, первыми входами блока синтеза кодов, блока цифровых схем сравнения и информационными входами блока регистров и подключены к соответствующим выходам первого счетчика, первый, второй, третий и четвертый управляющие входы которого подключены соответственно к третьему, четвертому, пятому и шестому выходам блока управления, а информационные входы подключены к выходам блока синтеза кодов, вторые входы которого объединены с соответствующими входами элемента ИЛИ и подключены к соответствующим выходам блока цифровых схем сравнения, вторые входы которого подключены к соответствующим выходам блока регистров, управляющие входы которого подключены к соответствующим седьмым выходам блока управления, третий вход которого подключен к выходу элемента ИЛИ, четвертый вход является первой управляющей шиной преобразователя, пять входы являются вторыми управляющими шинами преобразователя, восьмой и девятый выходы подключены соответственно к первому и второму управляющим входам второго счетчика, входы которого являются выходными шинами преобразователя.

2. Преобразователь по п. 1, о т л и ч а ю щ и й с я тем, что блок управления выполнен на постоянном запоминающем устройстве, коммутаторе, генератор импульсов, счетчике, регис-

тре, RS-триггере, дешифраторе, цифровом блоке сравнения, первые входы которого объединены с соответствующими управляющими входами коммутатора, соответствующими информационными входами дешифратора и подключены к соответствующим выходам счетчика, вторые входы являются пятыми входами блока управления, выход подключен к первому адресному входу постоянного запоминающего устройства, второй адресный вход которого подключен к выходу коммутатора, третий и четвертый адресные входы являются соответственно первым и третьим входами блока управления, пятый, шестой, седьмой и восьмой адресные входы подключены соответственно к первому, второму, третьему и четвертому выходам регистра, управляющий вход объединен с первым управляющим входом регистра и подключен к выходу генератора импульсов, первый выход подключен к первому управляющему входу счетчика, второй выход - к управляющему входу дешифратора, третий, четвертый, пятый, шестой, седьмой, восьмой и девятый выходы являются соответственно вторым, третьим, четвертым, пятым, шестым, восьмым, девятым выходами блока управления, десятый выход подключен к S-входу RS-триггера, одиннадцатый, двенадцатый, тринадцатый и четырнадцатый выходы подключены соответственно к первому, второму, третьему и четвертому информационным входам регистра, второй управляющий вход которого объединен с R-входом RS-триг-

гера, вторым управляющим входом счетчика и является четвертым входом блока управления, при этом выход RS-триггера является первым выходом блока управления, выходы дешифратора являются седьмыми выходами блока управления, информационные входы коммутатора являются вторыми входами блока управления.

3. Преобразователь по п. 1, о т л и ч а ю щ и й с я тем, что блок синтеза кодов выполнен на $m-1$ элементах И, где m - число переходных комбинаций избыточного измерительного кода ($m = p - 2$ для кода Фибоначчи, где p - количество разрядов аналого-цифрового преобразователя), $m - 1$ инверторах, m элементах ИЛИ, первые входы которых являются первыми входами блока синтеза кодов, вторые входы - вторыми входами блока синтеза кодов и объединены, за исключением второго входа m -го элемента ИЛИ, с входами соответствующих $m-1$ инверторов, выход первого элемента ИЛИ, выходы $m-1$ элементов И и $p-m$ вни постоянно-го сигнала логического "0" являются выходами блока синтеза кодов, причем первые входы $m-1$ элементов И подключены к выходам соответствующих $m-1$ элементов ИЛИ, вторые входы объединены между собой и подключены к выходу первого инвертора, выходы с второго по $m-1$ инверторов соответственно подключены к соответствующим третьим и остальным $m-3$ входам соответствующих $m-2$ элементов И.

Изобретение относится к вычислительной и цифровой измерительной технике.

Цель изобретения - повышение точности аналого-цифрового преобразователя.

На фиг. 1 приведена структурная схема устройства; на фиг. 2 - функциональная схема блока синтеза кодов; на фиг. 3 - алгоритм работы устройства; на фиг. 4 - функциональная схема блока управления.

Аналого-цифровой преобразователь содержит блок 1 сравнения (BC) с выходом 2, цифроаналоговый преобразователь 3 (ЦАП), выполненный на основе избыточного измерительного кода, первый счетчик 4 (СТ1) с выходом 5, информационным входом 6 параллельного занесения данных и управляющими входами первым 7 обнуления, вторым 8 параллельной записи, третьим 9 прямого и четвертым 10 обратного счета импульсов, второй счетчик 11

(СТ2) с первым и вторым управляющими входами 12 и 13 прямого счета и обнуления, переключатель 14 (П) с управляющим входом 15, аналоговый запоминающий блок 16 (АЗБ) с входом 17 управления, блок 18 синтеза кода (БСК), блок 19 цифровых схем сравнения (ВЦСС) с выходом 20, блок 21 регистров (БРГ) с выходом 22 и входом 23 управления, элемент ИЛИ 24 с выходом 25; блок 26 управления (БУ), входную шину 27 (Вх) и выходные шины 28 (Вых), первую управляющую шину 29, вторые управляющие шины 30.

Входная шина 27 преобразователя, на которую подается преобразуемая аналоговая величина A_x и выход аналогового запоминающего блока 16 подключены к информационным входам переключателя 14, управляющий вход 15 которого подключен к первому выходу блока 26 управления, осуществляющего управление функционированием всего устройства и подключающего в зависимости от режима работы к входу блока 1 сравнения входную шину 27 преобразователя или выход аналогового запоминающего блока 16. Другой вход блока 1 сравнения соединен с выходом цифроаналогового преобразователя 3, соединенного также с информационным входом аналогового запоминающего блока 16, осуществляющего кратковременное хранение выходного напряжения ЦАП 3 в процессе проверки. Управляющий вход 17 аналогового запоминающего блока 16 подключен к второму выходу блока 26 управления. Блок 1 сравнения осуществляет сравнение аналоговых сигналов A_1 и A_2 на его входах, причем сигнал Y на его выходе 2, соединенном с первым входом блока 26 управления, подчиняется следующему соотношению

$$Y = \begin{cases} 1, & \text{если } A_1 \geq A_2 \\ 0, & \text{если } A_1 < A_2 \end{cases}$$

Выходы 5 первого счетчика 4 подключены ко входам цифроаналогового преобразователя 3, первым входом блока 18 синтеза кодов, блока 19 цифровых схем сравнения, информационным входом блока 21 регистров и вторым входом блока 26 управления, третий вход которого соединен с выходом 25 элемента ИЛИ. Управляющие входы 7-10 соответственно обнуления, записи, прямого и обратного счета первого счетчика 4 соединены с третьим, четвертым, пятым и шестым выходами блока

26 управления, седьмые выходы которого соединены с управляющими входами 23 блока 21 регистров, служащего для хранения в переходных кодовых комбинациях и состоящего из m регистров с параллельным занесением информации, входы записи которых представляют собой управляющие входы 23 блока 21. Выходы 22 блока 21 регистров соединены с вторыми входами блока 19 цифровых схем сравнения, осуществляющего сравнение на равенство содержимого группы разрядов первого счетчика 4 с содержимым блока 21 регистров, 15 причем выходной сигнал Z_i i -й схемы сравнения равен

$$Z_i = \begin{cases} 1, & \text{если } CT1(i) = PG(i) \\ 0, & \text{если } CT1(i) \neq PG(i) \end{cases}$$

где $i = 1, 2, \dots, m$,

$PG(i)$ - содержимое i -го регистра блока 21;

$CT1(i)$ - содержимое группы из $(n - m + i)$ младших разрядов первого счетчика 4;

n - число разрядов первого счетчика 4, определяемое разрядностью цифроаналогового преобразователя 3;

m - количество переходных кодовых комбинаций (для кода Фибоначчи $m = n - 2$).

Выходы 20 блока 19 цифровых схем сравнения соединены с входами элемента ИЛИ 24. Единичное значение сигнала $Z_1 + Z_2 + \dots + Z_m$ на выходе 25 элемента ИЛИ 24 определяет момент срабатывания блока 19. Кроме этого, выходы 20 блока 19 цифровых схем сравнения соединены с вторыми входами блока 18 синтеза кодов, выходы которого соединены с входами 6 данных первого счетчика 4.

Блок 18 синтеза кодов служит для формирования кодовой комбинации, записываемой в первый счетчик 4 после появления на его выходе 5 переходной кодовой комбинации. Комбинация для записи формируется по содержанию первого счетчика 4 и выходам сигналам блока 19 цифровых схем сравнения, причем i -й разряд ее формируется следующим образом.

$$BCK[i] = \begin{cases} 0, & \text{если } i \leq n - m \\ (Q_1 + Z_{1+m-n}) \bar{Z}_{i+m-n+1} \bar{Z}_{i+m-n+2} \dots \dots \bar{Z}_m, & i > m - n \end{cases}$$

где Q_i - i -й разряд первого счетчика 4.

Восьмой и девятый выходы блока 26 управления соединены с первым управляющим входом 12 прямого счета и вторым управляющим входом 13 обнуления второго счетчика 11, выходы которого являются выходными шинами 28 преобразователя.

Блок 18 синтеза кодов (фиг. 2) выполнен на элементах ИЛИ $31_1 - 31_m$, $m-1$ инвертора $32_1 - 32_{m-1}$, $m-1$ элементах И $33_1 - 33_{m-1}$ и содержит шину 34 постоянного сигнала логического "0".

Блок 26 управления (фиг. 4) выполнен на постоянном запоминающем устройстве 35, коммутаторе 36, генераторе импульсов 37, счетчике 38, регистре 39, RS-триггере 40, дешифраторе 41, цифровом блоке сравнения 42.

Аналого-цифровой преобразователь работает в двух режимах: режиме проверки и режиме непосредственного преобразования входной аналоговой величины A_x в цифровой двоичный код. В режиме проверки происходит определение m переходных кодовых комбинаций. Переходная кодовая комбинация i -го разряда ЦАП 3 соответствует аналоговой величине A_i ; на выходе ЦАП 3, значение которой меньше реального веса i -го разряда преобразователя на величину младшего значащего разряда. Определение переходных кодовых комбинаций начинается с разряда, вес которого отличается от двоичного веса. Так для 1 -кода Фибоначчи с младшими весами разрядов $\dots 8, 5, 3, 2, 1$ определение переходных кодовых комбинаций будет производиться с 3-го разряда.

В режиме проверки по сигналу блока 26 управления первый счетчик 4 начинает работу в режиме прямого счета импульсов до включения первого из проверяемых разрядов. При включении этого разряда аналоговая величина A_1 , установившаяся на выходе ЦАП 3, запоминается в аналоговом запоминающем блоке 16 по сигналу блока 26 управления. Выход блока 16 в режиме проверки через переключатель 14 коммутируется на вход блока 1 сравнения, величины A_1 и A_2 будут равны и сигнал Y на выходе 2 блока 1 сравнения соответственно будет равен 1. После этого блок 26 управления переводит

первый счетчик 4 в режим обратного счета импульсов до момента изменения сигнала Y на выходе 2 блока 1 сравнения. Содержимое счетчика 4 при этом будет представлять собой переходную кодовую комбинацию, которая по сигналу блока 26 управления запишется в первый регистр блока 21 регистров. Затем счетчик 4 опять переводится в режим прямого счета импульсов до включения следующего проверяемого разряда. Процедура определения 2-й и всех последующих переходных кодовых комбинаций будет аналогична определению первой. Пример определения переходных кодовых комбинаций приведен в табл. 1.

В режиме непосредственного преобразования входной аналоговой величины A_x в код преобразователь работает следующим образом.

С входной шины 27 преобразователя аналоговый сигнал A_x коммутируется на первый вход блока 1 сравнения. На второй вход блока 1 при этом поступает компенсирующий аналоговый сигнал A_k , формирующийся на выходе цифроаналогового преобразователя 3. Разность указанных величин $\Delta = A_x - A_k$ преобразуется в код методом последовательного счета. При этом счетчики 4 и 11 работают в режиме прямого счета импульсов. В процессе счета содержимое каждого из регистров РГ блока 21 регистров постоянно сравнивается при помощи блока 19 цифровых схем сравнения с соответствующей группой из $n - m + i$ разрядов счетчика 4. Здесь n - количество разрядов ЦАП, m - число переходных кодовых комбинаций, i - номер регистра, хранящего i -ю переходную комбинацию.

Если после поступления очередного счетного импульса блок 19 цифровых схем сравнения выработал сигнал $Z_i = 1$ о равенстве содержимого i -го регистра с соответствующей группой разрядов счетчика 4, то блок 26 управления переводит счетчик 4 из режима счета в режим записи. Блок 18 синтеза кода по содержимому счетчика 4 и выходным сигналам блока 19 цифровых схем сравнения формирует код, аналоговый эквивалент которого точно на величину младшего кванта больше выходной аналоговой величины ЦАП 3 на данном такте. На следующем такте происходит запись содержимого блока 18 синтеза кодов в счетчик

4, счетчик 11 при этом продолжает работу в режиме прямого счета. Затем счетчик 4 вновь переводится в режим прямого счета импульсов и функционирует в этом режиме до следующего срабатывания блока 19 цифровых схем сравнения. При достижении компенсирующим сигналом ЦАП 3 A_k величины входного сигнала A_x блок 1 сравнения вырабатывает сигнал $Y = 1$, и процесс преобразования заканчивается. Содержимое второго счетчика 11 при этом представляет собой скорректированный результат преобразования.

Пример работы устройства при $A_{вх} = 13$ приведен в табл. 2.

Функционирование устройства в режиме непосредственного преобразова-

ния входного аналогового сигнала в код может периодически прерываться для осуществления цикла поверки. Частота перехода из режима в режим определяется скоростью изменения реальных весов разрядов цифроаналогового преобразователя 3 и зависит от стабильности параметров аналоговых узлов ЦАП 3 и скорости изменения внешних условий.

Предлагаемое устройство позволяет создавать высоколинейные АЦП, построенные с применением низкочастотных цифроаналоговых преобразователей, максимальные значения относительной погрешности $\delta Q_{макс}(p)$ формирования которых определяются соотношением

$$\delta Q_{макс}(p) = \alpha_p^{-1} - \alpha_p^{p-1},$$

где α_p - основание системы счисления.

Таблица 1

Такты	6	5	4	3	2	1	Выход АЗВ 16	Выход ЦАП 3	Y	Режим	
	Реальные веса разрядов ЦАП						A2	A1			
	12	9	5	3	2	1					
1	0	0	0	0	0	0	-	-	-	+1	
2	0	0	0	0	0	1	-	-	-	+1	
3	0	0	0	0	1	0	-	-	-	+1	
4	0	0	0	0	1	1	-	-	-	+1	
5	0	0	0	1	0	0	3	3	1	-1	
6	0	0	0	0	1	1	3	3	1	-1	
7	0	0	0	0	1	0	3	2	0	010 → PГ1	
8	0	0	0	0	1	1	-	-	-	+1	
...	Прямой счет						+1
13	0	0	1	0	0	0	5	5	1	-1	
14	0	0	0	1	1	1	5	6	1	-1	
15	0	0	0	1	1	0	5	5	1	-1	
16	0	0	0	1	0	1	5	4	0	0101 → PГ2	
...	Прямой счет						+1
...	0	0	1	1	1	1	-	-	-	+1	

Продолжение табл.1

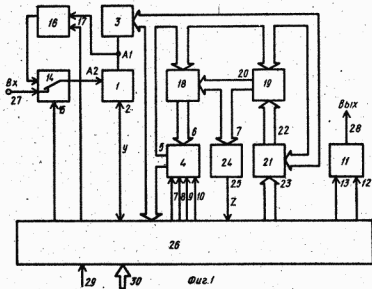
Такты	6	5	4	3	2	1	Выход АЗВ 16 A2	Выход ЦАП 3 A1	У	Режим
	Реальные веса разрядов ЦАП									
	12	9	5	3	2	1				
...	0	<u>1</u>	0	0	0	0	9	9	1	-1
...	0	0	1	1	1	1	9	11	1	-1
...	0	0	1	1	1	0	9	10	1	-1
...	0	0	1	1	0	1	9	9	1	-1
...	0	<u>0</u>	<u>1</u>	<u>1</u>	<u>0</u>	<u>0</u>	9	8	0	01100→РГ3
		...	Прямой	счет			+1
	<u>1</u>	0	0	0	0	0	12	12	1	-1
		...	Обратный	счет			12	...	1	-1
...	0	<u>1</u>	0	1	0	0	12	12	1	-1
...	0	1	0	0	1	1	12	12	1	-1
...	<u>0</u>	<u>1</u>	<u>0</u>	<u>0</u>	<u>1</u>	<u>0</u>	12	11	0	010010→РГ4

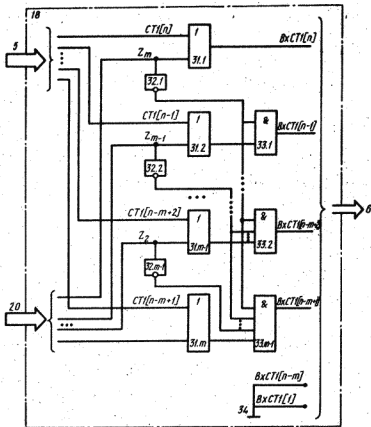
Таблица 2

Так- ты	6	5	4	3	2	1	Z	Режим счетчика 4	Содер- жимое счет- чика 11	У	Блок син- теза кодов
	Реальные веса ЦАП 3										
	12	9	5	3	2	1					
0	0	0	0	0	0	0	-	Счет	0	0	-
1	0	0	0	0	0	1	-	"-	1	0	-
2	0	0	0	0	1	0	Z ₁	Запись	2	0	000100
3	0	0	0	1	0	0	-	Счет	3	0	-
4	0	0	0	1	0	1	Z ₂	Запись	4	0	001000
5	0	0	1	0	0	0	-	Счет	5	0	-
6	0	0	1	0	0	1	-	"-	6	0	-
7	0	0	1	0	1	0	Z ₁	Запись	7	0	001100
8	0	0	1	1	0	0	Z ₃	"-	8	0	010000

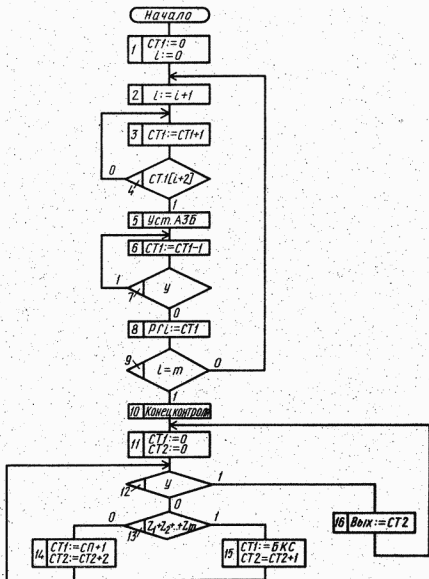
Продолжение табл. 2

Так- ты	6	5	4	3	2	1	Z	Режим счетчика 4	Содер- жимое счет- чика 11	Y	Блок син- теза кодов
	Реальные веса ЦАП 3										
	12	9	5	3	2	1					
9	0	1	0	0	0	0	-	Счет	9	0	-
10	0	1	0	0	0	1	-	"	10	0	-
11	0	1	0	0	1	0	Z ₄	Запись	11	0	100000
12	1	0	0	0	0	0	-	Счет	12	0	-
13	1	0	0	0	0	1	-	"	13	1	-

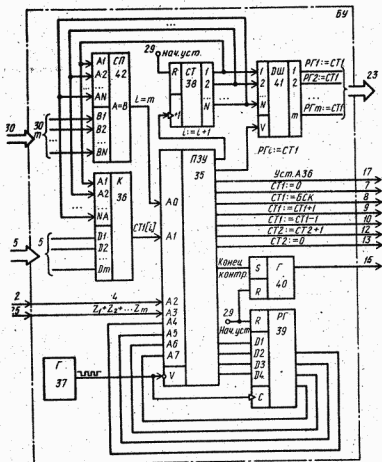




Фиг. 2



Фиг. 3



Фиг. 4

Составитель В. Данков

Редактор Л. Зайцева Техред А. Ач

Корректор Л. Патай

Заказ 7576/58

Тираж 871

Подписное

ВНИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4