



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3706544/24-24
(22) 04.01.64
(46) 23.12.85. Бюл. № 47

- (72) А.П. Стахов, А.Д. Азаров,
В.Я. Стейскал и В.В. Лысюк
(53) 681.325(088.8).

- (56) Авторское свидетельство СССР
№ 947955, кл. Н 03 К 13/02, 1982
Авторское свидетельство СССР
№ 864548, кл. Н 03 К 13/02, 1979.

(54) (57) 1. ЦИФРОАНАЛОГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ, содержащий блок управления, первые выходы которого подключены к первым входам первого блока развертки кода, а второй выход - к первому входу регистра, и преобразователь код-аналог, выход которого является выходной шиной цифроаналогового преобразователя, отличающийся тем, что, с целью повышения точности, в него введены блок элементов И, постоянное запоминающее устройство, блок определения знака кода, второй блок развертки кода, первые выходы которого подключены к третьим выходам блока управления, вторые выходы объединены с соответствующими первыми входами блока управления, соответствующими вторыми входами первого блока развертки кода и подключены к соответствующим выходам блока элементов И, первые выходы которого объединены с соответствующими третьими входами второго блока развертки кода и подключены к соответствующим выходам первого блока развертки кода,

третьи выходы которого являются входными шинами цифроаналогового преобразователя, четвертые выходы объединены с соответствующими вторыми входами блока элементов И, соответствующими входами блока определения знака кода и подключены к соответствующим выходам второго блока развертки кода, четвертые выходы которого подключены к соответствующим выходам постоянного запоминающего устройства, вход которого подключен к четвертому выходу блока управления, второй вход которого объединен с вторым входом регистра и подключен к выходу блока определения знака кода, третий вход является шиной "Запуск", при этом выходы регистра подключены к соответствующим входам преобразователя код-аналог.

2. Преобразователь по п.1, отличающийся тем, что блок управления выполнен на первом и втором счетчиках, первом и втором регистрах, генераторе тактовых импульсов, постоянном запоминающем устройстве, первый вход которого подключен к выходу первого счетчика, входы с второго по (n+1)-й, где n - число разрядов преобразуемого кода, являются первыми входами блока управления, (n+2)-й вход подключен к выходу второго счетчика, (n+3)-й вход является вторым входом блока управления, входы с (n+4)-го по (n+8)-й подключены к соответствующим выходам первого регистра, входы с первого по двенадцатый подключены к соответствующим информационным входам второго регистра, входы с три-

наддато по семнадцатый подключены к соответствующим информационным входам первого регистра, первый управляющий вход которого является третьим входом блока управления, второй управляющий вход подключен к инверсному выходу генератора тактовых импульсов, прямой выход которого подключен к управляющему входу второго регистра, выходы с первого по третий которого являются первыми выходами блока управления, выходы с

четвертого по шестой являются третьими выходами блока управления, седьмой выход является четвертым выходом блока управления, восьмой выход является вторым выходом блока управления, девятый и десятый выходы подключены соответственно к первому и второму входам первого счетчика, а одиннадцатый и двенадцатый выходы подключены соответственно к первому и второму входам второго счетчика.

1

Изобретение относится к области вычислительной и цифровой измерительной техники и может быть использовано для преобразования цифровых величин в аналоговые.

Цель изобретения - повышение точности цифроаналогового преобразователя.

На фиг.1 приведена структурная схема цифроаналогового преобразователя; на фиг.2 - функциональная схема блока управления.

Цифроаналоговый преобразователь содержит входные шины 1, первый блок 2 развертки кода, второй блок 3 развертки кода, постоянное запоминающее устройство 4, регистр 5, преобразователь 6 код-аналог, блок 7 управления, блок 8 элементов И, блок 9 определения знака кода, выходную шину 10, шину 11 "Запуск". Блок 7 управления имеет первые, второй и третий входы 12 - 14 и первые, второй, третий и четвертый выходы 15 - 18. Блок 7 управления (фиг.2) выполнен на первом и втором счетчиках 19 и 20, первом и втором регистрах 21 и 22, генераторе 23 тактовых импульсов, постоянном запоминающем устройстве 24. Блок 9 определения знака кода может быть выполнен на элементе ИЛИ, имеющем n входов, где n - число разрядов преобразуемого кода.

Преобразователь 6 код-аналог должен быть выполнен на основе избыточного измерительного кода. В этом случае наличие в определенных пределах от-

2

клонений весов разрядов от требуемых значений не приведет к разрывам выходной характеристики. К избыточным измерительным кодам относятся Р-коды Фибоначчи, коды "золотой" пропорции, коды Лука, Котса и т.д.

На окончательном этапе изготовления цифроаналогового преобразователя в постоянное запоминающее устройство записываются коды измеренных значений реальных весов разрядов преобразователя 6 код-аналог.

Работа цифроаналогового преобразователя происходит в режиме преобразования входного избыточного кода, например кода Фибоначчи, в аналоговый эквивалент. Причем, вначале входной код K преобразуется в рабочий код K_p , представляющий код реальных значений весов разрядов преобразователя 6 код-аналог. После формирования K_p этот код с выхода регистра 5 поступает на вход преобразователя 6 код-аналог, в результате чего на выходе 10 устройства появляется аналоговая величина, соответствующая входному коду K . Преобразование кода K в код K_p при помощи блоков 2 - 9 осуществляется следующим образом.

На первом такте входной код K , поступающий на вход 1 по сигналу блока 7 управления, записывается в первый блок 2 развертки кода, который функционирует в данном случае как регистр. Во второй блок 3 развертки кода переписывается кодовый эквивалент N_{n-1} реального значения веса

($n-1$)-го (старшего) разряда, хранящийся в постоянном запоминающем устройстве 4. Над содержимым блоков 2 и 3 развертки кодов выполняются операции вычитания. В формировании разности кодовых комбинаций участвуют первый блок 2 развертки кода, второй блок 3 развертки кода, блок 8 элементов И и блок 7 управления. Выполнение операции вычитания производится путем развертки кодовых комбинаций в первом блоке 2 развертки кода и установки в нулевое состояние совпадающих значащих разрядов кода, причем установка в нулевое состояние совпадающих разрядов производится после полной развертки кода.

Указанный процесс происходит до появления нулевой кодовой комбинации хотя бы в одном из блоков развертки кода. Признаком появления нулевой кодовой комбинации является отсутствие сигналов совпадения значащих разрядов кода, поступающих с выхода блока 8 элементов И. Определение знака кода разности производится анализом состояния второго блока 3 развертки кода блоком 9 определения знака кода, причем выходной сигнал Y_1 блока 9 равен нулю, если содержимое блока 3 нулевое, и Y_1 равен единице, если содержимое блока 3 ненулевое.

При этом, если на первом такте после выполнения операции вычитания $Y_1=0$, то это свидетельствует о том, что код N_{n-1} меньше входного кода K . При этом ($n-1$)-й разряд кода K_p , формируемого в регистре 5, установится в единичное состояние, а в блоке 2 развертки кодов будет находиться код равный разности кодов ($K - N_{n-1}$). Причем, на следующем такте сравнение кода N_{n-2} , вызываемого из постоянного запоминающего устройства 4, будет происходить с кодом ($K - N_{n-1}$). Если $Y_1=1$, то это свидетельствует о том, что код N_{n-1} больше кода K . При этом ($n-1$)-й разряд кода K_p установится в нулевое

состояние, а во втором блоке 3 развертки кодов будет находиться код, равный разности кодов ($N_{n-1} - K$). А так как в этом случае дальнейшее сравнение кода N_{n-2} должно происходить с входным кодом K , необходимо восстановить значение кода K в первом блоке 2 развертки кода.

Для этого код ($N_{n-1} - K$) переписывается в блок 2. При этом в блок 3 вторично записывается код N_{n-1} из постоянного запоминающего устройства 4. В результате проведения операции вычитания над содержимым этих блоков в блоке 3 развертки кода сформируется входной код K , который переписывается в блок 2.

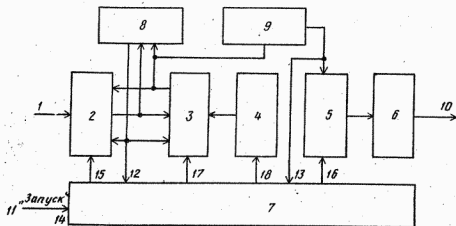
На втором такте по сигналу с блока 7 управления из постоянного запоминающего устройства 4 во второй блок 3 развертки кода записывается кодовый эквивалент N_{n-2} реального значения ($n-2$)-го разряда. Над содержимым этих блоков производится операция вычитания. При этом, если $Y_2=0$, то ($n-2$)-й разряд кода K_p установится в единичное состояние, а если $Y_2=1$, то ($n-2$)-й разряд кода K_p установится в нулевое состояние и в блоке 2 будет восстановлен код, находящийся в этом блоке до выполнения операции вычитания.

Работа устройства на любом i -м такте происходит аналогично. В регистре 5 формируется i -й разряд кода K_p , в первом блоке 2 развертки кода формируется код, зависящий от входного кода K и выходных сигналов Y , полученных в i -м и предыдущих тактах.

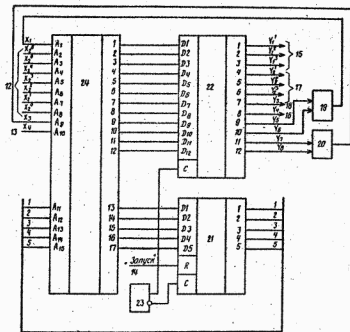
Формирование кода K_p заканчивается на n -м такте. При этом в регистре 5 находится код реальных значений весов разрядов или рабочий код K_p .

После формирования рабочего кода K_p и поступления его на вход преобразователя 6 код-аналог на выходе 10 устройства появится аналоговая величина, значение которой соответствует входному коду K .

На этом цифроаналоговое преобразование входного кода заканчивается.



Фиг. 1



Фиг. 2