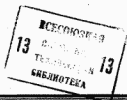




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3782904/24-24
(22) 15.08.84
(46) 30.03.86. Вул. № 12
(72) А.П.Стахов, В.И.Моисеев,
А.Д.Азárov, В.Я.Стейскал и И.П.Сте-
панова
(53) 681.325(088.8)
(56) Авторское свидетельство СССР
№ 947955, кл. Н 03 К 13/02, 1982.
Авторское свидетельство СССР
№ 864548, кл. Н 03 К 13/02, 1981.
(54) УСТРОЙСТВО ЦИФРОАНАЛОГОВОГО
ПРЕОБРАЗОВАНИЯ
(57) Изобретение относится к облас-
ти вычислительной и измерительной
техники и может быть использовано
для преобразования цифровых величин
в аналоговые. Изобретение позволяет
повысить достоверность преобразова-
ния за счет использования избыточ-
ных измерительных кодов (НИК) и
введения блока аналогового запоми-

нающего устройства, постоянного за-
поминающего устройства, сумматора,
регистра последовательного прибли-
жения, блока сравнения, второго ре-
гистра, регистра сдвига, элемента И,
оперативного запоминающего устрой-
ства, которые обеспечивают работу
устройства в режиме метрологическо-
го контроля и режиме непосредствен-
ного преобразования входного кода
в аналоговую величину. В режиме
метрологического контроля, который
основан на свойствах НИК, опреде-
ляются коды реальных значений весов
разрядов цифроаналогового преоб-
разователя, которые записываются в
оперативное запоминающее устрой-
ство и затем используются для коррек-
ции в режиме непосредственного пре-
образования входного кода в анало-
говую величину. 1 з.п. ф-лы, 4 ил.,
табл.

Изобретение относится к вычислительной и измерительной технике и может быть использовано для преобразования цифровых величин в аналоговые.

Цель изобретения - повышение достоверности преобразования.

На фиг. 1 приведена функциональная схема устройства цифроаналогового преобразования; на фиг. 2 - функциональная схема блока управления; на фиг. 3 и 4 - схема алгоритма работы устройства.

Устройство цифроаналогового преобразования (фиг. 1) содержит выходную шину 1, блок 2 аналогового запоминающего устройства (БАЗУ), цифроаналоговый преобразователь 3 (ЦАП), цифровой коммутатор 4 (ЦК), входные шины 5, первый регистр 6 (РГ), регистр 7 последовательного приближения, первую и вторую управляющие входные шины 8 и 9, блок 10 управления, первый 11, третий 12, четвертый 13, второй 14, пятый 15, седьмой 16 выходы блока 10, блок 17 сравнения (ВС), элемент И 18, регистр 19 сдвига (РГС), шестой 20, восьмой 21, девятый 22, одиннадцатый 23 и десятый 24 выходы блока 10, оперативное запоминающее устройство 25 (ОЗУ), постоянное запоминающее устройство 26 (ПЗУ), второй регистр 27, двенадцатый, тринадцатый и четырнадцатый выходы 28, 29 и 30 блока 10, сумматор 31 (СМ), первые контрольные выходные шины 32, вторая контрольная выходная шина 33, первый вход 34 блока 10, шина 35 "Запуск".

Блок 10 управления (фиг. 2) выполнен на первом и втором регистрах 36 и 37, постоянном запоминающем устройстве 38 и генераторе 39 тактовых импульсов.

Цифроаналоговый преобразователь 3 должен быть выполнен на основе избыточных измерительных кодов (ИМК) например кодов Фибоначчи, "золотой" пропорции и др.

Работа цифроаналогового преобразователя происходит в двух режимах: в режиме метрологического контроля и режиме непосредственного преобразования входного кода в аналоговую величину. В режиме метрологического контроля определяются коды реальных значений весов разрядов ЦАП 3, причем разряды ЦАП 3 делат-

ся на группы неточных (старших) разрядов и группу точных (младших) разрядов. Данный подход справедлив при формировании весов разрядов ЦАП 3 с одинаковой относительной погрешностью δ . В этом случае абсолютные отклонения ΔQ_i весов разрядов от требуемых значений Q_i для старших разрядов будут большими, а для младших - малыми. Поэтому определение кодов реальных значений весов производится только для группы из m старших разрядов. Значение m определяется из условия

$$Q_1 \leq \Delta Q_{n-m+1} + Q_2,$$

где n - количество разрядов основного ЦАП;

ΔQ_{n-m+1} - отклонение от требуемого значения веса $(n-m+1)$ -го разряда;

Q_1, Q_2 - значение весов 1 и 2-го младших разрядов соответственно.

Двоичные коды реальных значений весов младших разрядов записываются в ПЗУ 26 и используются при метрологическом контроле. Коды реальных значений весов старших разрядов определяются в результате проверки и хранятся в ОЗУ 25. Определение кодов реальных значений весов K_{P_i} начинается с $(n-m+1)$ -го разряда и осуществляется последовательно от младших разрядов к старшим. Регистр сдвига обеспечивает включение поверяемого разряда. С выхода ЦАП 3 аналоговая величина $Q_{P(n-m+1)}$ поступает в БАЗУ 2 и запоминается. Далее осуществляется процесс поразрядного уравнивания сигнала $Q_{P(n-m+1)}$ компенсирующим сигналом ЦАП 3 A_k с запрещением включения поверяемого разряда. Одновременно с этим происходит формирование в сумматоре кода реального значения веса разряда $K_{P(n-m+1)}$ по формуле

$$K_{P_j} = \sum_{i=1}^n a_i K_{P_i},$$

где $a_i \in \{0, 1\}$ - двоичная цифра в i -м разряде кода;

K_{P_i} - значение кода реального веса i -го разряда;

$$j = \overline{n-m; n}.$$

Результат вычислений записывается в ОЗУ 25. На этом процессе опре-

деление кода реального значения веса $(n-m+1)$ -го разряда заканчивается. При определении кодов реальных значений весов последующих разрядов используются реальные веса кодов, хранимые в ПЗУ 26, и значения реальных весов кодов, определяемые при проверке и записанные в ОЗУ 25. Процесс проверки на этом заканчивается.

При необходимости (по сигналу извне) содержимое ОЗУ поступает на первые контрольные выходные шины 32 устройства и используется для дальнейшей обработки.

В режиме непосредственного преобразования участвуют первый регистр 6, цифровой коммутатор 4, цифро-аналоговый преобразователь 3. Входной код, поступающий по входным шинам 5, записывается в первый регистр 6, преобразуется при помощи ЦК 4 и ЦАП 3 в выходной аналоговый сигнал $A_{\text{вых}}$. Выходной сигнал $A_{\text{вых}}$ снимается с выхода 1 устройства.

Устройство в режиме метрологического контроля работает следующим образом.

Вначале выполняется обнуление РГ 2 под действием управляющего сигнала блока 10 управления. В регистр 19 сдвига записывается код, содержащий единицу в поверяемом $(n-m+1)$ -м разряде, который через ЦК 4 под действием управляющего сигнала 15 поступает на вход ЦАП 3. Выходная аналоговая величина ЦАП 3 $Q_{p,n-m+1}$ запоминается в БАЗУ 2 и поступает на вход блока 17 сравнения. Процесс уравнивания ее выходным компенсирующим сигналом ЦАП 3 A_k происходит по методу поразрядного кодирования. Логический элемент И запрещает включение поверяемого разряда под действием управляющего сигнала

21 блока 10 управления. Сигнал 23 блока 10 управления задает выбор ячейки ПЗУ 26, содержимое которой поступает на вход сумматора 31. Суммирование кодов производится с помощью второго регистра 27 и сумматора 31. Код, сформированный в сумматоре 31, под действием управляющего сигнала 22 блока 10 управления записывается в ОЗУ 25. На этом процесс проверки $(n-m+1)$ -го разряда заканчивается.

Далее по командам блока 10 управления РГ 2 обнуляется и выполняется проверка следующего старшего разряда.

Работа устройства на любом следующем j -ом такте производится аналогичным образом. РГС 19 обеспечивает включение j -го поверяемого разряда, поступающего на вход ЦАП 3 через ЦК 4 под действием управляющих сигналов блока 10 управления. Затем выполняется процесс поразрядного уравнивания $Q_{p,j}$ компенсирующим сигналом ЦАП 3 A_k с запрещением включения поверяемого разряда.

Процесс суммирования выполняется аналогично описанному, причем производится выбор как ячеек ПЗУ 26, так и ОЗУ 25, хранящих коды реальных значений весов разрядов. В сумматоре формируется код реального значения веса разряда $K_{p,j}$, который запоминается в ОЗУ 25. Процесс метрологического контроля заканчивается при определении реального значения веса p -го разряда.

Один из возможных вариантов реализации блока управления приведен на фиг. 2. Для формирования управляющих сигналов применена последовательная схема с использованием ПЗУ.

Необходимые для управления функционированием ЦАП управляющие и условные сигналы приведены в таблице.

№ п/п	Номер связи	Обозначение	Наименование сигналов	Примечание
1	2	3	4	5
1	8	X_1	Режим 1	При $X_1=1$ - проверка
2	9	X_2	Управляющий импульс	При $X_2=2$ - выдача контрольной информации
3	34	X_3	Выходной сигнал элемента И	

Продолжение таблицы

1	2	3	4	5
4	11	X_{11}	Синхронимпульс РГ 1	
5	12	Y_1	Синхронимпульс РПП	
6	13	Y_2	Начальная установка	
7	14	Y_3	1 Адрес ЦК	При $Y_3=1$ коммутируется РГС
8	15	Y_4	2 Адрес ЦК	При $Y_4=1$ коммутируется РПП При $Y_3=1, Y_4=1$ коммутируется РГ 1
9	16	Y_5	Выборка ВАЗУ	
10	20	Y_6	Сдвиг РГС	
11	21	Y_7	Запрет	При $Y_7=0$ осуществляется запрет
12	22	Y_8	Запись-считывание ОЗУ	При $Y_8=0$ - считывание
13	23	Y_9	Выборка ПЗУ и ОЗУ	При $Y_9=1$ выборка ПЗУ
14	24	Y_{10}	Адрес ОЗУ и ПЗУ	
15	28	Y_{11}	Обнуление РГ 2	
16	29	Y_{12}	Запись РГ 2	
17	30	Y_{13}	Синхронимпульс конт-роля	

Алгоритм функционирования устройства в соответствии с приведенным описанием работы показан на фиг. 3 и 4.

Формула изобретения

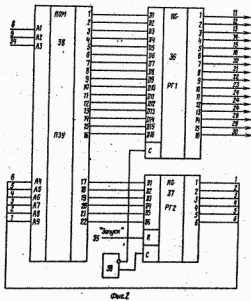
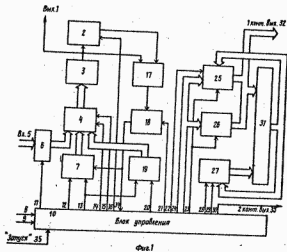
1. Устройство цифроаналогового преобразования, содержащее блок управления, цифровой коммутатор, первый регистр, информационные входы которого являются входными шинами, управляющий вход подключен к первому выходу блока управления, выходы подключены к соответствующим первым информационным входам цифро-

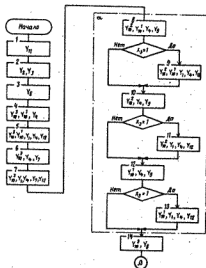
вого коммутатора, первый управляющий вход которого подключен к второму выходу блока управления, выходы подключены к соответствующим входам цифроаналогового преобразователя, выход которого является выходной шиной устройства, отличающееся тем, что, с целью повышения достоверности преобразования, введены блок аналогового запоминающего устройства, блок сравнения, второй регистр, регистр сдвига, элемент И, оперативное запоминающее устройство, постоянное запоминающее устройство, сумматор, регистр последовательного приближе-

ния, первый управляющий вход которого подключен к третьему выходу блока управления, второй управляющий вход объединен с первым управляющим входом регистра сдвига и подключен к четвертому выходу блока управления, информационный вход объединен с первым входом блока управления и подключен к выходу элемента И, выходы подключены к соответствующим вторым информационным входам цифрового коммутатора, второй управляющий вход которого подключен к пятому выходу блока управления, третьи информационные выходы подключены к соответствующим выходам регистра сдвига, второй управляющий вход которого подключен к шестому выходу блока управления, седьмой выход которого подключен к управляемому входу блока аналогового запоминающего устройства, информационный вход которого объединен с первым входом блока сравнения и подключен к выходу цифроаналогового преобразователя, выход подключен к второму входу блока сравнения, выход которого подключен к первому входу элемента И, второй вход которого подключен к восьмому выходу блока управления, девятый выход которого подключен к первому управляемому входу оперативного запоминающего устройства, десятые выходы блока управления подключены к соответствующим адресным входам оперативного и постоянно запоминающих устройств, одиннадцатый выход подключен к второму управляемому входу оперативного запоминающего устройства и к первому управляемому входу постоянного запоминающего устройства, выходы которого объединены с соответствующими выходами оперативного запоминающего устройства, являются первыми контрольными выходными шинами и подключены к соответствующим первым входам сумматора, выходы которого подключены к соответствующим информационным входам оперативного запо-

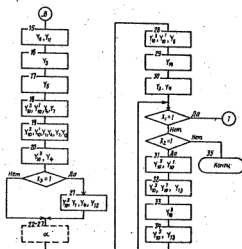
минающего устройства и второго регистра, выходы которого подключены к соответствующим вторым входам сумматора, первый и второй управляющие выходы подключены соответственно к двенадцатому и тринадцатому выходам блока управления, четырнадцатый выход которого является второй контрольной выходной шиной, второй и третий выходы являются первой и второй управляющими шинами соответственно, четвертый вход является шиной "Запуск".

2. Устройство по п. 1, отличающееся тем, что блок управления выполнен на первом и втором регистрах, генераторе тактовых импульсов и постоянном запоминающем устройстве, первый, второй и третий выходы которого являются соответственно вторым, третьим и первым входами блока управления, выходы с четвертого по девятый подключены к соответствующим выходам второго регистра, 25 выходы с первого по $\mathbb{Z}+13$, где $\mathbb{Z} = [\log_2 n] + 1$, а n - количество разрядов преобразуемого кода, подключены к соответствующим информационным входам первого регистра, выходы с $\mathbb{Z}+14$ по $\mathbb{Z}+19$ подключены к соответствующим информационным входам второго регистра, первый управляющий вход которого является четвертым входом блока управления, второй управляющий вход подключен к прямому входу генератора тактовых импульсов, инверсный выход которого подключен к управляемому входу первого регистра, первый, второй, третий, четвертый, пятый, шестой, седьмой, восьмой, девятый и десятый выходы которого являются соответственно первым, третьим, четвертым, вторым, пятым, седьмым, шестым, восьмым, девятым и одиннадцатым выходами блока управления, выходы с одиннадцатого по $\mathbb{Z}+10$ являются десятими выходами блока управления, выходы с $\mathbb{Z}+11$ по $\mathbb{Z}+13$ являются соответственно двенадцатым, тринадцатым и четырнадцатым выходами блока управления. 50





Фиг. 3



Фиг. 4

Составитель В.Першиков

Редактор М.Петрова

Техред В.Кадар

Корректор Л.Пагай

Заказ 1620/59

Тираж 816

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Финанс ППП "Патент", г. Ужгород, ул. Проектная, 4