



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3785416/24-24  
(22) 24.08.84  
(46) 30.03.86, Вых. № 12  
(72) А.П. Стахов, В.И. Мойсеев, А.Д. Азаров, В.Я. Стейскал и Т.Н. Васильева  
(53) 681.325(088.8)  
(56) Стахов А.П., Вишняков Ю.Н. О повышении информационной надежности аналого-цифровых преобразователей следящего типа, в кн: Проблемы создания преобразователей формы информации. Ч.2, Материалы III Всесоюзного симпозиума. Киев: Наукова думка, 1976, с. 16.  
Гитис Э.И. Преобразователи информации для электронных цифровых вычислительных устройств. М.: Энергия, 1975, с. 292, рис. 7-5 а.

### (54) УСТРОЙСТВО ЦИФРОАНАЛОГОВОГО ПРЕОБРАЗОВАНИЯ

(57) Изобретение относится к области автоматики и вычислительной техники и может быть использовано при построении преобразователей формы информации. Изобретение позволяет повысить точность преобразования в режиме формирования линейно изменяющегося напряжения, что обеспечивается построением цифроаналогового преобразователя (ЦАП) на основе избыточных измерительных кодов (ИК), а также введением аналогового запоминающего блока, блока синтеза кодов, блока цифровых схем сравнения и блока регистров, которые обеспечивают в режиме контроля запись в блок регистров переходных кодовых комбинаций, которые затем используются в режиме преобразования для коррекции текущих значений кода счетчика, что и обеспечивает высокую точность преобразования при использовании ЦАП низкой точности. 1 з.п. ф-лы, 2 ил., 2 табл.

Изобретение относится к автоматике и вычислительной технике и может быть использовано при построении преобразователей формы информации.

Цель изобретения - повышение точности преобразования.

На фиг. 1 показана структурная схема устройства цифроаналогового преобразования; на фиг. 2 - пример реализации блока синтеза кодов.

Устройство цифроаналогового преобразования содержит цифроаналоговый преобразователь 1 (ЦАП), счетчик 2 (СТР), блок 3 регистров (БРГ), блок 4 цифровых схем сравнения (ВССС), блок 5 синтеза кодов (БСК) с первыми и вторыми входами 6 и 7 и выходами 8, аналоговый запоминающий блок 9 (АЗБ), блок 10 сравнения (БС), блок 11 управления, содержащий первый, второй и третий элементы ИЛИ 12, 13 и 14, инвертор 15, первый, второй, третий и четвертый элементы И 16, 17, 18 и 19, первый и второй R5-триггеры 20 и 21, счетчик 22, мультиплексор 23, демультиплексор 24. Устройство ЦАП содержит также шину 25 тактовых импульсов, шину 26 управления, выходную шину 27.

Цифроаналоговый преобразователь должен быть реализован на основе избыточного измерительного кода (НИК), например кода Фибоначчи. Блок 10 сравнения осуществляет сравнение аналоговых сигналов  $A_1$  и  $A_2$  на его входах, причем сигнал на его выходе подчиняется следующему соотношению:

$$Y = \begin{cases} 0, & \text{если } A_1 \geq A_2; \\ 1, & \text{если } A_1 < A_2. \end{cases}$$

Блок 4 цифровых схем сравнения состоит из  $m$  цифровых схем сравнения и осуществляет сравнение на равенство содержимого группы разрядов счетчика 2 с содержанием блока 3 регистров, причем выходной сигнал  $Z_i$   $i$ -й схемы сравнения равен

$$Z_i = \begin{cases} 1, & \text{если } \text{СТР}(i) = \text{РГ}_i; \\ 0, & \text{если } \text{СТР}(i) \neq \text{РГ}_i, \end{cases}$$

где  $i = 1, 2, \dots, m$ ;

$\text{РГ}_i$  - содержимое  $i$ -го регистра блока 3;

$\text{СТР}(i)$  - содержимое группы из  $(p-m+i)$  младших разрядов счетчика 2;

$p$  - число разрядов счетчика 2, определяемое разрядностью ЦАП 1;

$m$  - количество переходных кодовых комбинаций (для кода Фибоначчи  $m = n - 2$ ).

Блок 5 синтеза кодов обеспечивает формирование кодовой комбинации, записываемой в СТР 2 после появления на его выходе переходной кодовой комбинации. Комбинация для записи формируется по содержимому СТР 2 и выходным сигналам  $Z_i$  ВССС 4, причем  $i$ -й ее разряд формируется следующим образом:

$$\text{БСК}[i] = \begin{cases} 0, & \text{если } i \in n - m; \\ (\text{СТР}[i] + Z_{i+m-n}) \cdot \\ \cdot \sqrt{Z_{i-m-n+1} \cdot Z_{i-m-n+2} \cdot \dots \cdot Z_m}. \end{cases}$$

Возможная схема реализации БСК 5 приведена на фиг. 2.

Устройство цифроаналогового преобразования работает в двух режимах: режиме контроля и режиме генерации линейно изменяющегося напряжения. В режиме контроля определяются переходные кодовые комбинации  $K_i$ .

Определение переходных кодовых комбинаций начинается с разряда, вес которого отличается от двоичного веса. Так, для 1 кода Фибоначчи с младшими разрядами 8, 5, 3, 2, 1 для которого проводятся все дальнейшие примеры, определение переходных кодовых комбинаций производится с 3-го разряда.

В режим контроля устройство переводится сигналом, поступающим по шине 26 управления, который устанавливает в нулевое состояние триггеры 20 и 21 блока 11 управления, записывает в счетчик 22 номер первого проверяемого разряда и через элемент ИЛИ 12 обнуляет реверсивный счетчик 2.

Единичное состояние триггеров 20 и 21 разрешает прохождение тактовых импульсов, поступающих на шину 25 тактовых импульсов устройства, на первый управляющий вход прямого счета счетчика 2.

Включение проверяемого разряда счетчика 2, выделяемого мультиплексором 23, устанавливает триггер 21 в "0" и переводит АЗБ 9 в режим запоминания аналоговой величины  $A$  с выхода ЦАП 1, соответствующей вему контролируемого разряда. Нулевым состоянием триггера 21 разрешается прохождение тактовых импульсов на третий управляющий вход обратно-

го счета счетчика 2 до момента срабатывания блока 10 сравнения. Изменения сигнала на выходе БС 10 из "0" в "1" происходит в момент равенства содержимого СТР 2 переходной кодовой комбинации проверяемого разряда. Срабатывание БС вызовет запись переходной кодовой комбинации в соответствующий разряд блока 3 регистров, установит триггер 21 в "1", переводя СТР 2 в режим прямого счета, и увеличит содержимое счетчика 22 на единицу, устанавливая тем самым код следующего контролируемого разряда. Процесс определения всех последующих переходных комбинаций будет аналогичен.

Пример определения переходных кодовых комбинаций приведен в табл. 1.

После определения всех переходных комбинаций сигнал переполнения счетчика 22 сбрасывает счетчик 2 и установит триггер 20 в "0", переводя устройство в режим генерации линейно изменяющегося напряжения.

Тактовые импульсы поступают на шину 25 тактовых импульсов устройства. Счетчик 2 осуществляет преобразование числа входных импульсов в соответствующий рабочий код, в результате чего на выходе ЦАП 1 появляется аналоговый сигнал, величина которого пропорциональна количеству импульсов, поступающих на вход устройства, причем счетчик 2 начинает работу в режиме прямого счета, импульсы на соответствующий вход проходят через элементы 14 и 17. В процессе работы содержимое каждого из регистров РГ БРГ 3 постоянно сравнивается при помощи БЦСС 4 с соответствующей группой разрядов счетчика 2.

Если после поступления очередного счетного импульса БЦСС 4 выработал сигнал  $Z_i = 1$  равенства содержимого  $i$ -го регистра с соответствующей группой разрядов счетчика 2, то единственный сигнал на выходе элемента ИЛИ 13 переводит счетчик 2 в режим записи. Блок 5 синтеза по содержимому счетчика 2 и выходным сигналам блока 4 цифровых схем сравнения формирует код, аналоговый эквивалент которого точно на величину младшего кванта больше выходной аналоговой величины ЦАП 1 на данном такте. На следующем такте происходит запись содержимого БСК 5 в счетчик 2. Затем

СТР 2 продолжает свою работу либо в режиме прямого счета, либо в режиме записи в зависимости от сигналов БЦСС 4.

5 Пример функционирования устройства в режиме генерации линейно изменяющегося напряжения показан в табл. 2.

10 Функционирование устройства в режиме генерации линейно изменяющегося напряжения периодически прерывается и осуществляется цикл проверки. Частота перехода из режима в режим определяется скоростью изменения реальных весов разрядов ЦАП 1 и зависит от стабильности параметров аналоговых узлов ЦАП 1 и от скорости изменения внешних условий.

20 Формула изобретения

Устройство цифроаналогового преобразования, содержащее блок управления, первый вход которого является шиной управления, второй вход - шиной тактовых импульсов, первый выход подключен к первому управляющему входу счетчика, выходы которого подключены к соответствующим входам цифроаналогового преобразователя, выход которого является выходной шиной устройства и подключен к первому входу блока сравнения, выход которого подключен к третьему входу блока управления, о т л и ч а ю щ е с я т е м , ч т о , с целью повышения точности, введены аналоговый запоминающий блок, блок синтеза кодов, блок цифровых схем сравнения, блок регистров, информационные входы которого объединены с соответствующими первыми входами блока цифровых схем сравнения и блока синтеза кодов, соответствующими четвертыми входами блока управления и входами цифроаналогового преобразователя, управляющие входы блока регистров подключены к соответствующим вторым выходам блока управления, выходы подключены к соответствующим вторым входам блока цифровых схем сравнения, выходы которого подключены к соответствующим пятым входам блока управления и вторым входам блока синтеза кодов, выходы которого подключены к соответствующим информационным входам счетчика, второй, третий и четвертый управляющие входы которого подключены соответственно к третьему, четвертому и пятому выходам блока

управления, шестой выход которого подключен к управляемому входу аналогового запоминающего блока, информационный вход которого объединен с первым входом блока сравнения, а выход подключен к второму входу блока сравнения.

2. Устройство по п. 1, отличающееся тем, что блок управления выполнен на первом, втором и третьем элементах ИЛИ, инверторе, первом, втором, третьем и четвертом элементах И, счетчике, мультиплексоре, демультимплексоре, первом и втором RS-триггерах, первый S-вход второго RS-триггера объединен с первым входом первого элемента ИЛИ, первым управляющим входом счетчика, S-входом первого RS-триггера и является первым входом блока управления, второй S-вход объединен с вторым управляющим входом счетчика, информационным входом демультимплексора и является третьим входом блока управления, R-вход подключен к выходу мультиплексора, который является шестым выходом блока управления, прямой и инверсный выходы подключены соответственно к первым входам третьего и четвертого элементов И, вторые входы которых объединены с первыми входами первого и второго элементов И и являются вторым вхо-

дом блока управления, третьи входы объединены и подключены к прямому выходу первого RS-триггера, R-вход которого объединен с вторым входом первого элемента ИЛИ и подключен к выходу переполнения счетчика, инверсный выход подключен к вторым входам первого и второго элементов И, выход первого элемента И является третьим выходом блока управления, третий вход первого элемента И объединен с входом инвертора и подключен к выходу второго элемента ИЛИ, входы которого являются пятыми входами блока управления, выход инвертора подключен к третьему входу второго элемента И, выход которого подключен к первому входу третьего элемента ИЛИ, второй вход которого подключен к выходу третьего элемента И, выход является первым выходом блока управления, выход четвертого элемента И является четвертым выходом блока управления, выход первого элемента ИЛИ является пятым выходом блока управления, при этом выходы счетчика подключены к соответствующим адресным входам мультиплексора и демультимплексора, информационные входы мультиплексора являются четвертыми входами блока управления, выходы демультимплексора являются вторыми входами блока управления.

Т а б л и ц а 1

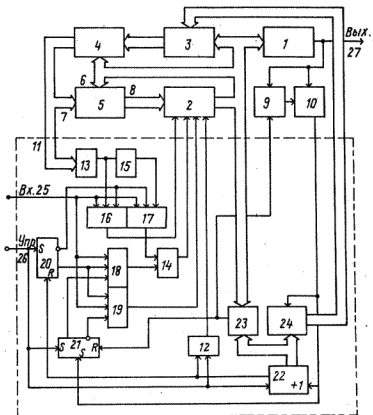
Такт	Разряд счетчика 2						Выход АЗБ 9, А <sub>2</sub>	Выход ЦАП 1, А <sub>1</sub>	У	Режим
	6	5	4	3	2	1				
	Реальный вес разряда ЦАП 1									
	12	9	5	3	2	1				
1	0	0	0	0	0	0	-	-	-	+1
2	0	0	0	0	0	1	-	-	-	+1
3	0	0	0	0	1	0	-	-	-	+1
4	0	0	0	0	1	1	-	-	-	+1
5	0	0	0	1	0	0	3	3	0	-1
6	0	0	0	0	1	1	3	3	0	-1
7	0	0	0	0	0	1	3	2	1	010-РГ1
8	0	0	0	0	1	1	-	-	-	+1

Продолжение табл.1

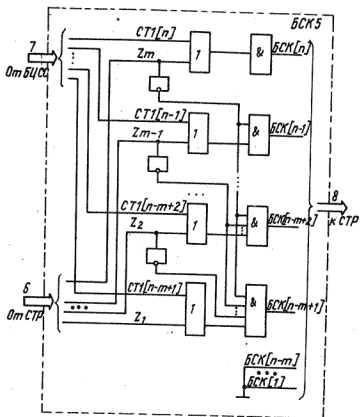
Такт	Разряд счетчика 2						Выход АЗБ 9, А <sub>2</sub>	Выход ЦАП 1, А <sub>1</sub>	Y	Режим
	6	5	4	3	2	1				
	Реальный вес разряда ЦАП 1									
	12	9	5	3	2	1				
	Прямой счет						..	..	..	+1
13	0	0	<u>1</u>	0	0	0	5	5	0	-1
14	0	0	0	1	1	1	5	6	0	-1
15	0	0	0	1	1	0	5	5	0	-1
16	0	0	0	1	0	1	5	4	1	0101-РГ2
...	Прямой счет						...	...	...	+1
...	0	0	1	1	1	1	-	-	-	+1
...	0	<u>1</u>	0	0	0	0	9	9	0	-1
...	0	0	1	1	1	1	9	11	0	-1
...	0	0	1	0	1	0	9	10	0	-1
...	0	0	1	1	0	1	9	9	0	-1
...	0	0	1	1	0	0	9	8	1	01100-РГ3
	Прямой счет									+1
	<u>1</u>	0	0	0	0	0	12	12	0	-1
	Обратный счет						12	...	0	-1
...	0	1	0	1	0	0	12	12	0	-1
...	0	1	0	0	1	1	12	12	0	-1
...	0	1	0	0	1	0	12	11	1	010010-РГ4

Такт	Разряд счетчика 2						Z	Режим счетчика 2	A <sub>1</sub>	ВСК 5
	6	5	4	3	2	1				
	Реальный вес ЦАП 1									
	12	9	5	3	2	1				
0	0	0	0	0	0	0	-	Счет	0	
1	0	0	0	0	0	1	-	Счет	1	
2	0	0	0	0	1	0	Z <sub>1</sub>	Запись	2	000100
3	0	0	0	1	0	0	-	Счет	3	-
4	0	0	0	1	0	1	Z <sub>2</sub>	Запись	4	001000
5	0	0	1	0	0	0	-	Счет	5	-
6	0	0	1	0	0	1	-	Счет	6	-
7	0	0	1	0	1	0	Z <sub>1</sub>	Запись	7	001100
8	0	0	11	1	0	0	Z <sub>3</sub>	Запись	8	010000
9	0	1	0	0	0	0	-	Счет	9	-
10	0	1	0	0	0	1	-	Счет	10	-
11	0	1	0	0	1	0	Z <sub>4</sub>	Запись	11	100000
12	1	0	0	0	0	0	-	Счет	12	-
13	1	0	0	0	0	1	-	Счет	13	-

и т.д.



Фиг. 1



фиг. 2

Редактор М.Петрова                      Составитель В. Першков  
 Техред Л.Олейник                      Корректор М.Самборская

Заказ 1621/60                      Тираж 816                      Подписное

ВНИИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ПОП "Патент", г. Ужгород, ул. Проектная, 4