



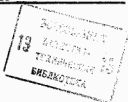
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) **SU** (11) 1223368 **A**

СССР 4 Н 03 М 1/26

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3774406/24-24  
(22) 01.08.84  
(46) 07.04.86. Вул. № 13  
(72) А.И.Стахов, А.Д.Азаров,  
В.Я.Стейскал, В.В.Лысюк и Р.Г.Алек-  
санда  
(53) 681.325(088.8)  
(56) Авторское свидетельство СССР  
№ 788372, кл. Н 03 К 13/02, 1980.  
Авторское свидетельство СССР  
№ 790285, кл. Н 03 К 13/02, 1980.

(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВА-  
ТЕЛЬ

(57) Изобретение относится к вычис-  
лительной и цифровой измерительной  
технике и может быть использовано  
для преобразования аналоговых вели-  
чин в цифровые. Оно позволяет повы-

сить достоверность преобразования  
за счет применения в аналого-цифро-  
вом преобразователе (АЦП) поразряд-  
ного кодирования избыточных измери-  
тельных кодов (ИИК). Построение циф-  
роаналогового преобразователя на ос-  
нове ИИК, а также введение первого  
и второго блоков элементов ИЛИ, вто-  
рого блока элементов И, второго  
блока развертки кодов, второго ре-  
гистра, блока постоянной памяти и  
генератора тактовых импульсов позво-  
ляют проводить ускоренный метрологи-  
ческий самоконтроль АЦП, не ухудшая  
быстродействия АЦП в режиме преоб-  
разования входного сигнала, что  
обеспечивает повышение достоверно-  
сти преобразования. 2 з.п. ф-лы,  
4 ил.

СССР **SU** (11) 1223368 **A**

Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования аналоговых величин в цифровые.

Цель изобретения - повышение достоверности аналого-цифрового преобразователя.

На фиг. 1 приведена функциональная схема аналого-цифрового преобразователя (АЦП); на фиг. 2 - функциональная схема блока управления; на фиг. 3 и 4 - граф-схема алгоритма работы устройства.

Аналого-цифровой преобразователь содержит входную шину 1, блок 2 сравнения, цифроаналоговый преобразователь 3 (ЦАП), второй регистр 4 (2РГ), первый блок 5 развертки кода (1БРК), первый блок 6 элементов ИЛИ, второй блок 7 элементов ИЛИ, второй блок 8 элементов И (1ВЛЭ И), второй блок 9 развертки кодов (2БРК), блок 10 управления, генератор 11 тактовых импульсов, выходные информационные шины 12, выходные контрольные шины 13. Блок 10 управления содержит выходы 14-22 с первого по девятый и входы 23-25 с первого по третий. АЦП содержит также первый блок элементов И 26 и первый регистр 27 (1РГ).

Блок 10 управления (фиг. 2) выполнен на первом и втором регистрах 28 и 29, инверторе 30, постоянном запоминающем устройстве 31 (ПЗУ).

Цифроаналоговый преобразователь (ЦАП) 3 должен быть построен на основе избыточного измерительного кода (ИИК), например кода Фибоначчи или "золотой" пропорции. Аналого-цифровые преобразователи, построенные на основе избыточных измерительных кодов, обладают многозначностью выходной характеристики, что позволяет проводить контроль их метрологических характеристик. В основе контроля лежит представление одной аналоговой величины различными кодовыми комбинациями и сравнение последних между собой. При этом, если веса разрядов АЦП не имеют отклонений от требуемых значений, то этим кодовым комбинациям будет соответствовать один аналоговый эквивалент. Если веса разрядов АЦП имеют отклонения от требуемых значений, то различным кодовым комбинациям

будут соответствовать различные аналоговые эквиваленты.

Данное обстоятельство лежит в основе контроля предлагаемого аналого-цифрового преобразователя. При этом различные кодовые комбинации, необходимые для проведения контроля, получаются при уравнивании входного сигнала с различными длительностями такта кодирования.

Известно, что для АЦП, построенного на основе неизбыточного двоичного кода, существует минимально возможная длительность такта поразрядного кодирования  $t_{2,min}$ , при которой аналого-цифровое преобразование будет проводиться правильно. Величина  $t_{2,min}$  при условии, что входной сигнал ЦАП устанавливается по экспоненциальному закону, определяется соотношением

$$t_{2,min} = C \cdot 69C(n_2 + 1),$$

где  $C$  - постоянная времени ЦАП;  $n_2$  - количество тактов поразрядного кодирования.

Если длительность такта поразрядного кодирования будет меньше значения  $t_{2,min}$ , то возможно, что уравнивание произойдет неверно вследствие появления ошибок уравнивания типа "неправильное включение разряда".

Для аналого-цифровых преобразователей, содержащих в цепи обратной связи ЦАП, построенный на основе избыточных измерительных кодов, вследствие наличия избыточности у последнего, появление ошибок кодирования типа "неправильное включение разряда" не вызовет недоуравнивания входного сигнала  $A_{вх}$  компенсирующим сигналом ЦАП  $A_{ц}$ .

Для того, чтобы при аналого-цифровом преобразовании исключить ошибку кодирования типа "неправильное включение разряда" в процессе уравнивания  $A_{вх}$  сигналом  $A_{ц}$  вводят асимметрию, заключающуюся в том, что на каждом  $P$ -м такте поразрядного кодирования одновременно с  $P$ -м разрядом с весом  $Q_P$  включают группу некоторых младших разрядов, имеющих суммарный вес  $\Delta Q_{доп}$ . Значение  $\Delta Q_{доп}$  определяется по формуле

$$\Delta Q_{доп} = \frac{\sum_{i=0}^{P-1} Q_i \cdot Q_P + 1}{2}$$

На основании значений  $\Delta Q_{\text{доп } 1}$  синтезируется код  $K_{\text{доп } 1}$  младших разрядов, который при изготовлении устройства заносится в блок постоянной памяти.

Если отношение  $\kappa$  между весами разрядов используемого кода является числом постоянным, то для формирования в процессе уравнивания на каждом последующем  $j$ -м такте кодовой комбинации  $K_{j \text{ доп}}$  осуществляется сдвиг исходной кодовой комбинации  $K_{\text{доп}}$  на один разряд вправо.

Совместное включение 1-го и групп некоторых младших разрядов приводит к тому, что действующий вес 1-го разряда увеличивается. При этом, если разность  $\Delta A = A_{\text{вх}} - A_{\text{к}}$  в конце предыдущего такта уравнивания была близка к значению 1-го разряда, то в текущем такте блок сравнения сформирует логический сигнал, вызывающий выключение 1-го разряда и дальнейшее уравнивание ведется разрядами с номерами меньше 1.

Таким образом, исключаются ошибки кодирования типа "неправильное включение разряда".

При преобразовании входной аналоговой величины в код аналого-цифрового преобразователя, содержащим ЦАП, построенный на основе неизбиточного двоичного кода, такая асимметрия процесса уравнивания принципиально невозможна. В этом случае ошибка кодирования "неправильное выключение разряда" приведет к тому, что входную аналоговую величину  $A_{\text{вх}}$  нельзя будет уравновесить сигналом  $A_{\text{к}}$  с точностью до младшего разряда ЦАП. Поэтому результат преобразования  $A_{\text{вх}}$  в цифровой эквивалент  $K_{\text{вых}}$  будет неверным. Если ЦАП аналого-цифрового преобразователя реализовать на основе избыточно измерительного кода, то появляется возможность осуществить правильное аналого-цифровое преобразование при ошибках кодирования типа "неправильное выключение разряда". Введение же асимметрии в процесс уравнивания позволяет исключить ошибки кодирования типа "неправильное включение разряда".

Данные обстоятельства позволяют значительно уменьшить время каждо-

го  $j$ -го такта поразрядного кодирования. При этом на каждом такте уравнивания нет необходимости осуществлять точное, например до половины младшего разряда, сравнение  $A_{\text{вх}}$  и компенсирующего  $A_{\text{к}}$  аналоговых сигналов. Достаточно на один такт поразрядного уравнивания отводить время, необходимое для установления переходных процессов в ЦАП и блоке сравнения с погрешностью  $\delta Q$ . Значение  $\delta Q$  зависит от избыточности кода, на основании которого построен ЦАП, и определяется по формуле

$$\delta Q = 2\kappa^{-1},$$

где  $\kappa$  - отношение между соседними членами кода, на основании которого построен ЦАП.

Для чисел Фибоначчи при  $r=1$  ( $\kappa = 0,61803\dots$ ) погрешность  $\delta Q$ , выраженная в процентах, будет равна  $\delta Q = 23,6\%$ .

Таким образом, построение ЦАП, на основе ИИК и незначительное изменение алгоритма поразрядного кодирования позволяет производить правильное аналого-цифровое преобразование при значительном уменьшении длительности такта кодирования по отношению к номинальному значению. Данное обстоятельство используется для контроля аналого-цифрового преобразователя.

Работа устройства происходит в режиме непосредственного преобразования входного сигнала в код в двух циклах. Причем длительность одного такта поразрядного кодирования в первом цикле равна  $t_1(t_1 \geq t_{1 \text{ мин}})$ , а длительность одного такта поразрядного кодирования во втором цикле равна  $t_2(t_2 < t_{2 \text{ мин}})$ .

В первом цикле преобразование входной аналоговой величины в код происходит классическим методом поразрядного уравнивания с помощью блоков 2, 3, 4, 16, 6, 10 и 11, причем второй регистр 4 находится в нулевом состоянии в течение всего цикла кодирования.

Сравнение компенсирующего сигнала  $A_{\text{к}}$  и входного аналогового сигнала  $A_{\text{вх}}$  производится при помощи блока 2 сравнения, причем выходной сигнал  $X_1$  этого блока подчиняется следующему соотношению

$$Y_j \in \{0, 1\} = \begin{cases} 0, & \text{если } A_{Bk} < A_{Kj} \\ 1, & \text{если } A_{Bk} \geq A_{Kj} \end{cases}$$

Процесс кодирования заканчивается на  $n$ -м такте поразрядного кодирования. При этом входной аналоговый сигнал  $A_{Bk}$  уравновешен компенсирующим сигналом  $A_{Kk}$  ЦАП 3 с точностью до половины младшего разряда ЦАП 3 и на выходных информационных шинах 12 устройства появится код  $K_1$ , являющийся цифровым эквивалентом входного аналогового сигнала  $A_{Bk}$ .

На  $(n+1)$ -м такте происходит запись кода  $K_1$  из первого регистра 26 во второй блок 9 развертки кода и по сигналу блока 10 управления управляемый генератор 11 переменной частоты изменяет частоту задающих импульсов с  $f_r$  на  $f_r^n$ .

Во втором цикле на первом такте преобразования входной аналоговой величины  $A_{Bk}$  в код  $K_2$  по сигналу блока 10 управления устанавливается в единичное состояние  $(n-1)$ -й разряд первого регистра 27 и во второй регистр 4 записывается кодовая комбинация  $K_{A_{0n-1}}$ , которая поступает на первый блок 6 логических элементов ИЛИ. Затем кодовые комбинации через первый блок 6 логических элементов ИЛИ поступают на вход ЦАП 3, на выходе которого появится компенсирующий аналоговый сигнал  $A_{Kk} = Q_{n-1} + Q_{A_{0n-1}}$ , где  $Q_{n-1}$  - вес старшего разряда ЦАП.

Сравнение компенсирующего сигнала  $A_{Kk}$  и входного аналогового сигнала  $A_{Bk}$  производится при помощи блока 2 сравнения.

На втором такте аналого-цифрового преобразования по сигналу блока 10 управления содержимое второго регистра 4 сдвигается на один разряд вправо, в результате чего на выходе второго регистра 4 появится кодовая комбинация  $K_{A_{0n-2}}$ . Одновременно устанавливается в единичное состояние  $(n-2)$ -й разряд первого регистра 27. При этом на выходе ЦАП 3 появляется компенсирующий сигнал  $A_{Kk}$ .

Работа устройства на любом  $j$ -м такте происходит аналогично. В первом регистре 27 устанавливается в единичное состояние  $(n-j)$ -й разряд, содержимое второго регистра 4 сдвигается на один разряд вправо, в результате чего на выходе второго ре-

гистра 4 появится кодовая комбинация  $K_{A_{0n-j}}$ . На выходе ЦАП 3 появится компенсирующий аналоговый сигнал  $A_{Kk}$ , который сравнивается с сигналом  $A_{Bk}$  при помощи блока 2 сравнения. По сигналу  $Y_j$   $(n-j)$ -й разряд либо остается в единичном состоянии ( $Y_j=1$ ), либо устанавливается в нулевое состояние ( $Y_j=0$ ).

Процесс кодирования заканчивается на  $n$ -м такте поразрядного кодирования. При этом входной аналоговый сигнал  $A_{Bk}$  уравновешен компенсирующим сигналом  $A_{Kk}$ . ЦАП 3 с точностью до половины младшего разряда и на выходных информационных шинах 12 устройства появится код  $K_2$ , являющийся цифровым эквивалентом входного аналогового сигнала  $A_{Bk}$ . На  $(n+1)$ -м такте происходит запись кода  $K_2$  из первого регистра 16 в первый блок 5 развертки кода.

Над содержимыми блоками 5 и 9 развертки кодов выполняется операция вычитания. В формировании разности кодовых комбинаций участвуют первый блок 5 развертки кода, второй блок 9 развертки кода, второй блок 8 элементов И и блок 10 управления. Выполнение операции вычитания производится путем развертки кодовых комбинаций в первом блоке 5 развертки кода и во втором блоке 9 развертки кода и установки в нулевое состояние совпадающих значащих разрядов кода, причем установка в нулевое состояние совпадающих разрядов производится после полной развертки кода. Указанный процесс происходит до появления нулевой кодовой комбинации хотя бы в одном из блоков развертки кода. Признаком появления нулевой кодовой комбинации является отсутствие сигналов совпадения значащих разрядов кода, поступающих с выхода второго блока 8 логических элементов И.

После выполнения операции вычитания содержимое одного из блоков 5 или 9 через второй блок 7 элементов ИЛИ и первый блок 26 логических элементов И, при наличии разрешающего сигнала от блока 10 управления, поступает на контрольные выходные шины 13 устройства. Наличие ненулевого кода на контрольном выходе 13 свидетельствует о наличии и величине отклонений весов разрядов ЦАП от требуемых значений.

Блок 10 управления может быть синтезирован различными методами. Например, он может быть выполнен на основе автомата с памятью или по принципу программного управления.

Один из возможных вариантов реализации блока управления приведен на фиг. 2. Для формирования управляющих сигналов применена последовательная схема с использованием ЦЗУ.

Необходимые для управления функционирования АЦП управляющие и условные сигналы приведены в таблице.

Алгоритм функционирования устройства в соответствии с вышеприведенным описанием работы для  $n=8$  показан на фиг. 3 и 4.

Алгоритм состоит из вершин:

1. в.1-17 - обнуление 2РГ и уравнивание входной аналоговой величины при  $t_1 \geq t_{2 \min}$ ;
2. в.18 - изменение частоты  $\Gamma$  с  $f_r$  на  $f_r^*$  в 2РГ переписывается из БПШ дополнительная кодовая комбинация и в 2БРК переписывается содержимое 1РГ;
3. в.19-35 - происходит уравнивание входной аналоговой величины при  $t_2 < t_{2 \min}$ ;
4. в.36 - в 1БРК переписывается содержимое 1РГ;
5. в.37-39 - выполняется операция вычитания путем установивание в нулевое состояние совпадающих значащих разрядов кода;
6. в.40 - сигнал разрешения для поступления информации на контрольный выход.

#### Ф о р м у л а   и з о б р е т е н и я

1. Аналого-цифровой преобразователь, содержащий блок сравнения, первый вход которого является входной шиной, второй вход подключен к выходу цифроаналогового преобразователя, блок управления, первый выход которого подключен к управляющему входу первого регистра, выходы которого подключены к соответствующим первым информационным входам первого блока развертки кодов, первый и второй управляющие входы которого под-

ключены соответственно к второму и третьему выходам блока управления, четвертый выход которого подключен к первому входу первого блока элементов И, выходы которого являются выходными контрольными шинами, от которых а ю щ и е с я тем, что, с целью повышения достоверности преобразования, в него введены первый и второй блоки элементов ИЛИ, второй блок элементов И, второй блок развертки кодов, второй регистр, блок постоянной памяти, генератор тактовых импульсов, вход которого подключен к пятому выходу блока управления, а выход - к первому входу блока управления, шестой, седьмой и восьмой выходы которого подключены соответственно к первому, второму и третьему управляющим входам второго регистра, информационные входы которого подключены к соответствующим выходам блока постоянной памяти, а выходы - к соответствующим первым входам первого блока элементов ИЛИ, выходы которого подключены к соответствующим входам цифроаналогового преобразователя, вторые входы объединены с соответствующими первыми информационными входами второго блока развертки кодов и подключены к соответствующим выходам первого регистра, которые являются выходными информационными шинами; первый управляющий вход второго блока развертки кодов подключен к девятому выходу блока управления, второй управляющий вход объединен с вторым управляющим входом первого блока развертки кодов, а вторые информационные входы объединены с соответствующими вторыми информационными входами первого блока развертки кодов, вторыми входами блока управления и подключены к соответствующим выходам второго блока элементов И, первые входы которого объединены с соответствующими первыми входами второго блока элементов ИЛИ и подключены к соответствующим выходам первого блока развертки кодов, а вторые входы объединены с соответствующими вторыми входами второго блока элементов ИЛИ и подключены к соответствующим выходам второго блока развертки кодов, выходы второго блока элементов ИЛИ подключены к соответствующим вторым входам первого блока элементов И, при этом информационный вход первого регистра подключен к выходу бло-

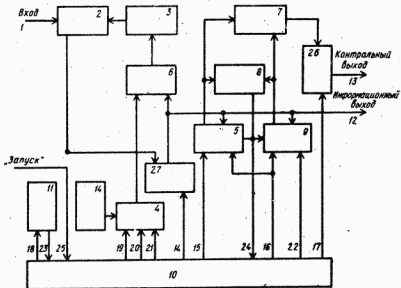
ка сравнения, а третий вход блока управления является шиной "Залуск".

2. Преобразователь по п. 1, о т л и ч а ю щ и й с я тем, что блок управления выполнен на первом и втором регистрах, инверторе, постоянном запоминающем устройстве, п вхо- дов которого, где п - число разрядов аналого-цифрового преобразова- теля, являются вторыми входами бло- ка управления, входы с  $n+1$  по  $n+6$  подключены к соответствующим выхо- дам второго регистра, выходы с перво- го по девятый подключены к соот- ветствующим информационным входам первого регистра, выходы с десятого

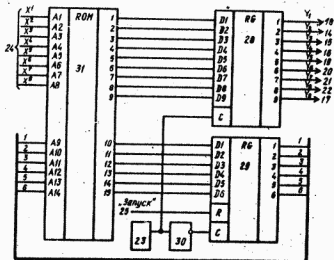
по пятнадцатый подключены к соот- ветствующим информационным входам второго регистра, первый управля- ющий вход которого является третьим входом блока управления, второй уп- равляющий вход подключен к выводу инвертора, вход которого объединен с управляющим входом второго регист- ра и является первым входом блока управления, первый, второй, третий, четвертый, пятый, шестой, седьмой, восьмой и девятый выходы блока уп- равления являются соответственно пятым, первым, вторым, третьим, шес- тым, седьмым, восьмым, девятым и четвертым выходами блока управления.

Номер связи	Обозна- чение	Наименование сиг- налов	Примечание
Второй вход БУ	X	Сигнал совпадения	При $X^1 \vee X^2 \vee \dots \vee X^n = 0$ один из БРК обнулен*
Пятый выход БУ	Y <sub>1</sub>	Сигнал управле- ния Г	При Y <sub>1</sub> =1 изменяет- ся частота
Первый выход БУ	Y <sub>2</sub>	Синхроимпульс 1РГ	
Второй выход БУ	Y <sub>3</sub>	Синхроимпульс за- писи 1БРК	
Третий выход БУ	Y <sub>4</sub>	Сигнал развертки 1БРК и 2БРК	
Шестой выход БУ	Y <sub>5</sub>	Обнуление 2РГ	
Седьмой выход БУ	Y <sub>6</sub>	Синхроимпульс за- писи 2РГ	
Восьмой выход БУ	Y <sub>7</sub>	Сдвиг содержимого 2РГ	
Девятый выход БУ	Y <sub>8</sub>	Синхроимпульс за- писи 2БРК	
Четвертый выход БУ	Y <sub>9</sub>	Синхронизация конт- роля	

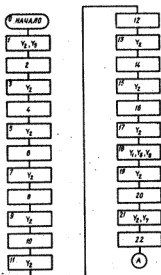
\*  $X^1, X^2, \dots, X^n$  - выходные сигналы 1БЛЭ И по числу разрядов кода.



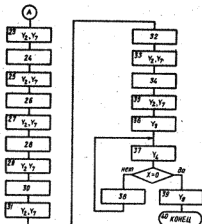
Фиг.1



Фиг.2



Фиг.3



Фиг.4

Составитель В.Першинов  
 Редактор В.Иванова Техред О.Гортвай Корректор Г.Решетник

Заказ 1724/59 Тираж 816 Подписное  
 ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ЦИП "Патент", г. Ужгород, ул. Проектная, 4