



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3811432/24-24
- (22) 29.10.84
- (46) 15.09.86. Всл. № 34
- (72) А.П.Стахов, В.И.Моисеев,  
А.Д.Азаров, В.Я.Стейскал  
и Н.П.Степанова
- (53) 681.325 (088.8)
- (56) Микроэлектронные цифроаналого-  
вые и аналого-цифровые преобразова-  
тели информации / Под ред. В.Б.Смоло-  
ва. Л.: Энергия, 1976, рис. 7-9,  
с. 197.
- Авторское свидетельство СССР  
№ 1221754, кл. Н 03 М 1/66, 15.08.84.
- (54) УСТРОЙСТВО ЦИФРОАНАЛОГОВОГО ПРЕ-  
ОБРАЗОВАНИЯ
- (57) Изобретение относится к области  
вычислительной и цифровой измеритель-

ной техники и может быть использовано для преобразования цифровых величин в аналоговые. Изобретение позволяет повысить точность цифроаналогового преобразования за счет улучшения линейности характеристики преобразования. Повышение линейности характеристики преобразования обеспечивается с помощью введенных арифметико-логического устройства и второго коммутатора, которые позволяют учитывать отклонение реальных весов разрядов цифроаналогового преобразователя от требуемых, соответствующих весам избыточного измерительного кода, в процессе преобразования входного кода в аналоговый сигнал. 1 з.п. ф-лы, 4 ил, 1 табл.

Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования цифровых величин в аналоговые.

Цель изобретения - повышение точности за счет улучшения линейности характеристики преобразования.

На фиг. 1 приведена функциональная схема устройства цифроаналогового преобразования; на фиг. 2 - функциональная схема блока управления; на фиг. 3 и 4 - граф-схема алгоритма работы устройства.

Устройство цифроаналогового преобразования (фиг. 1) содержит арифметико-логическое устройство 1 (АЛУ), шину 2 преобразуемого кода, первый и второй цифровые коммутаторы 3 и 4 (ЦК), первый и второй регистры 5 и 6 (РГ), постоянное запоминающее устройство 7 (ПЗУ), оперативное запоминающее устройство 8 (ОЗУ), цифроаналоговый преобразователь 9 (ЦАП), блок 10 аналогового запоминающего устройства (БАЗУ), блок 11 сравнения (БС), регистр 12 последовательного приближения (РПП), регистр 13 сдвига (РГС), блок 14 управления (БУ), выходящую шину 15 устройства, первую и вторую управляющие шины 16 и 17, которые подключены к первому и второму входам блока 14 управления, шину "Запуск", которая подключена к третьему входу блока 14 управления. Последний имеет также четвертый и шестой входы 18 и 19 и четырнадцать выходов 20-33.

Блок 14 управления содержит первый и второй регистры 34 и 35, генератор 36 тактовых импульсов и постоянное запоминающее устройство 37.

Цифроаналоговый преобразователь 9 предлагаемого устройства должен быть выполнен на основе избыточных измерительных кодов (ИИК).

Наличие в разрядах преобразователя, построенного на основе ИИК, отклонений весов разрядов от требуемых значений в определенных пределах не приводит к "разрывам" выходной характеристики, хотя последняя будет иметь скачкообразный характер. Например, при построении ЦАП на основе кода "золотой" пропорции, либо фибоначчи "разрывов" выходной характеристики не будет, если веса разрядов

изготавливать с погрешностью не хуже 23,6%.

Предлагаемое устройство функционирует в двух режимах: поверки и непосредственного цифроаналогового преобразования с коррекцией.

В режиме поверки определяются коды реальных значений весов разрядов ЦАП 9, причем разряды делятся на группу старших (поверяемых) и на группу младших (неповеряемых) разрядов. Такой подход справедлив при формировании весов разрядов с одинаковой относительной погрешностью  $\delta$ . В этом случае абсолютные отклонения  $\Delta Q_i$  от требуемых значений  $Q_{i,r}$  для старших разрядов будут большими, а для младших - малыми. Поэтому коды реальных значений весов младших разрядов  $K_{p,m}$ , полученные после изготовления устройства, записываются в ПЗУ 7 и используются при функционировании.

Определение кодов  $K_{p,m}$  реальных значений весов разрядов производится только для группы из  $m$  старших разрядов. Значения  $m$  определяются из условия

$$Q_{i,r} \leq \Delta Q_{n-m+1} < Q_{i,r-2}$$

где  $n$  - количество разрядов ЦАП;  $\Delta Q_{n-m+1}$  - отклонение от требуемого значения  $(n-m+1)$ -го разряда;

$Q_{i,r-1}$ ,  $Q_{i,r-2}$  - значения первого и второго младших разрядов соответственно.

Коды реальных значений весов старших разрядов определяются в результате поверки и хранятся в ОЗУ 8. Определение кодов реальных значений весов  $K_{p,m}$  начинается с  $(n-m+1)$ -го разряда и осуществляется последовательно от младших разрядов к старшим. Регистр 13 сдвига обеспечивает включение поверяемого разряда. С выхода ЦАП 9 аналоговая величина  $Q_{a,n-m+1}$  поступает в БАЗУ 10 и запоминается. Затем осуществляется процесс поразрядного уравнивания сигнала

$Q_{p,n-m+1}$  компенсирующим сигналом  $A_{p,k}$  с запрещением включения поверяемого разряда. Одновременно с этим в АЛУ 1 формируется код реального значения веса  $K_{p,n-m+1}$ , который записывается в ОЗУ 8.

При определении кодов реальных значений весов последующих разрядов используются реальные значения ве-

сов кодов, хранимые в ПЗУ 7, а также определенные в результате проверки и записанные в ОЗУ 8. Процесс проверки на этом заканчивается.

В режиме непосредственного преобразования участвуют все блоки устройства за исключением БАЗУ 10, БС 11, РГС 13. Входной код, поступающий на входные шимы 2 устройства, записывается во второй регистр 6, преобразуется при помощи АЛУ 1, ПЗУ 7, ОЗУ 8, РПШ 12, РГ 5, ЦК 3, ЦАП 9 в выходной аналоговый сигнал  $A_{\text{вых}}$ . Выходной сигнал  $A_{\text{вых}}$  снимается с выхода 15 устройства.

Работа устройства в режиме проверки осуществляется следующим образом.

По сигналам БУ 14 происходит обнуление РГ 6, установление в начальное состояние РПШ 12, запись исходного кода в РГС 13, ЦК 3 коммутирует на вход ЦАП 9 выход РГС 13. На выходе ЦАП 9 появляется аналоговый сигнал  $Q_{p,n-m+1}$ , который поступает на вход БС 11, запоминается в БАЗУ 10. Процесс уравнивания  $Q_{p,n-m+1}$  выходным компенсирующим сигналом ЦАП 9  $A_x$  происходит по методу поразрядного кодирования. Запрещение включения проверяемого разряда осуществляется в результате анализа выходного сигнала БС 11. Сигнал 29 БУ 14 задает выбор ячейки ПЗУ, содержание которой поступает на вход АЛУ 1. Формирование кода реального значения веса происходит в АЛУ 1. Код, сформированный в АЛУ 1, через ЦК 4 поступает на вход РГ 6 и записывается в него под действием сигнала 31 БУ 14. По сигналу БУ 14 этот код переписывается в ОЗУ 8. На этом процесс проверки  $(n-m+1)$ -го разряда заканчивается.

Далее по командам БУ 14 обнуляется РГ 6, производится сдвиг РГС 13 и выполняется проверка следующего старшего разряда. Получение реального веса  $(n-m+2)$ -го разряда проис-

ходит аналогично описанному. Процесс проверки заканчивается после определения кодов реальных значений весов всех старших разрядов.

- 5 В режиме непосредственного преобразования устройством функционирует следующим образом.

Входной код  $K$  записывается ЦК 4 при помощи РГ 6 и сигналов БУ 14 и сравнивается при помощи АЛУ 1 с кодом реального веса старшего разряда  $K_{p,n}$ . При сравнении анализируется сигнал переноса  $Z_n$  АЛУ 1, который находится в режиме вычитания. При этом сигнал переноса  $Z_n$  определяется следующим выражением:

$$Z_i = \begin{cases} 1, & \text{если } K < K_{p,i}; \\ 0, & \text{если } K > K_{p,i}. \end{cases}$$

20 Если  $Z_n = 0$ , то содержимое РГ 6 не изменяется, а в РПШ 12 записывается ноль при помощи БУ 14.

Если  $Z_n = 1$ , то результат  $K - K_{p,n}$  (дальнейшее сравнение производится с остатком  $K - K_{p,n}$ ) записывается в РГ 4, а в РПШ 12 записывается единица.

25 Далее код  $K$  сравнивается с кодом реального веса  $K_{p,n-1}$  следующего разряда. В дальнейшем преобразование входного кода  $K$  в рабочий код  $K_{p,n}$  происходит аналогично. Заканчивается процесс после  $n$ -го сравнения содержимого РГ 4 с кодом реального веса младшего разряда  $K_{p,1}$ . В результате в РПШ 12 сформируется рабочий код  $K_{p,n}$ , который по сигналу БУ 14 перешлет в РГ 5, после чего на выходе 15 устройства появится аналоговая величина  $A_{\text{вых}}$ .

40 На этом цифроаналоговое преобразование входной величины заканчивается.

Необходимые для управления функционированием устройства цифроаналогового преобразования управляющие и условные сигналы, соответствующие граф-схеме алгоритма (фиг. 3 и 4), приведены в таблице для  $n=5$ ,  $m=2$ .

| Входы-<br>выходы<br>блока<br>14 | Обозна-<br>чения | Наименование сигнала       | Примечание  |
|---------------------------------|------------------|----------------------------|---|
| 16                              | X <sub>1</sub>   | Режим 1                    | При X <sub>1</sub> =1 - проверка  |
| 17                              | X <sub>2</sub>   | Режим 2                    | При X <sub>2</sub> =1 - разрешенные преобразования  |
| 18                              | X <sub>3</sub>   | Сигнал переноса            |   |
| 19                              | X <sub>4</sub>   | Выходной сигнал ВС         | При X <sub>4</sub> =1 - включают разряд   |
| 32                              | Y <sub>1</sub>   | Адрес ЦК 4                 | При Y <sub>1</sub> =1 - коммутуруется вход 2  |
| 31                              | Y <sub>2</sub>   | Импульс записи РГ 6        |   |
| 30                              | Y <sub>3</sub>   | Обнуление РГ 6             |   |
| 27                              | Y <sub>4</sub>   | Запись-считывание ОЗУ 8    | При Y <sub>4</sub> =1 - запись  |
| 29                              | Y <sub>5</sub>   | Адрес ПЗУ 7 и ОЗУ 8        | Y <sub>5</sub> <sup>3</sup> Y <sub>5</sub> <sup>2</sup> Y <sub>5</sub> <sup>1</sup><br>101 - 5-й разряд<br>100 - 4-й разряд<br>011 - 3-й разряд<br>010 - 2-й разряд<br>001 - 1-й разряд |
| 28                              | Y <sub>6</sub>   | Выборка ПЗУ 7 и ОЗУ 8      | При Y <sub>6</sub> =1 - выборка ПЗУ 7   |
| 33                              | Y <sub>7</sub>   | Режим АЛУ 1                | При Y <sub>7</sub> =1 - вычитание   |
| 22                              | Y <sub>8</sub>   | Режим РГ 5                 | При Y <sub>8</sub> =0 - запись  |
| 26                              | Y <sub>9</sub>   | Синхронимпульс РПП 12      |   |
| 25                              | Y <sub>10</sub>  | Информационный вход РПП 12 |   |
| 24                              | Y <sub>11</sub>  | Начальная установка        |   |
| 23                              | Y <sub>12</sub>  | Адрес ЦК 3                 | При Y <sub>12</sub> =1 - коммутуруется РГС 13   |
| 21                              | Y <sub>13</sub>  | Сдвиг РГС 13               |   |
| 20                              | Y <sub>14</sub>  | Выборка БАЗУ 10            |   |

При данной разрядности управляющий адресный сигнал  $Y_3$  будет состоять из трех сигналов  $Y_3^1, Y_3^2, Y_3^3$ , причем код реального значения веса старшего (пятого) разряда будет записан по адресу 101 ( $Y_{10}^1 = 1; Y_{10}^2 = 0; Y_{10}^3 = 1$ ), а код требуемого значения веса младшего (пятого) разряда будет записан по адресу 001 ( $Y_{10}^1 = 1; Y_{10}^2 = 0; Y_{10}^3 = 0$ ). Алгоритм состоит из (см. фиг. 3 и 4):

вершин 1-2 - обнуление РГ 6, начальная установка РГС 13, выборка БАЗУ 10; вершин 3-15 - кодирование  $A_4$  с запретом;

вершины 16 - запись  $K_{в4}$  в ОЗУ 8;

вершины 17-18 - обнуление РГ 6, сдвиг РГС 13, выборка БАЗУ 10;

вершины 19-32 - кодирование  $A_5$  с запретом;

вершины 33 - запись  $K_{в5}$  в ОЗУ 8;

вершины 34-35 - коммутация входа 2 устройства, подача импульса записи в РГ 6;

вершин 36-56 - непосредственное цифроаналоговое преобразование.

Ф о р м у л а и з о б р е т е н и я

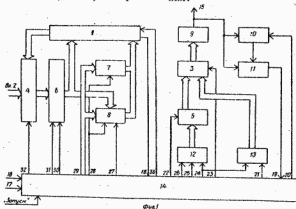
1. Устройство цифроаналогового преобразования, содержащее цифроаналоговый преобразователь, выход которого является выходной шиной устройства и подключен к первому входу блока сравнения и информационному входу блока аналогового запоминающего устройства, выход которого подключен к второму входу блока сравнения, управляющий вход - к первому выходу блока управления, второй выход которого подключен к первому входу регистра сдвига, выходы которого подключены к первым информационным входам первого цифрового коммутатора, выходы которого подключены к входам цифроаналогового преобразователя, вторые информационные входы подключены к выходам первого регистра, управляющий вход которого подключен к третьему выходу блока управления, четвертый выход которого подключен к управляющему входу первого цифрового коммутатора, пятый выход - к второму входу регистра сдвига и первому входу регистра последовательного приближения, шестой и седьмой выходы - к второму и третьему входам регистра последовательного приближения, восьмой выход подключен к пер-

вому управляющему входу оперативно-го запоминающего устройства, выходы которого объединены с выходами постоянного запоминающего устройства, первый управляющий вход которого объединен с вторым управляющим входом оперативно-го запоминающего устройства и подключен к девятому выходу блока управления, десятые выходы которого подключены к адресным выходам постоянного и оперативного запоминающих устройств, одиннадцатый и двенадцатый выходы - к первому и второму управляющим входам второго регистра, первый и второй выходы блока управления являются первой и второй управляющими шинами, третий вход является шиной "Запуск", отличающейся тем, что, с целью повышения точности за счет улучшения линейности характеристики преобразования, введены арифметико-логическое устройство и второй цифровой коммутатор, управляющий вход которого подключен к тринадцатому выходу блока управления, первые информационные входы являются шинами преобразуемого кода, вторые информационные входы подключены к первым выходам арифметико-логического устройства, выходы подключены к информационным входам второго регистра, выходы которого подсоединены к информационным входам оперативного запоминающего устройства и первым информационным входам арифметико-логического устройства, вторые информационные входы которого подключены к объединенным выходам постоянного и оперативного запоминающих устройств, управляющий вход подключен к четырнадцатому выходу блока управления, четвертый вход которого подключен к второму выходу арифметико-логического устройства, а пятый вход подключен к выходу блока сравнения, при этом выходы регистра последовательного приближения подключены к информационным входам первого регистра.

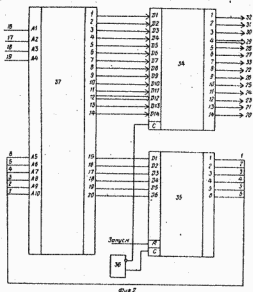
2. Устройство по п. 1, отличающееся тем, что блок управления выполнен на первом и втором регистрах, генераторе тактовых импульсов и постоянном запоминающем устройстве, выходы с первого по четырнадцатый которого подключены к информационным входам первого регистра, входы с первого по четвертый яв-

ляются соответственно первым, вторым, четвертым и пятым входами блока управления, входы с пятого по десятый подключены к соответствующим выходам второго регистра, информационные входы которого подключены соответственно к выходам постоянного запоминающего устройства с пятнадцатого по двадцатый, первый управляющий вход второго регистра является третьим входом блока управления, второй управляющий вход подключен к прямому выходу генератора тактовых импульсов, инверс-

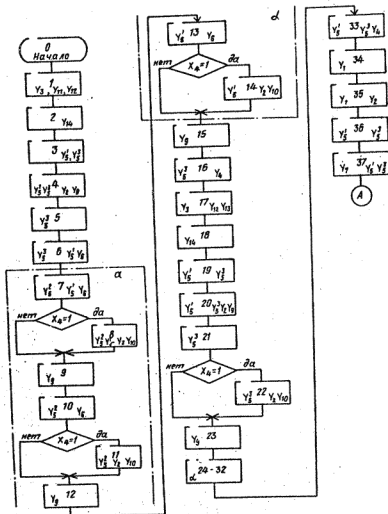
ный выход которого подключен к управляющему входу первого регистра, выходы с первого по третий которого являются тринадцатым, двенадцатым и одиннадцатым выходами блока управления, четвертые выходы являются десятыми выходами блока управления, выходы с пятого по четырнадцатый являются соответственно девятым, восьмым, четырнадцатым, третьим, седьмым, пятым, четвертым, вторым и первым выходами блока управления.



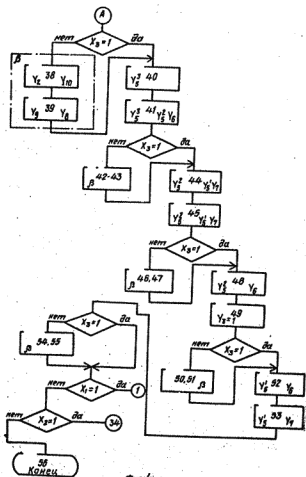
Фиг. 1



Фиг. 2



Фиг. 3



Фиг. 4.

Составитель В.Першиков  
 Редактор М.Петрова Техред Л.Сердюкова Корректор Е.Сирокман

Заказ 6358 Тираж 816 Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4