



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

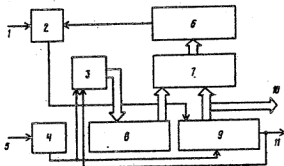
- (21) 3941981/24-24  
(22) 08.07.85  
(46) 15.04.87. Бюл. № 14  
(72) А.П.Стахов, А.Д.Азаров,  
В.Я.Стейскал, В.И.Моисеев и В.П.Мар-  
ценюк  
(53) 681.325 (088.8)  
(56) Лаврентьев В.Н., Ключан П.С.,  
Аналого-цифровые преобразователи  
двустороннего уравнивания. -  
Киев. Знание, 1982, с.22.

Балакай В.Г. и др. Интегральные  
схемы аналого-цифровых и цифроанало-  
говых преобразователей. - М.: Энер-  
гия, 1978, с. 45, рис. 1-13.

(54) СПОСОБ АНАЛОГО-ЦИФРОВОГО ПРЕ-  
ОБРАЗОВАНИЯ

(57) Изобретение относится к вычис-  
лительной и цифровой измерительной  
технике и может быть использовано  
для преобразования аналоговых вели-  
чин в цифровые. Цель изобретения -

повышение быстродействия. Для дос-  
тижения поставленной цели в способ  
порозрядного аналого-цифрового пре-  
образования (АЦП) вводятся дополни-  
тельные операции формирования допол-  
нительного аналогового сигнала и  
суммирование его с компенсирующим  
сигналом перед сравнением с входным  
сигналом. Устройство, реализующее  
заявленный способ, содержит аналого-  
вый вход 1, блок 2 сравнения, счет-  
чик 3 адреса, генератор 4 импульсов,  
управляющий вход 5 запуска, цифро-  
аналоговый преобразователь 6, блок  
7 элементов ИЛИ, регистр 9 последо-  
вательного приближения, первый цифро-  
вой выход 10, второй цифровой вы-  
ход 11. Формирование дополнительного  
аналогового сигнала и использование  
избыточных измерительных кодов поз-  
воляет сократить длительность такта  
уравнивания, что повышает быстро-  
действие АЦП. 1 ил.



Изобретение относится к автоматике и цифровой измерительной технике и может быть использовано для преобразования аналоговых величин в цифровые.

Цель изобретения - повышение быстродействия аналого-цифрового преобразования.

На чертеже приведено устройство, реализующее предлагаемый способ аналого-цифрового преобразования.

Устройство содержит аналоговый вход 1, блок 2 сравнения, счетчик 3 адреса, генератор 4 импульсов, управляющий вход 5 запуска, цифроаналоговый преобразователь (ЦАП) 6, блок 7 элементов ИЛИ, блок 8 постоянной памяти, регистр 9 последовательного приближения, выходные шины 10, выход 11 окончания преобразования.

Сущность способа аналого-цифрового преобразования заключается в следующем.

При выполнении аналого-цифрового преобразования путем поразрядного уравнивания осуществляют компенсацию входного аналогового сигнала  $A_{вх}$  компенсирующим аналоговым сигналом  $A_{к}$ . При этом преобразование происходит правильно, если на последнем такте осуществляется уравнивание  $A_{вх}$  сигналом  $A_{к}$  с точностью до единицы младшего разряда ЦАП. Для этого необходимо, чтобы  $t > t_n$ , где  $t$  - длительность одного такта преобразования;  $t_n$  - номинальное значение длительности такта. Если длительность такта  $t$  будет меньше значения  $t_n$ , то уравнивание может произойти неверно, вследствие неточного установления значения  $A_{к}$  и появление ошибок типа "неправильное включение разряда" или "неправильное выключение разряда". При формировании компенсирующего сигнала  $A_{к}$  на основе двоичного кода появления и первого и второго типов указанных ошибок кодирования приводит к неправильному уравниванию входного сигнала  $A_{вх}$  сигналом  $A_{к}$ .

В предлагаемом способе аналого-цифрового преобразования формирование сигнала  $A_{к}$  на основе избыточного измерительного кода (ИИК) исключает недоуравнивание входного сигнала при появлении ошибок типа "неправильное включение разряда" след-

ствие возможности компенсации этого типа ошибки в ИИК, обладающем избыточностью.

Для того, чтобы при аналого-цифровом преобразовании исключить ошибку типа "неправильное включение разряда" введена несимметрия в процессе уравнивания входного сигнала, заключающаяся в том, что на каждом  $i$ -ом такте поразрядного уравнивания одновременно с формированием компенсирующего сигнала формируется дополнительный аналоговый сигнал величиной

$$\Delta Q_i = \frac{\sum_{j=1}^n Q_j - Q_i + 1}{2} \quad (1)$$

где  $n$  - число разрядов кода;  $Q_i$  - вес  $i$ -го разряда ИИК, при этом  $Q_i = Q_{i-1}/\alpha$ , где  $1 < \alpha < 2$  - основание ИИК, который суммируется с компенсирующим сигналом поразрядного уравнивания, а сравнение входного сигнала производится с результатом суммирования. Это приводит к тому, что действующий на  $i$ -ом такте вес  $i$ -го разряда увеличивается. При этом, если разность входного и компенсирующего сигналов в конце предыдущего такта уравнивания превышала незначительно вес  $i$ -го разряда, то в текущем такте произойдет выключение  $i$ -го разряда и дальнейшее уравнивание будет производиться последующими младшими разрядами. Таким образом исключается ошибка типа "неправильное включение разряда".

Данные обстоятельства позволяют значительно уменьшить длительность такта поразрядного кодирования, вследствие отсутствия производить точное, до половины веса младшего разряда сравнение входного и компенсирующего сигналов. Это сравнение достаточно производить с некоторой относительной погрешностью  $\delta$ . Значение  $\delta$  зависит от избыточности кода и определяется по формуле

$$\delta = 2\alpha^{-1} - 1.$$

Для чисел Фибоначчи, например, значение  $\delta$  равно 23,6%.

Устройство, реализующее данный способ, работает следующим образом.

Цикл аналого-цифрового поразрядного кодирования начинается после прихода сигнала "Запуск" на управляющий вход 5. При этом на выходе ре-

гистра 9 последовательного приближения устанавливается в единичное состояние старший 1-й разряд (остальные разряды имеют нулевое значение). На выходе блока 8 устанавливается код  $K_1/\Delta Q_1$ , полученный на основании выражения (1) и записанный в блок 8 на этапе изготовления. Через блок 7 коды с выходов регистра 9 последовательного приближения и блока 8 поступают 10 на вход ЦАП 6, в котором происходит формирование и суммирование основного компенсирующего и дополнительного сигналов. На выходе ЦАП 6 появится компенсирующий аналоговый сигнал  $A_{к1} = Q_1 + \Delta Q_1$ . Сравнение сигналов  $A_{вх}$  и  $A_{к1}$  производится в блоке 2, выходной сигнал  $y_1$  которого подчиняется следующему условию:

$$y_1 \in \{0, 1\} = \begin{cases} 0, & A_{вх} < A_{к1}; \\ 1, & A_{вх} \geq A_{к1}. \end{cases}$$

При этом, если на первом такте уравнивания  $y_1 = 0$ , то 1-ый разряд устанавливается в нулевое состояние, если же  $y_1 = 1$ , то 1-ый разряд остается в единичном состоянии на последующих тактах уравнивания. На втором такте аналого-цифрового преобразования по сигналу генератора 4 импульсов изменяется на единицу содержимое счетчика 3 адреса и на выходе блока 8 устанавливается код  $K_2/\Delta Q_2$ , причем  $K_2/\Delta Q_2 = K_1/\Delta Q_1 / 2$ . Одновременно на выходе регистра 9 последовательного приближения устанавливается в единичное состояние 2-ой разряд. После очередного сравнения входного и компенсирующих сигналов 2-ой разряд либо устанавливается в нулевое состояние  $y_2 = 0$ , либо ос-

тается в единичном состоянии  $y_2 = 1$ . На последующих тактах работа устройства происходит аналогично. После окончания  $n$  тактов поразрядного уравнивания на выходных шинах 10 находится код  $K_{вых}$ , являющийся цифровым эквивалентом входного аналогового сигнала  $A_{вх}$ , а на выходе 11 - сигнал окончания преобразования.

#### Ф о р м у л а и з о б р е т е н и я

Способ аналого-цифрового преобразования, основанный на поразрядном уравнивании входного аналогового сигнала, заключающийся в том, что на каждом  $i$ -ом такте формируют компенсирующий аналоговый сигнал, осуществляют сравнение входного аналогового сигнала с компенсирующим аналоговым сигналом и запоминают результат сравнения, от лица а ж и й с я тем, что, с целью повышения быстродействия, одновременно с формированием компенсирующего аналогового сигнала формируют дополнительный аналоговый сигнал величиной  $\Delta Q_i = \frac{\sum_{j=1}^n Q_j - Q_i + 1}{2}$ , где  $n$  - число разрядов кода;  $Q_i$  - вес  $i$ -го разряда, и перед сравнением с входным аналоговым сигналом суммируют компенсирующий и дополнительный аналоговые сигналы, а сравнение входного аналогового сигнала осуществляют с сигналом результата суммирования, при этом формирование компенсирующего аналогового сигнала осуществляют на основе избыточного измерительного кода с весами  $Q_i = Q_{i-1}/\alpha$ , где  $1 \leq \alpha < 2$  - основание избыточного измерительного кода.

Составитель В.Лершиков

Редактор М.Товтин

Техред И.Попович

Корректор Е.Рожко

Заказ 1324/57.

Тираж 902

Подписное

ВНИИИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4.