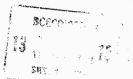




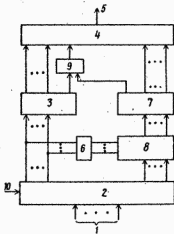
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3990247/24-24
(22) 16.12.85
(46) 23.07.87. Бюл. № 27
(72) А.Д.Азаров, В.И.Моисеев,
В.Я.Стейскал, Т.Н.Васильева
и В.В.Сташенко
(53) 681.325 (088,8)
(56) Авторское свидетельство СССР
№ 1027811, кл. Н 03 М 1/66, 1983.
Авторское свидетельство СССР
№ 1257847, кл. Н 03 М 1/66, 1986.

- (54) ЦИФРОАНАЛОГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ
(57) Изобретение относится к автома-
тике и вычислительной технике и может
быть использовано для преобразования
цифровых величин в аналоговые. Цель
изобретения - повышение быстродействи-
я. Цифроаналоговый преобразователь
содержит входные шины 1, регистр 2,
первый блок 3 постоянной памяти,
цифроаналоговый преобразователь 4 на
основе избыточного измерительного ко-
да, выходную шину 5, второй и третий
блоки 6, 7 постоянной памяти, блок 8
суммирования, элемент 9 ИЛИ, шину 10
записи. Введение блоков 6, 7, 8, эле-
мента ИЛИ 9 и изменение связей обес-
печивают повышение быстродействия за
счет выполнения преобразования за
одни такт времени. 1 ил.



Изобретение относится к автоматической и вычислительной технике и может быть использовано для преобразования цифровых величин в аналоговые.

Цель изобретения - повышение быстродействия.

На чертеже приведена функциональная схема цифроаналогового преобразователя.

Цифроаналоговый преобразователь содержит входные шины 1, регистр 2, первый блок 3 постоянной памяти, цифроаналоговый преобразователь 4 на основе избыточного измерительного кода, выходную шину 5, второй и третий блоки 6 и 7 постоянной памяти, блок 8 суммирования, элемент ИЛИ 9, шину 10 записи.

Цифроаналоговый преобразователь работает следующим образом.

На информационные входы регистра 1 поступает n -разрядный двоичный код. Выходы регистра 1 разбиваются на группу старших m и младших $(n-m)$ разрядов. Входы n^* -разрядного цифроаналогового преобразователя 4 на основе избыточного измерительного кода разбиваются на группы старших m^* и младших (n^*-m^*) разрядов. При выборе параметров m , n^* , m^* необходимо учитывать, что для представления заданного числа N в избыточном двоичном позиционном коде требуется n разрядов, причем

$$n = \log_2 N,$$

а в коде с произвольным основанием α для представления этого же числа N потребуется n^* разрядов, где n^* равно:

$$n^* = \log_{\alpha} N.$$

$$\text{Для } \alpha = 1,618 \quad n^* = 1,44 \cdot n.$$

Двоичная разрядная сетка разбивается на две примерно равные части, т.е. $m = n/2$. Разрядная сетка избыточного измерительного кода разбивается в зависимости от разбиения разрядной сетки входного кода таким образом, чтобы

$$n^* - m^* = (n - m) \frac{\ln 2}{\ln \alpha},$$

т.е. диапазоны представления чисел младшими $(n-m)$ разрядами двоичного

кода и $(n^* - m^*)$ разрядами избыточного измерительного кода должны быть равными. Старшие с n -го по $(n-m+1)$ -й разряды входного кода $K_{вх}$ с помощью первого блока 3 постоянной памяти преобразуются в старшие с n^* -го по (n^*-m^*+1) -й разряды рабочего кода $K_{р\text{аб}}$.

Старшие с n -го по $(n-m+1)$ -й разряды кода $K_{вх}$ с помощью второго блока 6 постоянной памяти преобразуются в двоичный код разности весов единичных разрядов старших групп входного $K_{вх}$ и рабочего $K_{р\text{аб}}$ кодов. Код с выхода блока 6 с помощью блока 8 суммирования суммируется с группой младших $(n-m)$ разрядов кода $K_{вх}$ и поступает на вход блока 7, с помощью которого формируются младшие $(n^* - m^*)$ разряды кода $K_{р\text{аб}}$, $(n^* - m^* + 1)$ -й разряд кода $K_{р\text{аб}}$ определяется при помощи элемента ИЛИ 9 в результате логического сложения младшего разряда блока 2 и старшего разряда блока 7. Код с выходов блоков 3, 7 и 9 поступает на вход цифроаналогового преобразователя 4, в результате чего на выходной шине 5 устройства появляется аналоговая величина, соответствующая двоичному коду $K_{вх}$.

Повышение быстродействия достигается за счет параллельного принципа при преобразовании n -разрядного входного двоичного кода $K_{вх}$ в n^* -разрядный рабочий код $K_{р\text{аб}}$.

Ф о р м у л а и з о б р е т е н и я

Цифроаналоговый преобразователь, содержащий регистр, первый блок постоянной памяти и цифроаналоговый преобразователь на основе избыточного измерительного кода, выход которого является выходной шиной, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия, введены второй и третий блоки постоянной памяти, элемент ИЛИ, блок суммирования, первые входы которого подключены к соответствующим выходам младших разрядов регистра, вторые входы подключены к соответствующим выходам второго блока постоянной памяти, выходы подключены к соответствующим адресным входам третьего блока постоянной памяти, выходы младших разрядов которого подключены к соответствующим входам группы младших разрядов цифроаналогового преобразователя на основе из-

быточного измерительного кода, старший разряд подключен к первому входу элемента ИЛИ, второй вход которого подключен к выводу младшего разряда первого блока постоянной памяти, выход подключен к входу младшего разряда в группе старших разрядов цифроаналогового преобразователя на основе избыточного измерительного кода, входы старших разрядов в группе старших разрядов которого, подключены

к соответствующим выходам старших разрядов первого блока постоянной памяти, адресные входы которого объединены с соответствующими адресными входами второго блока постоянной памяти и подключены к соответствующим выходам старших разрядов регистра, информационные входы которого являются входными шинами, преобразуемого кода, управляющий вход является шиной записи.

Редактор Е. Папп Составитель В. Першиков
 Техред И. Попович Корректор М. Пожо

Заказ 3125/56 Тираж 901 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, Ул. Проектная, 4