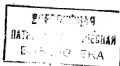




(51)5 Н 03 М 1/46

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

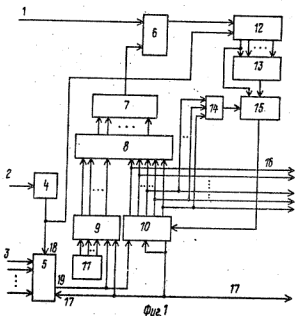


- (21) 4357650/24-24
(22) 04.01.88
(46) 15.06.90. Бюл. № 22
(71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института и Винницкий политехнический институт
(72) А.П.Стахов, В.И.Моисеев, В.Я.Стейскал и Л.В.Крупельницкий
(53) 681.325 (088.8)
(56) Гитис Э.И. Аналого-цифровые преобразователи. М.: Энергоиздат, 1981, с.233-237.

Авторское свидетельство СССР
№ 1179533, кл. Н 03 М 1/26, 1984.

2
(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ

(57) Изобретение относится к цифровой измерительной и вычислительной технике, может быть использовано для преобразования аналоговых величин в цифровые и позволяет повысить помехозащищенность аналого-цифрового преобразователя и расширить функциональные возможности. Это достигается тем, что преобразователь, содержащий генератор 4 импульсов, блок 6 сравнения, цифроаналоговый преобразователь 7, блок 8 элементов ИЛИ, регистр 10 последовательного приближения, ре-



гистр 9 сдвига, постоянное запоминающее устройство 11, введены блок 5 синхронизации, регистр 12, мажоритарный элемент 13, цифровой коммутатор 15, элемент ИЛИ 14. Аналого-цифровой преобразователь выполнен в избыточном измерительном коде (например, коде "золотой" пропорции), а уравнивание осуществляется по модифицированному способу поразрядного кодирования с одновременным включением,

кроме основного разряда, кода добавки за счет младших разрядов. Часть избыточности кода используется на автотоккомпенсацию помех на тактах кодирования старшими разрядами, на тактах кодирования младшими разрядами время такта увеличено, на последних тактах применена мажоритарная обработка нечетного числа результатов сравнения входного и компенсирующего сигналов. 1 з.п.ф-лы, 3 ил.

15

Изобретение относится к цифровой измерительной и вычислительной технике и может быть использовано для преобразования аналоговых величин в цифровые.

Цель изобретения - повышение помехоустойчивости и расширение функциональных возможностей.

На фиг.1 приведена функциональная схема преобразователя; на фиг.2 - функциональная схема блока синхронизации; на фиг.3 - временные диаграммы работы блока синхронизации.

Преобразователь содержит входную шину 1, шину 2 запуска, шину 3 задания режима, генератор 4 импульсов, блок 5 синхронизации, блок 6 сравнения, цифроаналоговый преобразователь 7, блок 8 элементов ИЛИ, регистр 9 сдвига, регистр 10 последовательного приближения, постоянное запоминающее устройство (ПЗУ) 11, регистр 12, мажоритарный элемент 13, элемент ИЛИ 14, цифровой коммутатор 15, первую 16 и вторую 17 выходные шины, вход 18 синхронизации и выход 19 блока 5.

Блок 5 образует элемент НЕ 20, счетчик 21, блок 22 сравнения, элемент ИЛИ 23, счетчик-дешифратор 24, элемент И 25, одновибратор 26, цифровой коммутатор 27 и элемент НЕ 28.

Преобразователь работает следующим образом.

При подаче разрешающего сигнала на шину 2 генератор 4 начинает вырабатывать положительные импульсы большой скважности. Передний фронт указанных импульсов разрешает запись входного сигнала блока 6 в регистр 12, а задний фронт стробирует регистры 9 и 10 (необходима для этого инверсия импульсов осуществляется в блоке 5).

15

1

1

20

20

25

30

30

35

35

40

40

45

45

50

50

55

55

55

55

55

55

55

55

55

При этом если номер такта кодирования i меньше числа $n-K$, задаваемого двоичным кодом по шине 3, то частота стробирования регистров 12, 9 и 10 равна частоте импульсов генератора 4. В противном случае, начиная с такта кодирования $i=n-K$, частота стробирования регистра 12 остается прежней, а частота стробирования регистров 9 и 10 становится в l раз меньше, что соответствует удлинению такта в l раз. Изменение частоты следования тактовых импульсов достигается в блоке 5.

Известный алгоритм поразрядного кодирования реализуется в регистре 10, но в соответствии с модифицированным алгоритмом поразрядного кодирования одновременно с включением каждого разряда на выходе регистра 9 формируется дополнительный код. Последний суммируется в блоке 8 с кодом по входу регистра 10. Поэтому наряду с включением основного разряда цифроаналогового преобразователя 7 происходит включение группы младших разрядов. На следующем такте кодирования независимо от выходного сигнала блока 6 в регистре 9 происходит сдвиг информации, что соответствует уменьшению веса дополнительных разрядов в l раз. (l - основание избыточного кода). Первоначальная запись кода "добавки" к первому разряду происходит по входу данных регистра 9 сдвига с выхода ПЗУ 11. перед началом преобразования при наличии на входе разрешения записи соответствующего сигнала.

На тактах кодирования с l -го по $(n-m)$ -й выходной сигнал блока 6 поступает на вход данных регистра 10 непосредственно с выхода первого разряда регистра 12.

Последнее происходит в результате прохождения сигнала данных через цифровой коммутатор 15 с первого входа на выход. При этом на всех входах элемента ИЛИ 14 отсутствуют сигналы высокого уровня включения последних разрядов и на его выходе присутствует низкий уровень, который и управляет цифровым коммутатором 15 согласно описанному.

При функционировании устройства на в младших тактах кодирования на одном из входов элемента ИЛИ 14 присутствует сигнал высокого уровня, вырабатываемый регистром 10 для включения соответствующих разрядов. В результате цифровой коммутатор 15 передает информацию на вход данных регистра 10 с выхода мажоритарного элемента 13, причём так как длительность такта кодирования в этом случае в 1 раз больше, чем период стробирования регистра 12, то на входе мажоритарного элемента 13 к концу такта кодирования накапливается 1 входных сигналов блока 6.

Мажоритарный элемент 13 осуществляет известную функцию "решение по большинству", т.е. его выход устанавливается в состояние "1", если больше половины входов имеют состояние "1", в состояние "0", если больше половины его входов имеют состояние "0".

В конце кодирования на выходе регистра 10 формируется кодовый эквивалент входного аналогового сигнала, который передается на шину 16 и может быть считан внешним устройством по сигналу конца преобразования на шине 17. Одновременно этот сигнал, поступая на вход сброса блока 5 и вход разрешения записи регистра 9, устанавливает их в начальное состояние. Регистр 10 устанавливается в начальное состояние с приходом следующего синхриимпульса.

На этом цикл работы аналого-цифрового преобразователя заканчивается.

Работа блока 5 синхронизации по-является временными диаграммами на фиг.3.

Блок 22 предназначен для управления цифровым коммутатором 27, который коммутирует на выход 19 блока тактовые импульсы с периодом следования, равным периоду следования импульсов на выходе генератора 4, либо импуль-

сы с 1-го выхода счетчика-дешифратора 24 с периодом следования в 1 раз больше.

Счетчик 21 осуществляет подсчет числа синхронизирующих импульсов.

Элемент НЕ 20 обеспечивает синхронизацию счетчика по заднему фронту импульсов. Если на выходе счетчика 21, т.е. по второму входу блока 22, значение двоичного кода меньше, чем значение, задаваемое по первому входу, выход блока 22 находится в состоянии высокого уровня. При этом цифровой коммутатор 27 пропускает синхронизирующие импульсы с первого входа на выход. Одновременно счетчик-дешифратор 24 сбрасывается в исходное состояние за счет высокого уровня на выходе элемента ИЛИ 23.

В момент, когда на выходе счетчика 21 значение кода становится равным значению, задаваемому по шине 3, на выходе блока 22 сравнения появляется сигнал низкого уровня, который переключает цифровой коммутатор 27 на пропускание сигналов с выхода счетчика-дешифратора 24. Последний начинает подсчет импульсов, так как его вход сброса обнуляется элементом ИЛИ 23.

При поступлении числа 1 синхронизирующих импульсов сигнал высокого уровня на выходе счетчика-дешифратора 24 разрешает прохождение синхриимпульса через элемент И 25 на второй вход второго цифрового коммутатора 27 и на выход блока 5 (с инверсией в элементе НЕ 28).

Одновибратор 26 после прохождения указанного импульса по его заднему фронту формирует импульс сброса, поступающий через элемент ИЛИ 23 на вход сброса счетчика-дешифратора 24.

На последующих тактах цикл возобновляется.

Сброс блока 5 в исходное состояние после окончания цикла кодирования осуществляется по входу сброса счетчика 21.

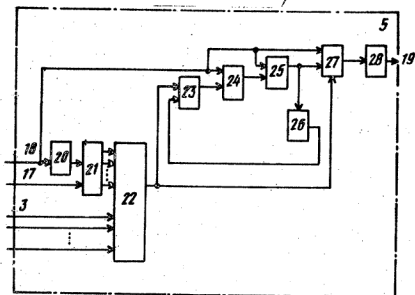
Ф о р м у л а и з о б р е т е н и я

1. Аналого-цифровой преобразователь, содержащий генератор импульсов, выход которого соединен с входом синхронизации блока синхронизации, выход которого соединен с входом синхронизации регистра сдвига, блок сравнения, первый вход которого явля-

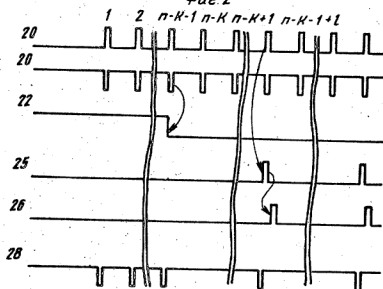
ется входной шиной, второй вход соединен с выходом цифроаналогового преобразователя, входы которого соединены с соответствующими выходами блока элементов ИЛИ, первые входы которого соединены с соответствующими выходами регистра сдвига, вторые входы соединены с соответствующими выходами первой и второй групп выходов регистров последовательного приближения и являются первой выходной шиной, информационные входы регистра сдвига соединены с соответствующими выходами постоянного запоминающего устройства, отличающийся тем, что, с целью увеличения помехозащищенности и расширения функциональных возможностей, введены регистр, мажоритарный элемент, цифровой коммутатор, элемент ИЛИ, причем входы задания режима блока синхронизации являются линией задания режима, выход соединен с входами синхронизации регистра сдвига, вход сброса регистра последовательного приближения, соединен с выходом регистра последовательного приближения и является второй выходной шиной, вход генератора импульсов является шиной запуска, а выход соединен с входом синхронизации регистра, информационный вход которого соединен с выходом блока сравнения, выходы регистра соединены с соответствующими входами мажоритарного элемента, первый выход регистра соединен с первым информационным входом цифрового коммутатора, второй информационный вход которого соединен с выходом мажоритарного элемента, вход управления через элемент ИЛИ со-

единен с соответствующими выходами второй группы выходов регистра последовательных приближений, а выход цифрового коммутатора соединен с входом данных регистра последовательного приближения.

2. Преобразователь по п.1, отличающийся тем, что блок синхронизации выполнен из двух элементов НЕ, счетчике, блоке сравнения, счетчике-дешифраторе, элементе ИЛИ, элементе И, одновибраторе, цифровом коммутаторе, первые входы блока сравнения являются входами задания режима блока, вход сброса счетчика является входом сброса блока, вход синхронизации которого объединен с входом счетчика-дешифратора, с первыми входами элемента И, с первым информационным входом цифрового коммутатора и с входом первого элемента НЕ, выход которого соединен со счетным входом счетчика, выходы которого соединены с соответствующими вторыми входами блока сравнения, выход которого соединен с входом управления цифрового коммутатора и с первым входом элемента ИЛИ, выход которого соединен с входом сброса счетчика-дешифратора, выход которого соединен с вторым входом элемента И, выход которого соединен с вторым информационным входом цифрового коммутатора и с входом одновибратора, выход которого соединен с вторым входом элемента ИЛИ, выход цифрового коммутатора соединен с входом второго элемента НЕ, выход которого является выходом блока.



Фиг. 2



Фиг. 3

Редактор А. Огар / Составитель А. Титов
 Техред М. Дидык / Корректор С. Мевкун

Заказ 1521 / Тираж 671 / Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101