



УКРАЇНА

(19) UA (11) 89062 (13) C2
(51) МПК (2009)
H03M 1/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА ВИНАХІД

(54) СПОСІБ АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЕННЯ І ПРИСТРІЙ ДЛЯ ЙОГО РЕАЛІЗАЦІЇ

1

2

(21) а200704910

(22) 03.05.2007

(24) 25.12.2009

(46) 25.12.2009, Бюл.№ 24, 2009 р.

(72) АЗАРОВ ОЛЕКСІЙ ДМИТРОВИЧ, КАДУК
ОЛЕКСАНДР ВОЛОДИМИРОВИЧ, КРУПЕЛЬНИ-
ЦЬКИЙ ЛЕОНІД ВІТАЛІЙОВИЧ

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ
УНІВЕРСИТЕТ

(56) SU 1221750 A; 30.03.1986

SU 1388985 A1; 15.04.1988

US 5825316 A; 20.10.1998

JP 3206730 A; 10.09.1991

US 4999633 A; 12.03.1991

US 5012241 A; 30.04.1991

US 4970515 A; 13.11.1990

RU 2178948 C2; 27.01.2002

RU 2204884 C1; 20.05.2003

(57) 1. Спосіб аналого-цифрового перетворення, який полягає в тому, що на кожному і-му такті формують компенсуючий сигнал врівноваження і додатковий аналоговий сигнал та здійснюють їх порівняння з вхідним аналоговим сигналом, по результатах порівняння на всіх тактах здійснюють формування вихідного коду, який **відрізняється** тим, що основному режиму передують режим самокалібрування, під час якого визначають коди реальних значень ваг розрядів перетворювача і зсуву нуля, які фіксують та використовують в режимі основного перетворення.

2. Аналого-цифровий перетворювач, що містить вхідну аналогову шину та вихідну цифрову шину, схему порівняння, регістр послідовного наближення, цифро-аналоговий перетворювач із ваговою надлишковістю, перший блок постійної пам'яті, лічильник адреси, причому другий аналоговий вхід схеми порівняння під'єднано до виходу цифро-аналогового перетворювача із ваговою надлишковістю, вихід схеми порівняння з'єднано з інформаційною шиною результату порівняння, яку з'єднано з інформаційними входами регістра послідовного наближення, лічильник адреси з'єднано з першим входом першого блока постійної пам'яті, який **відрізняється** тим, що в нього введено шину нульового потенціалу, комутатор, генератор калібрувальних сигналів, генератор імпульсів, другий блок постійної пам'яті, блок оперативної пам'яті, цифровий обчислювальний пристрій, блок елементів

АБО, шину керуючих сигналів, причому вхідну аналогову шину з'єднано з першим інформаційним входом комутатора, вихід генератора калібрувальних сигналів з'єднано з другим інформаційним входом комутатора, третій інформаційний вхід комутатора з'єднано з шиною нульового потенціалу, вихід комутатора з'єднано з першим аналоговим входом схеми порівняння, вхід генератора калібрувальних сигналів з'єднано з відповідним входом шини керуючих сигналів блока керування, вхід генератора імпульсів з'єднано з відповідним виходом шини керуючих сигналів блока керування, а вихід генератора імпульсів з'єднано з входом регістра послідовного наближення і входом лічильника адреси, виходи регістра послідовного наближення з'єднано з відповідними першими входами блока елементів АБО і першими входами цифрового обчислювального пристрою, другий вхід першого блока постійної пам'яті з'єднано з відповідним виходом шини керуючих сигналів блока керування, вихід першого блока постійної пам'яті через шину, керовану відповідним виходом шини керуючих сигналів блока керування, з'єднано з другим входом блока елементів АБО, виходи блока елементів АБО з'єднано з відповідними входами цифро-аналогового перетворювача із ваговою надлишковістю, другий вхід цифрового обчислювального пристрою з'єднано з шиною керуючих сигналів блока керування, третій входи цифрового обчислювального пристрою з'єднано з другим блоком постійної пам'яті, четверті входи цифрового обчислювального пристрою з'єднано з блоком оперативної пам'яті, виходи цифрового обчислювального пристрою з'єднано з вихідною цифровою шиною, крім того, генератор калібрувальних сигналів містить джерело струму, підсилювач постійного струму, конденсатор, ключовий елемент, причому перший вивід джерела струму з'єднано з шиною нульового потенціалу, другий вивід джерела струму з'єднано з першою клемою ключового елемента, першим виводом конденсатора, від'ємним входом підсилювача постійного струму, додатний вхід підсилювача постійного струму з'єднано з шиною нульового потенціалу, вихід підсилювача постійного струму, що є виходом генератора калібрувальних сигналів, з'єднано з другою клемою ключового елемента, другим виводом конденсатора

(13) C2

(11) 89062

(19) UA

Винахід відноситься до галузі цифрової вимірювальної і обчислювальної техніки і може бути використаний для перетворення аналогових величин в цифрові.

Відомий спосіб аналого-цифрового перетворення (А. с. СРСР №1304172 М. кл. Н03М1/26, бюл. №14, 1987), заснований на порозрядному врівноваженні вхідного аналогового сигналу, який полягає в тому, що на кожному і-му такті формують компенсуючий аналоговий сигнал, виконують порівняння вхідного аналогового сигналу з компенсуючим аналоговим сигналом і запам'ятовують результат порівняння, одночасно з формуванням компенсуючого аналогового сигналу формують додатковий аналоговий сигнал величиною

$$\Delta Q = \frac{\sum_{j=i+1}^n Q_j - Q_i + 1}{2}, \text{ де } n - \text{число розрядів коду, } Q_i -$$

вага і-го розряду, і перед порівнянням з вхідним аналоговим сигналом сумують компенсуючий і додатковий аналогові сигнали, а порівняння вхідного аналогового сигналу виконують з сигналом результату сумування, при цьому формування компенсуючого аналогового сигналу виконують на основі надлишкового вимірювального коду з вагами $Q_i = Q_{i-1}/\alpha$, де $1 \leq \alpha < 2$ - основа надлишкового вимірювального коду.

Недоліком цього способу є низька параметрична надійність перетворення, що призводить до зниження точності при зміні умов навколишнього середовища, зокрема температури.

Відомий аналого-цифровий перетворювач (А.с. СРСР №1513619, М. кл. Н03М1/26, бюл. №37, 1989), який містить вхідну аналогову шину, блок опорної напруги, перший, другий, третій аналогові комутатори, операційний підсилювач, вихідну аналогову шину, четвертий аналоговий комутатор, резистор, блок вибірки-зберігання, п'ятий аналоговий комутатор, блок порівняння струмів, додатковий перетворювач код-струм, основний перетворювач код-струм, перший регістр зсуву, регістр, другий регістр зсуву, блок елементів АБО, регістр послідовного наближення, блок керування, обчислювальний блок, шину "Запис", вхідну цифрову шину, вихідну цифрову шину, шину "Режим перетворення", шину "Контроль", шину "Пуск", шину "Кінець перетворення", причому перший інформаційний вхід першого аналогового комутатора є аналоговою вхідною шиною, його керуючий вхід підключений до першого виходу блоку керування, перший, другий і третій виходи якого являються відповідно шинами "Режим перетворення", "Контроль", "Пуск", четвертий вхід підключено до виходу блоку порівняння струмів, другий і третій входи підключено відповідно до тактового і інформаційного входів регістру послідовного наближення, виходи з четвертого до восьмого підключено до входів обчислювального блоку відповідно від першого до п'ятого, перші виходи якого являються вихідною цифровою шиною, шості входи підключено до відповідних дев'ятих виходів блоку керу-

вання, десятий і одинадцятий виходи якого підключено відповідно до входів запису і зсуву першого регістру зсуву, виходи якого підключено до входів додаткового перетворювача код-струм, перший вихід блоку опорної напруги підключено до другого інформаційного входу першого аналогового ключа, вихід якого підключено до першого інформаційного входу другого аналогового комутатора, керуючий вхід якого підключено до дванадцятого виходу блоку керування, другий і третій інформаційні входи об'єднано і підключено до загальної шини, четвертий інформаційний вхід підключено до другого виходу блоку опорної напруги, перший і другий виходи підключено відповідно до першого інформаційного входу третього аналогового комутатора і до інформаційного входу блоку вибірки-зберігання, керуючий вхід якого підключено до тринадцятого виходу блоку керування, вихід підключено до другого інформаційного входу третього аналогового комутатора, керуючий вхід якого підключено до чотирнадцятого виходу блоку керування, вихід підключено до першого інформаційного входу четвертого аналогового комутатора, другий інформаційний вхід якого об'єднано з входом операційного підсилювача і підключено до першого виходу п'ятого аналогового комутатора, третій інформаційний вхід підключено до виходу операційного підсилювача і вихідної аналогової шини, четвертий інформаційний вхід об'єднано з інформаційним входом блоку порівняння струмів і підключено до другого виходу першого аналогового комутатора, перший і другий виходи підключено до відповідних виходів резистора, керуючий вхід підключено до п'ятнадцятого виходу блоку керування, шістнадцятий вихід якого підключено до керуючого входу блоку порівняння струмів сімнадцятий вихід підключено до управляючого входу п'ятого аналогового комутатора, інформаційний вхід якого підключено до виходів додаткового і основного перетворювача код-струм, n входів останнього підключено до відповідних виходів регістра, тактові входи якого підключено до вісімнадцятого виходу блоку керування, перший і другий інформаційні входи підключено до виходів відповідних розрядів регістру послідовного наближення, вихід закінчення перетворення якого підключено до п'ятого входу блоку керування, виходи розрядів з третього до n-ого підключено до відповідних перших входів блоку елементів АБО, виходи якого підключено до відповідних інформаційних входів регістра з третього до n-ого, другі входи підключено до відповідних виходів другого регістру зсуву, виходи запису і зсуву якого підключено до відповідно до дванадцятого і двадцятого виходів блоку керування, шостий вхід якого підключено до другого виходу обчислювального блоку, двадцять перший і двадцять другий виходи підключено відповідно до сьомого і восьмого входів обчислювального блоку, двадцять третій вихід є вихідна шина "Закінчення перетворення" і підключений до дев'ятого входу обчислювального, десятий виходи якого є вхідною цифровою шиною, одинадцятий вхід є шиною "Запис".

Недоліком цього пристрою є низька параметрична надійність перетворення.

За прототип обрано спосіб аналого-цифрового перетворення (А. с. СРСР №1388985, М. кл. Н03М1/26, бюл. №14, 1988), заснований на порозрядному врівноваженні вхідного аналогового сигналу, який полягає у тому, що на кожному i -му такті формують компенсуючий сигнал врівноваження, рівний сумі основного компенсуючого сигналу порозрядного врівноваження і першого додаткового компенсуючого сигналу такої ж полярності, та виконують порівняння вхідного аналогового сигналу з сигналом врівноваження, за результатом порівняння на всіх тактах виконують формування вихідного коду, по результату порівняння на i -му такті вхідного аналогового сигналу з сигналом врівноваження у випадку перевищення сигналу врівноваження над вхідним аналоговим сигналом виконують на $(i+1)$ -му такті до формування сигналу врівноваження формують другий додатковий компенсуючий сигнал протилежної полярності, який при формуванні сигналу врівноваження сумують з основним і першим додатковим компенсуючим сигналами даного такту, при цьому величину першого додаткового компенсуючого сигналу вибирають рівною $A_{g1}(i) = Q_i(\alpha^{-1}/2 + K)$, а величину другого додаткового компенсуючого сигналу рівною $A_{g2}(i) = Q_i * 2K$, де α - основа надлишкового вимірювального коду, Q_i - вага i -го розряду коду, $0 < K < \alpha^{-1}/2$.

Недоліком способу є низька параметрична надійність перетворення, що призводить до зниження точності при зміні умов навколишнього середовища, зокрема температури.

Найбільш близьким до пристрою, що заявляється, є аналого-цифровий перетворювач (А. с. СРСР №1221750, М. кл. Н03М1/26, бюл. №12, 1986), який містить схему порівняння, цифроаналоговий перетворювач із ваговою надлишковістю, регістр послідовного наближення, вхідну аналогову шину, шину "Запуск", блок постійної пам'яті, блок підсумовування, регістр, лічильник адреси, вихідну цифрову шину, шину тактових імпульсів, причому вхідну аналогову шину під'єднано до першого входу схеми порівняння, другий вхід якої під'єднано до виходу цифроаналогового перетворювача із ваговою надлишковістю, а вихід схеми порівняння - до інформаційного входу регістру послідовного наближення, перший керуючий вхід якого під'єднано до шини "Запуск", другий керуючий вхід регістру послідовного наближення з'єднано з шиною тактових імпульсів, вихід регістру послідовного наближення під'єднано до входу цифроаналогового перетворювача із ваговою надлишковістю, перший керуючий вхід лічильника адреси об'єднано з першим керуючим входом регістру і другим керуючим входом регістру послідовного наближення, другий керуючий вхід лічильника адреси об'єднано з другим керуючим входом регістру і першим керуючим входом регістру послідовного наближення, вихід лічильника адреси під'єднано до адресних входів блоку постійної пам'яті, керуючий вхід блоку постійної пам'яті під'єднано до виходу блоку порівняння, вихід блоку постійної пам'яті з'єднано з першим входом блоку підсумовування, вихід якого під'єднано до входу

регістру, вихід регістру під'єднано до другого входу блоку підсумовування і до вихідної цифрової шини.

Недоліком цього пристрою є низька параметрична надійність перетворення.

В основу винаходу поставлено задачу створення способу аналого-цифрового перетворення, в якому за рахунок введення процедури самокалібрування, що полягає у визначенні відносних відхилень ваг старших розрядів шляхом порівняння ваги поточного розряду, що калібрується, із сумою ваг певної групи сусідніх молодших розрядів на базі існуючих між ними математичних співвідношень з подальшим обчисленням коригувальних поправок або коригувальних значень "неточних" розрядів і врахування цих поправок в процесі перетворення, що дозволяє підвищити параметричну надійність при зміні умов навколишнього середовища, зокрема температури.

В основу винаходу поставлено задачу створення аналого-цифрового перетворювача, що реалізує запропонований спосіб, в якому за рахунок введення нових блоків і зв'язків між ними досягається підвищення параметричної надійності перетворення, що розширює галузь використання пристрою.

Поставлена задача досягається тим, що спосіб аналого-цифрового перетворення, який полягає в тому, що на кожному i -ому такті формують компенсуючий сигнал врівноваження і додатковий аналоговий сигнал та здійснюють їх порівняння з вхідним аналоговим сигналом, по результатам порівняння на всіх тактах здійснюється формування вихідного коду з метою підвищення надійності аналого-цифрового перетворення крім основного режиму введено режим калібрування, під час якого визначають реальні ваги розрядів перетворювача, які далі використовуються в режимі основного перетворення.

Поставлена задача досягається тим, що у аналого-цифровий перетворювач, який містить вхідну аналогову шину та вихідну цифрову шину, схему порівняння, регістр послідовного наближення, цифроаналоговий перетворювач із ваговою надлишковістю, перший блок постійної пам'яті, лічильник адреси причому другий аналоговий вхід схеми порівняння під'єднано до виходу цифроаналогового перетворювача із ваговою надлишковістю, вихід схеми порівняння з'єднано з інформаційною шиною результату порівняння, яку з'єднано з інформаційними входами регістру послідовного наближення, лічильника адреси з'єднано з першим входом першого блоку постійної пам'яті, введено шину нульового потенціалу, комутатор, генератор калібрувальних сигналів, генератор імпульсів, другий блок постійної пам'яті, блок оперативної пам'яті, цифровий обчислювальний пристрій, блок елементів АБО, шину керуючих сигналів, причому вхідну аналогову шину з'єднано з першим інформаційним входом комутатора, вихід генератора калібрувальних сигналів з'єднано з другим інформаційним входом комутатора, третій інформаційний вхід комутатора з'єднано з шиною нульового потенціалу, вихід комутатора з'єднано з першим аналоговим входом схеми порівняння, вхід генератора калібрувальних сигналів з'єднано з відпові-

дним виходом шини керуючих сигналів блоку керування, вхід генератора імпульсів з'єднано з відповідним виходом шини керуючих сигналів блоку керування, а вихід генератора імпульсів з'єднано з входом реєстру послідовного наближення і входом лічильника адреси, виходи реєстру послідовного наближення з'єднано з відповідними першими входами блоку елементів АБО і першими входами цифрового обчислювального пристрою, другий вхід першого блоку пам'яті з'єднано з відповідним виходом шини керуючих сигналів блоку керування, вихід першого блоку постійної пам'яті через шину керування відповідним виходом шини керуючих сигналів блоку керування з'єднано з другим входом блоку елементів АБО, виходи блоку елементів АБО з'єднано з відповідними входами цифроаналогового перетворювача із ваговою надлишковістю, другий вхід цифрового обчислювального пристрою з'єднано з шиною керуючих сигналів блоку керування, треті входи цифрового обчислювального пристрою з'єднано з другим блоком постійної пам'яті, четверті входи цифрового обчислювального пристрою об'єднано з блоком оперативної пам'яті, виходи цифрового обчислювального пристрою з'єднано з вихідною цифрою шиною. Крім того, генератор калібрувальних сигналів містить джерело струму, підсилювач постійного струму, конденсатор, ключовий елемент, причому перший вивід джерела струму з'єднано з шиною нульового потенціалу, другий вивід джерела струму об'єднано з першою клемою ключового елемента, першим виводом конденсатора, від'ємним входом підсилювача постійного струму, додатний вхід підсилювача постійного струму з'єднано з шиною нульового потенціалу, вихід підсилювача постійного струму, що є виходом генератора калібрувальних сигналів, з'єднано з другою клемою ключового елемента, другим виводом конденсатора.

На Фіг.1 представлено структурну схему аналого-цифрового перетворювача, що реалізує запропонований спосіб, на Фіг.2 представлено структурну схему генератора калібрувальних сигналів.

Пристрій містить вхідну аналогову шину 18, яку з'єднано з першим інформаційним входом комутатора 2, вихід генератора калібрувальних сигналів 1 з'єднано з другим інформаційним входом комутатора 2, третій інформаційний вхід комутатора 2 з'єднано з шиною нульового потенціалу 17, вихід комутатора 2 з'єднано з першим аналоговим входом схеми порівняння 5, вхід генератора калібрувальних сигналів 1 з'єднано з відповідним виходом шини керуючих сигналів 14 блоку керування 12, другий аналоговий вхід схеми порівняння 5 під'єднано до виходу цифроаналогового перетворювача із ваговою надлишковістю 7, вихід схеми порівняння 5 з'єднано з інформаційною шиною результату порівняння 15, яку з'єднано з інформаційними входами реєстру послідовного наближення 9, вхід генератора імпульсів 3 з'єднано з відповідним виходом шини керуючих сигналів 14 блоку керування 12, а вихід генератора імпульсів 3 з'єднано з входом реєстру послідовного наближення 9 і входом лічильника адреси 4, лічильник адреси 4 з'єднано з першим входом першого блоку постійної пам'яті 6, другий вхід першого блоку постійної пам'яті 6 з'єднано з відповідним виходом шини

керуючих сигналів 14 блоку керування 12, вихід першого блоку постійної пам'яті 6 через шину керування відповідним виходом шини керуючих сигналів 14 блоку керування 12 з'єднано з другим входом блоку елементів АБО 8, виходи реєстру послідовного наближення 9 з'єднано з відповідними першими входами блоку елементів АБО 8 і першими входами цифрового обчислювального пристрою 11, виходи блоку елементів АБО 8 з'єднано з відповідними входами цифроаналогового перетворювача із ваговою надлишковістю 7, другий вхід цифрового обчислювального пристрою 11 з'єднано з шиною керуючих сигналів 14 блоку керування 12, треті входи цифрового обчислювального пристрою 11 з'єднано з другим блоком постійної пам'яті 13, четверті входи цифрового обчислювального пристрою об'єднано з блоком оперативної пам'яті 10, виходи цифрового обчислювального пристрою 11 з'єднано з вихідною цифрою шиною 16.

Генератор калібрувальних сигналів 1 містить джерело струму 19, перший вивід якого з'єднано з шиною нульового потенціалу 17, другий вивід джерела струму 19 об'єднано з першою клемою ключового елемента 20, першим виводом конденсатора 21, від'ємним входом підсилювача постійного струму 22, додатний вхід підсилювача постійного струму 22 з'єднано з шиною нульового потенціалу 17, вихід підсилювача постійного струму 22, що є виходом генератора калібрувальних сигналів 1, з'єднано з другою клемою ключового елемента 20, другим виводом конденсатора 21.

Спосіб аналого-цифрового перетворення реалізується таким чином. Розрядна сітка перетворювача розбивається на групи з m неточних (старших), $(n-m)$ точних (молодших) розрядів, причому неточні і точні розряди утворюють групу з n основних розрядів, визначені ваги $(n-m)$ точних розрядів фіксуються в блоку постійної пам'яті в процесі виготовлення перетворювача. Організація роботи передбачається у двох режимах: самокалібрування і основного перетворення, причому перший передує другому. У режимі самокалібрування визначаються коди реальних значень ваг розрядів перетворювача і зсуву нуля. Це процедура здійснюється таким чином. На вході АЦП за допомогою генератора калібрувальних сигналів генерують аналогових сигнал A_{n-m} - для будь-якого розряду, що калібрується значення калібрувального сигналу повинно задаватись з допуском і відповідати умові

$$A_{\text{кал}} \geq Q_i i_0 + \Delta Q_i, \\ \Delta Q_i = \delta Q * Q_i;$$

де δQ - технологічний допуск. Далі здійснюється подвійне врівноваження вхідного аналогового сигналу A_{n-m} компенсуючою величиною $A_{k \ n-m}$ із вмиканням $(n-m)$ -го розряду (отримується кодова комбінація N') і без вмикання $(n-m)$ -го розряду (відповідно комбінація N''). Визначення реальної ваги $(n-m)$ -го розряду засновано на перевірці виконання співвідношення

$$\sum_0^{i-1} Q_j \geq Q_i,$$

де $Q_i = Q_{i-1} + \dots + Q_{i-l}$, $l=2$ для $\alpha=1,618$; $l=3$ для $\alpha=1,84$. При цьому код реальної ваги $(n-m)$ -го розряду представляється наступним чином:

$$K(Q_{n-m}) = K(Q_{n-m i_0}) + K(\Delta Q_{n-m}),$$

де $Q_{n-m i_0}$ - ідеальна вага $(n-m)$ -го розряду. На цьому цикл калібрування $(n-m)$ -го розряду закінчується. У наступному циклі калібрується $(n-m+1)$ -й розряд, при цьому на вході АЦП генерується аналоговий сигнал A_{n-m+1} , який врівноважується із вмиканням $(n-m+1)$ -ого розряду (комбінація N') і без його вмикання (N''). Код реальної ваги $(n-m+1)$ -ого розряду обчислюється за формулою

$$K(Q_{n-m+1}) = K(Q_{n-m+1 i_0}) + K(\Delta Q_{n-m+1}).$$

У подальших циклах аж до m -го процедура калібрування неточних розрядів аналогічна. При цьому код реальної ваги розряду розраховується за співвідношенням

$$K(Q_i) = K(Q_{i i_0}) + K(\Delta Q_i).$$

Після етапу калібрування ваг неточних розрядів визначається зсув нуля $\Delta A_{ЗМ}$. При цьому на вхід АЦП подається нульова зразкова міра $A_{ВХ}=0$ і здійснюється її врівноваження, у результаті якого на виході формується кодова комбінація $K(\Delta_0)$. Відповідно до $K(\Delta_0)$ обчислюється код зсуву нуля за формулою

$$K_{ЗМ 0} = Q_i a_i,$$

де a_i - розрядні коефіцієнти. Коди реальних ваг розрядів і зсуву нуля фіксуються і в подальшому використовуються в процесі основного перетворення.

У режимі основного перетворення вхідний аналоговий сигнал $A_{ВХ}$ врівноважується комперсуючим сигналом $A_{КМП}$ і в міру формування робочих кодів обчислюється результат перетворення

$$K_{ВИХ} = \sum_0^{n-1} K_i a_i + K(\Delta_0),$$

Пристрій працює у режимі самокалібрування і основного перетворення. Перед початком самокалібрування по команді блоку керування 12 комутатор 2 підключає вихід генератора калібрувальних сигналів 1 до першого входу схеми порівняння 5, а регістр послідовного наближення 9 встановлюється у нульовий стан сигналом блоку керування 12. Процес самокалібрування здійснюється послідовно від молодших розрядів до старших, причому першим калібрується $(n-m)$ -ий розряд. У цьому випадку за допомогою лічильника адреси 4 і першого блоку постійної пам'яті 6 через блок елементів АБО 8 на цифровий вхід цифроаналогового перетворювача із ваговою надлишковістю 7 подається кодова комбінація, яка забезпечує вмикання

$(n-m)$ -ого розряду і деяких інших молодших розрядів таким чином, щоб виконувалось співвідношення на виході цифроаналогового перетворювача із ваговою надлишковістю 7:

$$A_{КОМ n-m} \geq Q_{n-m} + \Delta Q_{n-m}, \\ \Delta Q_{n-m} = \delta Q \cdot Q_{n-m}.$$

По команді блоку керування 12 на виході генератора калібрувальних сигналів 1 починає формуватись аналоговий сигнал $A_{КЛБ}$, який лінійно зростає аж доти, поки сигнали на вході схеми порівняння 5 не зрівняються. При цьому схема порівняння 5 спрацьовує. Генератор калібрувальних сигналів 1 являє собою інтегратор на базі операційного підсилювача. Для запуску інтегратора по команді блоку керування 12 замикає ключовий елемент 20 і струм зміщення заряджає конденсатор 21. Коли ключовий елемент 20 розмикається, заряд на конденсаторі 21 фіксується і на виході інтегратора встановлюється постійний рівень напруги. Після розмикання ключового елемента 20 інтегратора блок керування 12 блокує подачу коду з виходу першого блоку постійної пам'яті 6 і розпочинає процес порозрядного врівноваження, в результаті якого у регістрі послідовного наближення 9 формується код N'_{n-m} . У міру формування вказаного коду і появи значущих розрядів із другого блоку постійної пам'яті 13 беруться коди цифрових еквівалентів ваг значущих розрядів і послідовно подаються у цифровий обчислювальний пристрій 11, де формується код:

$$K'_{n-m} = \sum_0^{n-m} a_i K_i \left(N'_{n-m} \right),$$

Далі примусово вимикається $(n-m)$ -ий розряд і проводиться компенсація $A_{ВХ n-m}$, формується код N''_{n-m} . У міру формування N''_{n-m} у цифровому обчислювальному пристрої 11 отримується K''_{n-m} :

$$K''_{n-m} = \sum_0^{n-m} a_i K_i \left(N''_{n-m} \right),$$

Після цього знаходиться різниця N'_{n-m} і N''_{n-m} цифрових еквівалентів ΔK_{n-m} :

$$\Delta K_{n-m} \left(N'_{n-m} \right) = K \left(N'_{n-m} \right) - K \left(N''_{n-m} \right),$$

і знаходиться код реальної ваги розряду $K_{реал n-m}$:

$$K_{реал n-m} = K_{i_0} + \Delta K_{n-m} (N_{n-m}),$$

де K_{i_0} - ідеальна вага розряду, що зберігається у другому блоці постійної пам'яті 13. Отриманий код фіксується у блоці оперативної пам'яті 10 у $(n-m)$ -у комірку пам'яті. Після цього розпочинається процес калібрування $(n-m+1)$ -го розряду. По команді блоку керування за допомогою лічильника адреси 4 і першого блоку постійної пам'яті 6 через

блок елементів АБО 8 на цифровий вхід цифроаналогового перетворювача із ваговою надлишковістю 7 подається кодова комбінація, яка забезпечує вмикання (n-m+1)-ого розряду і деяких інших молодших розрядів. Вмикається генератор калібрувальних сигналів 1, аналоговий сигнал з виходу якого зростає аж до зрівняння з сигналом з виходу ЦАП із ваговою надлишковістю 7. Після цього схема порівняння 5 спрацьовує, блокується подача коду з виходу першого блоку постійної пам'яті 6 і розпочинає процес порозрядного врівноваження, в результаті якого у регістрі послідовного наближення 9 формується код N'_{n-m+1} .

У міру формування вказаного коду і появи значущих розрядів із другого блоку постійної пам'яті 13 беруться коди цифрових еквівалентів ваг значущих розрядів і послідовно подаються у цифровий обчислювальний пристрій 11, де формується сума у вигляді:

$$K'_{n-m+1} = \sum_0^{n-m+1} a_i K_i \left(\left. \begin{array}{c} \cdot \\ \cdot \\ \cdot \end{array} \right|_{n-m+1} \right)$$

Далі примусово вмикається (n-m+1)-ий розряд і проводиться кодування молодшими розрядами, починаючи з (n-m)-ого. Отримується код

$$K''_{n-m+1} = \sum_0^{n-m+1} a_i K_i \left(\left. \begin{array}{c} \cdot \\ \cdot \\ \cdot \end{array} \right|_{n-m+1} \right)$$

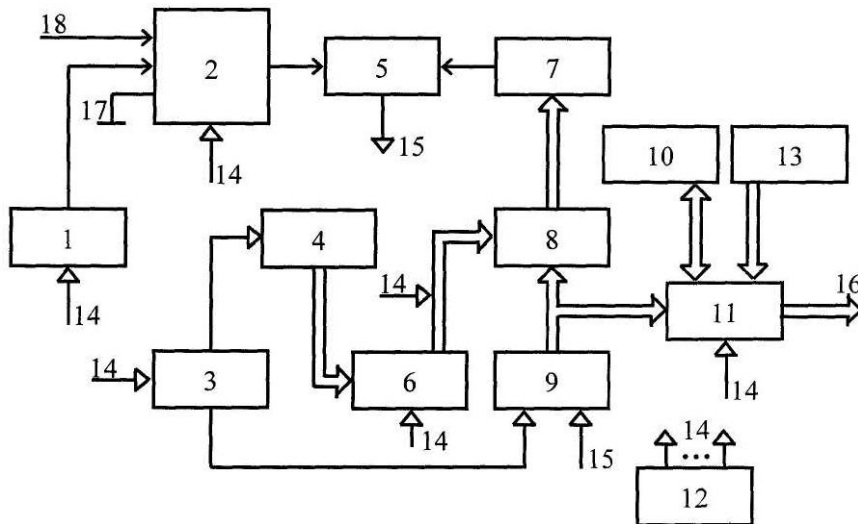
і знаходиться різниця

$$\Delta K_{n-m+1} \left(\left. \begin{array}{c} \cdot \\ \cdot \\ \cdot \end{array} \right|_{n-m+1} \right) = K \left(\left. \begin{array}{c} \cdot \\ \cdot \\ \cdot \end{array} \right|_{n-m+1} \right) - K \left(\left. \begin{array}{c} \cdot \\ \cdot \\ \cdot \end{array} \right|_{n-m+1} \right)$$

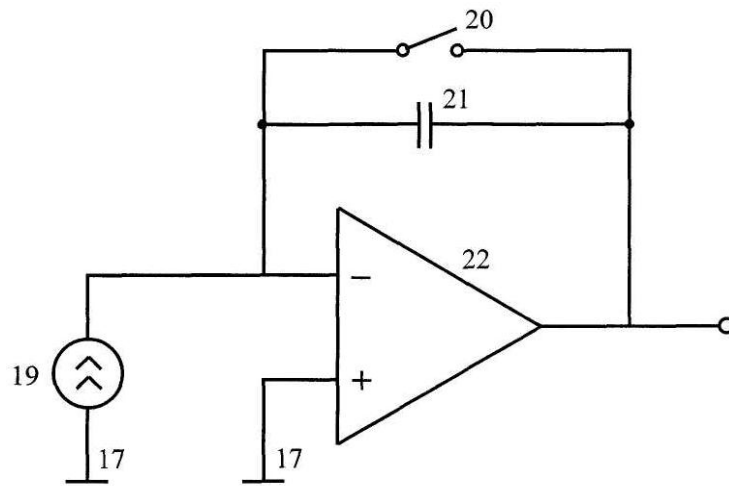
Після цього підсумовується ΔK_{n-m+1} з реальною вагою (n-m+1)-ого розряду, і результат заноситься у блок оперативної пам'яті 10 у (n-m+1)-у комірку. Вказана процедура продовжується аж до калібрування старшого (n-1)-го розряду, реальне значення коду якого заноситься у блок оперативної пам'яті 10 у комірку (n-1). Після цього аналогоцифровий перетворювач переходить у режим калібрування зсуву нуля. Комутатор 2 підключає перший вхід схеми порівняння 5 до шини нульового потенціалу 17. По команді блоку керування 12 здійснюється процес порозрядного врівноваження вхідного сигналу. У міру формування значущих розрядів у цифровому обчислювальному пристрої 11 обчислюється код зміщення нуля і фіксується у блоці оперативної пам'яті 10. На цьому процес калібрування закінчується і пристрій переходить у режим основного перетворення.

У режимі основного перетворення комутатор 2 підключає перший вхід схеми порівняння 5 до вхідної аналогової шини 18, а також у цифровий обчислювальний пристрій 11 подається код зміщення нуля. Далі розпочинається перетворення вхідного аналогового сигналу $A_{вх}$ у вихідний код $K_{вих}$

$$K_{вх} \left(\left. \begin{array}{c} \cdot \\ \cdot \\ \cdot \end{array} \right|_{r-1} \right) = \sum_0^{r-1} a_i K_i + K \left(\left. \begin{array}{c} \cdot \\ \cdot \\ \cdot \end{array} \right|_0 \right)$$



Фиг. 1



Фиг. 2