



УКРАЇНА

(19) UA (11) 33979 (13) U
(51) МПК (2006)
G06F 7/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) АРИФМЕТИЧНИЙ ПРИСТРІЙ

1

2

(21) u200801275

(22) 01.02.2008

(46) 25.07.2008, Бюл.№ 14, 2008 р.

(72) КОЖЕМ'ЯКО ВОЛОДИМИР ПРОКОПОВИЧ, UA, МАРТИНЮК ТЕТЯНА БОРИСІВНА, UA, САЛЮТА ВІКТОР ГРИГОРОВИЧ, UA, КОЖЕМ'ЯКО АНДРІЙ ВІКТОРОВИЧ, UA, БОЙКО ОКСАНА АРКАДІЇВНА, UA

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, UA

(57) Арифметичний пристрій, що містить реєстри першого й другого операндів, суматор і блок програмного керування, входи якого з першого по четвертий з'єднані відповідно з входами кодів операцій додавання, віднімання, множення й ділення пристрою, який відрізняється тим, що в нього введено групу К суматорів-віднімачів, групу К схем порівняння, групу К реєстрів значення кратності, компаратор, схему порівняння знаків, схему порівняння старших розрядів операндів, два комутатори, два лічильники, реєстри розрядності першого й другого операндів, реєстри цілої й дробової частин частки, причому вихід суматора з'єднаний з інформаційним входом реєстра другого операнда, виходи знакових розрядів реєстрів першого й другого операндів підключені до входів схеми порівняння знаків, вихід якої з'єднаний з п'ятим входом блока програмного керування, перший вихід якого з'єднаний з входом керування першого суматора-віднімача групи і з керуючим входом першого комутатора, перший і другий виходи якого підключені відповідно до входів додавання й до входів віднімання всіх суматорів-віднімачів групи, другий і третій виходи блока програмного керування підключені до входів керування зчитуванням реєстрів першого й другого операндів, вихід реєстра другого операнда підключений до першого інформаційного входу першого комутатора, вхід обнулення реєстра першого операнда підключений до четвертого виходу блока програмного керування, шостий вхід якого з'єднаний з виходом знакового розряду першого суматора-віднімача групи, п'ятий вихід блока програмного керування підключений до інформаційного входу знакового розряду реєстра першого операнда, шостий вихід блока програмного керування підключений до інформаційного входу знакового розряду реєстра другого операнда, вихід реєстра розрядності першого

операнда підключений до інформаційного входу першого лічильника, входи керування записом реєстрів розрядності першого й другого операндів підключені до сьомого й восьмого виходів блока програмного керування, виходи реєстрів розрядності першого й другого операндів підключені відповідно до другого і третього інформаційних входів першого комутатора, вхід керування записом реєстра першого операнда з'єднаний з дев'ятим виходом блока програмного керування, десятий і одинадцятий виходи якого підключені до входів керування зчитуванням реєстрів розрядності першого й другого операндів відповідно, другий вихід першого суматора-віднімача групи підключений до сьомого входу блока програмного керування, дванадцятий вихід якого з'єднаний з входом обнулення першого суматора-віднімача групи, тринадцятий вихід блока програмного керування підключений до входу обнулення реєстра другого операнда, вхід додавання кожного суматора-віднімача групи, починаючи з другого, з'єднаний з першим виходом попереднього суматора-віднімача групи, вихід кожного реєстра значення кратності групи підключений до першого входу відповідної схеми порівняння групи, другі входи схем порівняння групи підключені до виходу старшого розряду реєстра першого операнда, вихід кожної схеми порівняння групи підключений до входу керування зчитуванням відповідного суматора-віднімача групи, перші виходи суматорів-віднімачів групи підключені також до інформаційного входу суматора, вхід керування записом якого підключений до чотирнадцятого виходу блока програмного керування, п'ятнадцятий і шістнадцятий виходи якого підключені до входів керування зсувом реєстра першого операнда й суматора, входи першого й другого лічильників з'єднані із сімнадцятим і вісімнадцятим виходами блока програмного керування, вихід старшого розряду суматора підключений до інформаційного входу молодшого розряду реєстра другого операнда, вхід керування зсувом якого з'єднаний з дев'ятнадцятим виходом блока програмного керування, вихід ознаки нуля першого лічильника з'єднаний з восьмим входом блока програмного керування, двадцятий вихід якого з'єднаний з інформаційним входом знакового розряду реєстра цілої частини частки, виходи старших розрядів реєстрів першого

UA (19) 33979 (13) U

й другого операндів підключені до входів схеми порівняння старших розрядів операндів, вихід якої підключений до дев'ятого входу блока програмного керування, десятий вхід якого з'єднаний з виходом ознаки нуля регістра першого операнда, а одинадцятий вхід блока програмного керування відповідно з'єднаний з виходом ознаки нуля регістра другого операнда, двадцять перший вихід блока програмного керування з'єднаний з інформаційним входом молодшого розряду регістра цілої частини частки, другі виходи суматорів-віднімачів групи з'єднані з входами компаратора, вихід якого підключений до керуючого входу другого комутатора, інформаційний вхід якого з'єднаний з виходами регістрів значення кратності групи, а вихід з'єднаний з другими входами схем порівняння групи й з інформаційними входами молодших розрядів регістрів цілої й дробової частини частки, входи керування записом яких з'єднані з двадцять другим і двадцять третім виходами блока програмного керування, двадцять четвертий і двадцять п'ятий виходи якого з'єднані з входами керування зсувом регістрів цілої і дробової частини частки відповідно,

вихід регістра першого операнда з'єднаний з інформаційним входом регістра другого операнда, а також з четвертим інформаційним входом першого комутатора, двадцять шостий і двадцять сьомий виходи блока програмного керування підключені до входу керування записом регістра другого операнда й входом видачі другого комутатора відповідно, двадцять восьмий і двадцять дев'ятий виходи блока програмного керування з'єднані з входом обнулення й входом керування зчитуванням суматора відповідно, вихід ознаки нуля другого лічильника з'єднаний з дванадцятим входом блока програмного керування, тридцятий і тридцять перший виходи якого підключені відповідно до входів обнулення й входів керування суматорів-віднімачів групи, починаючи з другого, перші виходи всіх суматорів-віднімачів групи з'єднані також з інформаційним входом регістра першого операнда, вхід кожного регістра значення кратності групи є інформаційним входом запису відповідного значення кратності, а керуючий вхід кожного регістра значення кратності групи з'єднаний з тридцять другим виходом блока програмного керування.

Корисна модель відноситься до області обчислювальної техніки й може бути використана для організації арифметичних операцій над десятковими числами з фіксованою комою в мікроЕОМ або настільному калькуляторі.

Відомий пристрій для ділення [а.с СРСР №598075, кл. G06F7/52, 1976р.], що містить регістри зберігання кратних дільника, суматор-віднімач, блок зсуву, буферний регістр, регістр частки й блок керування, перший і другий виходи якого з'єднані з першим і другим входами регістрів зберігання кратних дільника, третій і четвертий виходи блока керування з'єднані з першою та другою керуючими шинами суматора-віднімача, п'ятий вихід блока керування з'єднаний з шиною зсуву регістра частки, шостий вихід блока керування підключений до шини зсуву, вихід суматора-віднімача з'єднаний з буферним регістром, а виходи регістрів зберігання кратних дільника об'єднані й з'єднані з першим входом суматора-віднімача, вихід блока зсуву з'єднаний з другим входом суматора-віднімача, виходом регістра частки й з входом регістрів зберігання кратних дільника, вихід знакового розряду буферного регістра з'єднаний з входом блока керування, а вхід молодшого розряду частки підключений до сьомого виходу блока керування.

Недоліком даного пристрою для ділення є те, що кратні дільника формуються згідно з рекурентним співвідношенням, а саме ділення виконується шляхом послідовних віднімань від діленого кратних дільника, що не дає значного виграшу у швидкодії.

Найбільш близьким за технічною суттю є арифметичний пристрій [Гольшев Л.К. "Электронные вычислительные машины", Киев, ГИТЛ УССР, 1968, с. 212, рис. 128], що містить регістри першого й другого операндів, суматор, два пристрої при-

йому першого й другого операндів у регістри відповідних операндів, два пристрої видачі прямого й зворотного коду з регістра першого операнда в суматор, два пристрої видачі прямого й зворотного коду з регістра другого операнда в суматор, два пристрої видачі прямого й зворотного коду із суматора, блок програмного керування, входи якого з першого по четвертий з'єднані відповідно з входами кодів операцій додавання, віднімання, множення й ділення пристрою, вихід суматора через пристрої видачі прямого й зворотного коду з'єднаний з інформаційними входами пристроїв прийому першого й другого операндів відповідно, виходи яких підключені до інформаційних входів відповідно регістрів першого й другого операндів, виходи яких через відповідні пристрої видачі прямого й зворотного коду з'єднані з входами суматора, загальні кодові шини з'єднані з входами пристроїв прийому першого й другого операндів, виходи блока програмного керування з першого по восьмий підключені відповідно до керуючих входів регістрів обох операндів, двох пристроїв прийому першого й другого операнда, двох пристроїв видачі прямого й зворотного коду з регістра першого операнда в суматор, двох пристроїв видачі прямого й зворотного коду з регістра другого операнда в суматор, двох пристроїв видачі прямого й зворотного коду із суматора.

Недоліком відомого арифметичного пристрою є незначна швидкодія, оскільки в ньому операції множення й ділення чисел виконуються шляхом послідовних додавань при множенні й послідовних віднімань при діленні. Таким чином, час виконання цих операцій визначається розрядністю операндів. При виконанні арифметичних операцій над десятковими числами подання їх у двійковому кодї не приводить до підвищення швидкодії арифметично-

го пристрою, оскільки існують непродуктивні часові витрати, пов'язані з необхідними кодовими перетвореннями.

В основу корисної моделі поставлена задача створення арифметичного пристрою, в якому за рахунок введення нових блоків та зв'язків досягається збільшення швидкодії за рахунок формування дев'яти кратних відповідного операнда при множенні та діленні десяткових чисел.

Поставлена задача вирішується тим, що в арифметичний пристрій, що містить регістри першого й другого операндів, суматор і блок програмного керування, входи якого з першого по четвертий з'єднані відповідно з входами кодів операцій додавання, віднімання, множення й ділення пристрою, введено групу К суматорів-віднімачів, групу К схем порівняння, групу К регістрів значення кратності, компаратор, схему порівняння знаків, схему порівняння старших розрядів операндів, два комутатори, два лічильники, регістри розрядності першого й другого операндів, регістри цілої й дробової частин частки, причому вихід суматора з'єднаний з інформаційним входом регістра другого операнда, виходи знакових розрядів регістрів першого й другого операндів підключені до входів схеми порівняння знаків, вихід якої з'єднаний з п'ятим входом блока програмного керування, перший вихід якого з'єднаний з входом керування першого суматора-віднімача групи і з керуючим входом першого комутатора, перший і другий виходи якого підключені відповідно до входів додавання й до входів віднімання всіх суматорів-віднімачів групи, другий і третій виходи блока програмного керування підключені до входів керування зчитуванням регістрів першого й другого операндів, вихід регістра другого операнда підключений до першого інформаційного входу першого комутатора, вхід обнулення регістра першого операнда підключений до четвертого виходу блока програмного керування, шостий вхід якого з'єднаний з виходом знакового розряду першого суматора-віднімача групи, п'ятий вихід блока програмного керування підключений до інформаційного входу знакового розряду регістра першого операнда, шостий вихід блока програмного керування підключений до інформаційного входу знакового розряду регістра другого операнда, вихід регістра розрядності першого операнда підключений до інформаційного входу першого лічильника, входи керування записом регістрів розрядності першого й другого операндів підключені до сьомого й восьмого виходів блока програмного керування, виходи регістрів розрядності першого й другого операндів підключені відповідно до другого і третього інформаційних входів першого комутатора, вхід керування записом регістра першого операнда з'єднаний з дев'ятим виходом блока програмного керування, десятий і одинадцятий виходи якого підключені до входів керування зчитуванням регістрів розрядності першого й другого операндів відповідно, другий вихід першого суматора-віднімача групи підключений до сьомого входу блока програмного керування, дванадцятий вихід якого з'єднаний з входом обнулення першого суматора-віднімача групи, тринадцятий вихід блока програмного керування

підключений до входу обнулення регістра другого операнда, вхід додавання кожного суматора-віднімача групи, починаючи з другого, з'єднаний з першим виходом попереднього суматора-віднімача групи, вихід кожного регістра значення кратності групи підключений до першого входу відповідної схеми порівняння групи, другі входи схем порівняння групи підключені до виходу старшого розряду регістра першого операнда, вихід кожної схеми порівняння групи підключений до входу керування зчитуванням відповідного суматора-віднімача групи, перші виходи суматорів-віднімачів групи підключені також до інформаційного входу суматора, вхід керування записом якого підключений до чотирнадцятого виходу блока програмного керування, п'ятнадцятий і шістнадцятий виходи якого підключені до входів керування зсувом регістра першого операнда й суматора, входи першого й другого лічильників з'єднані із сімнадцятим і вісімнадцятим виходами блока програмного керування, вихід старшого розряду суматора підключений до інформаційного входу молодшого розряду регістра другого операнда, вхід керування зсувом якого з'єднаний з дев'ятнадцятим виходом блока програмного керування, вихід ознаки нуля першого лічильника з'єднаний з восьмим входом блока програмного керування, двадцятий вихід якого з'єднаний з інформаційним входом знакового розряду регістра цілої частини частки, виходи старших розрядів регістрів першого й другого операндів підключені до входів схеми порівняння старших розрядів операндів, вихід якої підключений до дев'ятого входу блока програмного керування, десятий вхід якого з'єднаний з виходом ознаки нуля регістра першого операнда, а одинадцятий вхід блока програмного керування відповідно з'єднаний з виходом ознаки нуля регістра другого операнда, двадцять перший вихід блока програмного керування з'єднаний з інформаційним входом молодшого розряду регістра цілої частини частки, другі виходи суматорів-віднімачів групи з'єднані з входами компаратора, вихід якого підключений до керуючого входу другого комутатора, інформаційний вхід якого з'єднаний з виходами регістрів значення кратності групи, а вихід з'єднаний з другими входами схем порівняння групи й з інформаційними входами молодших розрядів регістрів цілої й дробової частин частки, входи керування записом яких з'єднані з двадцять другим і двадцять третім виходами блока програмного керування, двадцять четвертий і двадцять п'ятий виходи якого з'єднані з входами керування зсувом регістрів цілої і дробової частин частки відповідно, вихід регістра першого операнда з'єднаний з інформаційним входом регістра другого операнда, а також з четвертим інформаційним входом першого комутатора, двадцять шостий і двадцять сьомий виходи блока програмного керування підключені до входу керування записом регістра другого операнда й входом видачі другого комутатора відповідно, двадцять восьмий і двадцять дев'ятий виходи блока програмного керування з'єднані з входом обнулення й входом керування зчитуванням суматора відповідно, вихід ознаки нуля другого лічильника з'єднаний з дванадцятим входом блока про-

грамного керування, тридцятий і тридцять перший виходи якого підключені відповідно до входів обнулення й входів керування суматорів-віднімачів групи, починаючи з другого, перші виходи всіх суматорів-віднімачів групи з'єднані також з інформаційним входом регістра першого операнда, вхід кожного регістра значення кратності групи є інформаційним входом запису відповідного значення кратності, а керуючий вхід кожного регістра значення кратності групи з'єднаний з тридцять другим виходом блока програмного керування.

На Фіг.1 представлено структурну схему арифметичного пристрою, на Фіг.2 - функціональну схему блока програмного керування.

Арифметичний пристрій (Фіг.1) містить групу К суматорів-віднімачів 1, блок 2 програмного керування, групу К схем 3 порівняння, групу К регістрів 4 значення кратності, де $(K+1)$ - основа системи числення, регістр 5 першого операнда, регістр 6 другого операнда, компаратор 7, суматор 8, схему 9 порівняння знаків, регістри 10 і 11 цілої й дробової частини частки, схему 12 порівняння старших розрядів операндів, два комутатори 13 і 14, два лічильники 15 і 16 і два регістри 17 і 18 розрядності першого й другого операндів відповідно. Входи кодів операцій додавання, віднімання, множення, і ділення пристрою з'єднані відповідно з входами 19, 20, 21 і 22 блока 2 програмного керування, виходи знакових розрядів регістрів 5 і 6 першого й другого операндів підключені до входів схеми 9 порівняння знаків, вихід якої з'єднаний з входом 23 блока 2 програмного керування, вихід якого з'єднаний з входом 24 керування операцією першого суматора-віднімача 1 групи й з керуючим входом комутатора 13, виходи 25 і 26 якого підключені відповідно до входів додавання й до входів віднімання всіх суматорів-віднімачів 1 групи. Входи 27, 28 і 29 керування зчитуванням регістрів 5 і 6 першого й другого операндів і суматора 8 з'єднані з відповідними виходами блока 2 програмного керування, виходи регістрів 5 і 6 першого і другого операндів й регістрів 17 і 18 розрядності першого й другого операндів підключені до відповідних входів комутатора 13, входи 30, 31 і 32 обнулення регістрів 5 і 6 першого й другого операндів і суматора 8 з'єднані з відповідними виходами блока 2 програмного керування, виходи 33, 34 і 35 якого з'єднані з входами керування зсувом відповідно регістрів 5 і 6 першого й другого операндів і суматора 8. Вхід 36 блока 2 програмного керування з'єднаний з виходом знакового розряду першого суматора-віднімача 1 групи, входи 37, 38 і 39 керування записом регістрів 5 і 6 першого й другого операндів і суматора 8 підключені до відповідних виходів блока 2 програмного керування, вихід регістра 17 розрядності першого операнда з'єднаний з інформаційним входом лічильника 15, а інформаційний вхід 40 знакового розряду регістра 5 першого операнда й інформаційний вхід 41 знакового розряду регістра 6 другого операнда підключені до відповідних виходів блока 2 програмного керування. Входи 42 і 43 керування записом регістрів 17 і 18 розрядності першого й другого операндів з'єднані з відповідними виходами блока 2 програмного керування, виходи 44 і 45 якого підключені до вхо-

дів керування зчитуванням регістрів 17 і 18 першого й другого операндів відповідно, а виходи 46 і 47 - до входів керування відповідно лічильників 15 і 16, вихід 48 першого суматора-віднімача 1 групи з'єднаний з відповідним входом блока 2 програмного керування, вихід 49 якого підключений до входу обнулення першого суматора-віднімача 1 групи. Вхід додавання кожного суматора-віднімача 1 групи, починаючи з другого, з'єднаний з виходом 50 попереднього суматора-віднімача 1 групи, входи 51 керування операцією - з відповідним виходом блока 2 програмного керування, вихід 52 якого з'єднаний з входами обнулення всіх суматорів-віднімачів 1 групи, починаючи із другого, виходи 48 всіх суматорів-віднімачів 1 групи підключені до входу компаратора 7, а виходи 50 - до інформаційних входів регістра 5 першого операнда й суматора 8. Вихід кожного регістра 4 значення кратності групи підключений до входу 53 відповідної схеми 3 порівняння групи, вхід 54 яких підключений до виходу старшого розряду регістра 5 першого операнда, а вихід кожної схеми 3 порівняння групи з'єднаний з входом 55 керування зчитуванням відповідного суматора-віднімача 1 групи. Вихід старшого розряду суматора 8 підключений до інформаційного входу молодшого розряду регістра 6 другого операнда, виходи суматора 8 і регістра 5 першого операнда з'єднані з інформаційним входом 56 регістра 6 другого операнда, виходи старших розрядів регістрів 5 і 6 першого й другого операндів підключені до входів схеми 12 порівняння старших розрядів операндів, вихід якої з'єднаний з входом 57 блока 2 програмного керування, відповідні входи якого підключені до виходів 58 і 59 ознаки нуля лічильників 15 і 16 відповідно. Вихід 60 блока програмного керування з'єднаний з інформаційним входом знакового розряду регістра 10 цілої частини частки, вихід 61 - з інформаційним входом молодшого розряду регістра 10 цілої частини частки, входи 62 і 63 керування записом і входи 64 і 65 керування зсувом відповідно регістра 10 цілої частини й регістра 11 дробової частини частки підключені до відповідних виходів блока 2 програмного керування. Вихід компаратора 7 з'єднаний з керуючим входом комутатора 14, інформаційний вхід якого з'єднаний з виходом всіх регістрів 4 значення кратності групи, вихід 66 - з входами 54 схем 3 порівняння групи й з інформаційними входами молодших розрядів регістрів 10 і 11 цілої й дробової частини частки, а вхід 67 видачі комутатора 14 підключений до відповідного виходу блока 2 програмного керування, входи 68, 69 якого підключені до відповідних виходів ознаки нуля регістрів 5 і 6 першого і другого операндів відповідно. Причому вхід 70 кожного з регістрів 4 значення кратності групи є інформаційним входом запису відповідного значення кратності, а керуючий вхід кожного з регістрів 4 значення кратності з'єднаний з виходом 71 блока 2 програмного керування.

Блок 2 програмного керування (Фіг.2) містить мікропрограмний автомат (МПА) 72 і восьмирозрядний регістр 73 ознак. Входами МПА 72 є входи 19, 20, 21, 22 кодів операцій додавання, віднімання, множення та ділення відповідно блока 2 програмного керування, відповідні виходи МПА 72 з'єднані

з входами молодших семи розрядів восьмирозрядного регістра 73 ознак, вхід восьмого розряду якого підключений до входу 23 блока 2 програмного керування, а всі вісім виходів регістра 73 ознак з'єднані з відповідними входами МПА 72. Входи 36, 48, 57-59, 68-69 блока 2 програмного керування з'єднані з відповідними входами МПА 72, виходи якого підключені до виходів 24, 27-35, 37-47, 49, 51, 52, 60-65, 67, 71 блока 2 програмного керування. Співвідношення між номерами виводів, задіяними вузлами і виконуваними мікроопераціями, а також кодування сигналів ознак і сигналів керування наведено у Таблиці 1, де прийнято такі позначення: БПК - блок програмного керування, КОП - код операції, См - суматор, Лч - лічильник, Рг - регістр.

Таблиця 1

Сигнали	Вивід	Задіяний вузол	Мікрооперації
x ₁	19	БПК2	КОП (додавання)
x ₂	20	БПК2	КОП (віднімання)
x ₃	21	БПК2	КОП (множення)
x ₄	22	БПК2	КОП (ділення)
x ₅	23	Схема порівняння 9	Ознака рівності
x ₁₁	36	См 1(1)	Ознака знака
x ₈	48	См 1(1)	Розрядність результату
x ₁₀	57	Схема порівняння 12	Порівняння
x ₉	58	Лч15	Ознака нуля - закінчення множення
x ₁₂	59	Лч16	Ознака нуля - закінчення ділення
x ₆	68	Рг 5	Ознака нуля
x ₇	69	Рг 6	Ознака нуля
y ₅	24	Комутатор 13; См 1 (1)	Дозвіл додавання/віднімання
y ₃₀	27	Рг 5	Дозвіл зчитування
y ₄	28	Рг 6	Дозвіл зчитування
y ₂₅	29	См 8	Дозвіл зчитування
y ₂₄	30	Рг 5	Обнулення
y ₁₈	31	Рг 6	Обнулення
y ₇	32	См 8	Обнулення
y ₁₉	33	Рг 5	Зсув ліворуч
y ₂₂	34	Рг 6	Зсув ліворуч
y ₂₀	35	См 8	Зсув ліворуч
y ₁	37	Рг 5	Дозвіл запису
y ₂	38	Рг 6	Дозвіл запису
y ₁₃	39	См 8	Дозвіл запису
y ₃	40	Рг 5	Запис знака
y ₆	41	Рг 6	Запис знака
y ₉	42	Рг 17	Дозвіл запису
y ₁₀	43	Рг 18	Дозвіл запису
y ₁₄	44	Рг 17	Дозвіл зчитування
y ₁₅	45	Рг 18	Дозвіл зчитування
y ₂₁	46	Лч 15	Декремент
y ₃₁	47	Лч 16	Декремент
y ₁₆	49	См 1 (1)	Обнулення
y ₁₇	51	См 1 (1..K)	Дозвіл додавання/віднімання
y ₀	52	См 1 (2..K)	Обнулення

y ₁₁	60	Рг 10	Запис знака
y ₁₂	61	Рг 10	Запис одиниці
y ₈	62	Рг 10	Дозвіл запису
y ₂₃	63	Рг 11	Дозвіл запису
y ₂₆	64	Рг 10	Зсув ліворуч
y ₂₇	65	Рг 11	Зсув ліворуч
y ₂₈	67	Комутатор 14	Дозвіл видачі
y ₂₉	71	Рг 4(1..K)	Дозвіл запису

Арифметичний пристрій (Фіг.1) реалізує такі операції: додавання, віднімання, множення й ділення десяткових чисел.

Додавання й віднімання десяткових чисел на арифметичному пристрої здійснюється шляхом подачі операндів А і В послідовно на перший суматор-віднімач 1. Знак результату визначається з урахуванням знаків операндів і знака, одержуваного на першому суматорі-віднімачі 1.

Арифметичний пристрій реалізує таку послідовність дій при множенні десяткових чисел.

1. Перевіряється рівність множників А і В нулю. У випадку, якщо обидва співмножники або один з них дорівнюють нулю, результату присвоюється значення нуля і операція припиняється. В іншому випадку формуються кратні множника А. Знак результату визначається відповідно до знаків операндів за законами двійкової логіки.

2. Виконується одночасне порівняння вмісту старшого розряду множника В й значення кожного кратного множника А.

3. При співпаданні цифри старшого розряду множника В й значення одного з кратних множника А виконується підсумовування відповідного кратного з вмістом суматора і наступний зсув вмісту суматора, якщо виконується множення не на останню цифру множника В. В іншому випадку зсув вмісту суматора не виконується.

4. Повторюються дії пп. 2, 3 доти, поки не буде реалізоване множення на всі розряди множника В. Для ділення десяткових чисел виконуються такі дії.

1. Перевіряється рівність діленого А і дільника В нулю. У випадку, якщо ділене А або дільник В дорівнює нулю, операція ділення припиняється. В іншому випадку формуються кратні дільника В, виконується порівняння кількості розрядів операндів і порівняння цифр відповідних розрядів, починаючи зі старших, для визначення розрядності цілої й дробової частини результату. Знак результату визначається відповідно до знаків операндів за законами двійкової логіки.

2. Відбувається одночасне віднімання від усіх кратних дільника В часткового залишку (на початку операції - самого діленого А або його частини).

3. Вибирається мінімальний за модулем від'ємний частковий залишок (або нуль) серед отриманих після віднімання. Значення кратності, що відповідає обраному залишку, є черговою цифрою частки, а модуль залишку використовується для формування наступного часткового залишку.

4. Отримана цифра частки записується у відповідний розряд регістра цілої або дробової частини результату.

5. Повторюються дії пп. 2,3,4 доти, поки не буде отриманий результат необхідної розрядності.

Арифметичний пристрій (Фіг.1) працює в такий спосіб.

При додаванні й відніманні перший операнд А записується в перший суматор-віднімач 1 групи, а його знак - у знаковий розряд регістра 5 першого операнда, другий операнд В - у регістр 6 другого операнда, а його знак відповідно - у знаковий розряд регістра 6 другого операнда. Результат порівняння знакових розрядів регістрів 5 і 6 відповідних операндів з виходу схеми 9 порівняння знакових розрядів надходить на вхід 23 блока 2 програмного керування, де після аналізу результату порівняння й коду операції додавання або віднімання, який надходить на вхід 19 або 20 блока 2 програмного керування, визначається, яка з двох операцій, додавання або віднімання, виконується на першому суматорі-віднімачеві 1 групи. За керуючим сигналом, що надходить на вхід 24 першого суматора-віднімача 1 групи й визначає вид операції, виконується додавання або віднімання на першому суматорі-віднімачеві 1 групи першого операнда А й другого В, що надходить з регістра 6. При зчитуванні другого операнда В з регістра 6 при наявності сигналу на його вході 28 керування зчитуванням, інформація, проходячи через комутатор 13, відповідно із кодом операції, яку необхідно виконати, подається або з виходу 25 комутатора 13 на вхід додавання першого суматора-віднімача 1 групи, що відповідає виконанню операції додавання, або з виходу 26 комутатора 13 на його вхід віднімання, що відповідає виконанню операції віднімання. Результат зчитується з першого суматора-віднімача 1 групи по виходу 50 у регістр 5 першого операнда, у знаковому розряді якого зберігається знак першого операнда при додаванні. Аналогічні дії відбуваються при відніманні, якщо результат віднімання на першому суматорі-віднімачеві 1 групи з додатним знаком, в іншому випадку в знаковому розряді регістра 5 першого операнда знак змінюється на протилежний за сигналом, що надходить на інформаційний вхід 40 знакового розряду регістра 5 першого операнда.

При множенні за наявності коду цієї операції на вході 21 блока 2 програмного керування множник А надходить у регістр 6 другого операнда, множник В - у регістр 5 першого операнда. Відбувається виявлення нульових множників за наявності ознаки нуля на одному з входів 68 або 69 блока 2 програмного керування, що відповідає нульовому вмісту регістра 5 першого операнда і регістра 6 другого операнда відповідно. У випадку, якщо один з множників дорівнює нулеві, операція множення припиняється. В іншому випадку формується знак добутку, який буде додатним при співпадінні знаків співмножників і від'ємним при їхній розбіжності. Залежно від інформації, що надходить з виходу схеми 9 порівняння знаків на вхід 23 блока 2 програмного керування, останній формує сигнал, що надходить на інформаційний вхід 41 знакового розряду регістра 6 другого операнда.

У лічильник 15 і регістр 17 розрядності першого операнда записується кількість розрядів М мно-

жника В, у регістр 18 розрядності другого операнда - кількість розрядів N множника А. Сума величин розрядностей обох співмножників, яка необхідна для визначення розрядності результату множення й порівняння його з величиною n, де n - кількість розрядів регістрів 5, 6 і суматора 8, формується на першому суматорі-віднімачі 1 групи й надходить з його виходу 48 на відповідний вхід блока 2 програмного керування, де аналізується її величина. Необхідно відзначити, що інформація з регістрів 17 і 18 розрядності операндів надходить з виходу 25 комутатора 13 на вхід додавання першого суматора-віднімача 1 групи. При множенні зв'язок з виходу першого суматора-віднімача 1 групи на вхід регістра 5 першого операнда блокується. Перший суматор-віднімач 1 групи обнуляється за сигналом, що надходить з виходу 49 блока 2 програмного керування на його вхід обнулення.

В усі суматори-віднімачі 1 групи на їх входи додавання заноситься множник А з виходу регістра 6 другого операнда через комутатор 13 з його виходу 25 за сигналом дозволу зчитування на вході 28 регістра 6 другого операнда і за сигналами дозволу додавання на керуючому вході комутатора 13, вході 24 керування операцією першого суматора-віднімача 1 групи і входах 51 керування операцією суматорів-віднімачів 1 групи, починаючи з другого. Потім формуються кратні множника А на відповідних суматорах-віднімачах 1 групи шляхом послідовного додавання до вмісту кожного суматора-віднімача 1 групи, починаючи з другого, вмісту попереднього суматора-віднімача 1 групи з його виходу 50 за сигналами дозволу додавання на входах 51 керування суматорів-віднімачів 1 групи. У регістри 4 значення кратності групи по їх входах 70 записується значення відповідної кратності множника А від 1 до К, де $(K+1)$ - основа системи числення, за наявності сигналу дозволу запису на вході 71 блока 2 програмного керування. Регістр 6 другого операнда обнуляється за сигналом, що надходить на його вхід 31 обнулення.

Порівняння старшої цифри множника В, що надходить з виходу старшого розряду регістра 5 першого операнда, і значень кратності множника А, записаних у регістрах 4 значення кратності групи, здійснюється одночасно на всіх схемах 3 порівняння групи. При збігові десяткових цифр на одній зі схем 3 порівняння групи сигнал з її виходу надходить на вхід 55 керування зчитуванням відповідного суматора-віднімача 1 групи й дозволяє перезапис його вмісту з виходу 50 на вхід суматора 8. При множенні зв'язок з виходів 50 всіх суматорів-віднімачів 1 групи на вхід регістра 5 блокується.

Далі відбувається зсув ліворуч на один розряд вмісту регістра 5 першого операнда і суматора 8 за сигналом з виходів 33 і 35 блока 2 програмного керування на їх входи керування зсувом. Вміст лічильника 15 зменшується на одиницю за керуючим сигналом декремента з виходу 46 блока 2 програмного керування. Вихід старшого розряду суматора 8 з'єднаний з інформаційним входом молодшого розряду регістра 6 другого операнда, що дозволяє надалі одержати результат множен-

ня, розрядність якого перевищує величину n , тобто коли $(N+M) > n$. У цьому випадку одночасно зі зсувом ліворуч інформації в регістрі 5 першого операнда і суматора 8 виконується зсув ліворуч вмісту регістра 6 другого операнда за сигналом з виходу 34 блока 2 програмного керування. Після завершення зсуву знову відбувається порівняння наступної цифри множника B і значень кратності множника A , підсумовування відповідного кратного з вмістом суматора 8, наступний зсув інформації регістрів 5, 6 відповідних операндів і суматора 8 на один розряд ліворуч й зменшення на одиницю вмісту лічильника 15. Цей цикл повторюється доти, поки не надійде сигнал з виходу 58 ознаки нуля лічильника 15 на вхід блока 2 програмного керування, що свідчить про нульове значення вмісту лічильника 15. На цьому операція множення закінчується.

При діленні за наявності коду цієї операції на вході 22 блока 2 програмного керування ділене A надходить одночасно в регістр 6 другого операнда й у суматор 8, дільник B - у регістр 5 першого операнда. Аналогічно, як при виконанні операції множення, відбувається порівняння діленого A і дільника B з нулем за наявності ознаки нуля на одному з входів 68 або 69 блока 2 програмного керування. У випадку, якщо один з операндів дорівнює нулю, операція ділення припиняється. Формується знак частки, який буде додатним при збігові знаків операндів і від'ємним при їхній відмінності. Залежно від інформації, що надходить з виходу схеми 9 порівняння знаків на вхід 23 блока 2 програмного керування, останній формує сигнал з виходу 60, який здійснює запис відповідного значення знака частки в знаковий розряд регістра 10 цілої частини частки. У лічильник 15 і регістр 17 розрядності першого операнда записується кількість розрядів M дільника B , у регістр 18 розрядності другого операнда - кількість розрядів N діленого A , у лічильник 16 - величина R необхідної розрядності результату ділення. Різниця величин розрядностей діленого й дільника формується на першому суматорі-віднімачеві 1 групи й надходить з його виходу 48 на відповідний вхід блока 2 програмного керування, де аналізується її величина й знак, що надходить на вхід 36 блока 2 програмного керування.

В усі суматори-віднімачі 1 групи на їх входи додавання заноситься дільник B з виходу регістра 5 першого операнда через комутатор 13 з його виходу 25 за сигналом дозволу зчитування на вході 27 регістра 5 першого операнда і за сигналами дозволу додавання на керуючому вході комутатора 13, вході 24 керування операцією першого суматора-віднімача 1 групи і входах 51 керування операцією суматорів-віднімачів 1 групи, починаючи з другого. Потім формуються кратні дільника B на відповідних суматорах-віднімачах 1 групи шляхом послідовного додавання до вмісту кожного суматора-віднімача 1 групи, починаючи з другого, вмісту попереднього суматора-віднімача 1 групи з його виходу 50 за сигналами дозволу додавання на входах 51 керування суматорів-віднімачів 1 групи. У регістри 4 значення кратності групи по їх входах 70 записується значення відпо-

відної кратності дільника B за наявності сигналу дозволу запису на виході 71 блока 2 програмного керування. Регістр 5 першого операнда обнуляється за сигналом, що надходить на його вхід 30 обнулення з виходу блока 2 програмного керування.

При аналізі операндів можливі такі варіанти.

1. У випадку, якщо $N=M$, необхідно провести аналіз цифр старших розрядів операндів A і B , що здійснюється за допомогою схеми 12 порівняння старших розрядів операндів.

1.1. Якщо $a_n = v_m$, то необхідне послідовне порівняння цифр у наступних молодших розрядах операндів. Перед кожним порівнянням виконується зсув вмісту регістрів 5 і 6 відповідних операндів на один розряд ліворуч, при цьому інформація в лічильнику 15 зменшується на одиницю (перед початком циклу порівняння в лічильник 15 записане число M , що вказує на кількість необхідних порівнянь).

Якщо виявляється, що у всіх, починаючи зі старшого M -го й закінчуючи першим, відповідних розрядах цифри діленого A й дільника B рівні, то операція ділення припиняється й у молодший розряд регістра 10 цілої частини частки записується одиниця за сигналом з виходу 61 блока 2 програмного керування.

1.2. Якщо $a_n > v_m$ (або при рівності цифр попередніх старших розрядів, починаючи з деякого розряду, $a_i > v_j$), порівняння припиняється й регістри 5 і 6 відповідних операндів обнуляються за сигналом, що надходить на їх входи 30 і 31 обнулення з виходів блока 2 програмного керування. Потім у регістр 6 другого операнда по його входу 56 переписується інформація із суматора 8, а суматор 8 обнуляється за сигналом, що приходить на його вхід 32 обнулення.

1.3. Якщо $a_n < v_m$ (або при рівності цифр попередніх старших розрядів, починаючи з деякого розряду, $a_i < v_j$) вміст регістра 10 цілої частини частки залишається нульовим, ділене A в суматорі 8 зсувається на один розряд ліворуч за керуючим сигналом, що надходить з виходу 35 блока 2 програмного керування на вхід керування зсувом суматора 8, і потім записується в попередньо обнулений за сигналом, що надходить на його вхід 31 обнулення, регістр 6 другого операнда по його входу 56. Суматор 8 при цьому обнуляється за сигналом, що надходить на його вхід 32 обнулення з виходу блока 2 програмного керування.

2. Якщо $N < M$, то виконуються дії, аналогічні п. 1.3.

3. Якщо $N > M$, то можливі такі випадки.

3.1. Якщо $a_n > v_m$ ($a_i > v_j$), то в M -ті молодші розряди попередньо обнуленого регістра 6 другого операнда по його входу 56 заноситься вміст M -их старших розрядів суматора 8, починаючи N -го й до $(N-M+1)$ -го розряду включно. При цьому інформація в суматорі 8 зсувається ліворуч доти, поки в його старшому розряді не з'явиться цифра $(N-M)$ -го розряду діленого A .

3.2. Якщо $a_n < v_m$ ($a_i < v_j$), то в $(M+1)$ -і молодші розряди попередньо обнуленого регістра 6 другого операнда по його входу 56 заноситься вміст суматора 8 з N -го по $(N-M)$ -й розряд включно. При цьо-

му інформація в суматорі 8 зсувається ліворуч доти, поки в його старшому розряді не з'явиться цифра $(N-M-1)$ -го розряду діленого А.

3.3. Можливий випадок, коли вміст M -их старших розрядів діленого А збігається з дільником В, тоді в регістр 10 цілої частини частки записується одиниця й кількість нулів, що визначаються величиною $(M-1)$. Запис одиниці в молодший розряд регістра 10 цілої частини частки здійснюється за сигналом з виходу 61 блока 2 програмного керування, а запис нулів виконується шляхом зсуву вмісту регістра 10 цілої частини частки на необхідну кількість розрядів ліворуч за сигналом, що надходить на його вхід 64 керування зсувом. Цикл одержання нулів у регістрі 10 цілої частини частки організується за допомогою лічильника 15, в який перед цим з регістра 17 розрядності першого операнда переписується величина M і зменшується щоразу на одиницю. У M -ті молодші розряди попередньо обнуленого регістра 6 другого операнда по його входу 56 записується вміст суматора 8, починаючи з $(N-M)$ -го розряду й до $(N-2M+1)$ -го розряду включно. При цьому аналогічно вміст суматора 8 зсувається ліворуч доти, поки в його старшому розряді не з'явиться цифра $(N-2M)$ -го розряду діленого А.

Кожний розглянутий вище варіант, який виник при аналізі операндів, фіксується записом одиниці у відповідний розряд восьмирозрядного регістра ознак, що входить до складу блока 2 програмного керування. Після описаної вище підготовки операндів відбувається одночасне віднімання вмісту регістра 6 на всіх суматорах-віднімачах 1 групи, в яких зберігаються відповідні кратні дільника В, за керуючим сигналом, що надходить на вхід 24 першого суматора-віднімача 1 групи й керуючий вхід комутатора 13, а також за сигналом дозволу віднімання на входах 51 всіх інших суматорів-віднімачів 1 групи, у результаті чого утворюються часткові залишки. Виконання цієї мікрооперації є початком циклу одержання чергової цифри частки.

Аналізується знак першого часткового залишку, що надходить на вхід 36 блока 2 програмного керування, тобто результат отриманий на першому суматорі-віднімачеві 1 групи. Якщо знак додатний, що свідчить про те, що дільник В більше діленого А, то цифра частки є нулем і, отже, здійснюється зсув на один розряд ліворуч вмісту регістра 10 цілої або регістра 11 дробової частини частки залежно від місця, займаного одиницею в розрядах регістра ознак блока 2 програмного керування. Якщо знак першого суматора-віднімача 1 групи є від'ємним, компаратор 7 здійснює вибір від'ємного часткового залишку, найменшого за модулем, або нульовий частковий залишок шляхом порівняння інформації, що надходить з виходу 48 всіх суматорів-віднімачів 1 групи. Значення кратності цього залишку, тобто вміст відповідного регістра 4 значення кратності групи, буде черговою цифрою частки, а модуль відповідного часткового залишку використовується для одержання наступного часткового залишку. Блок 2 програмного керування дозволяє запис значення кратності обраного часткового залишку в молодший розряд або регістра 10 цілої частини частки за сигналом,

що надходить на його вхід 62 керування записом, або регістра 11 дробової частини частки за сигналом, що надходить на його вхід 63 керування записом, відповідно до інформації, що перебуває в його регістрі ознак.

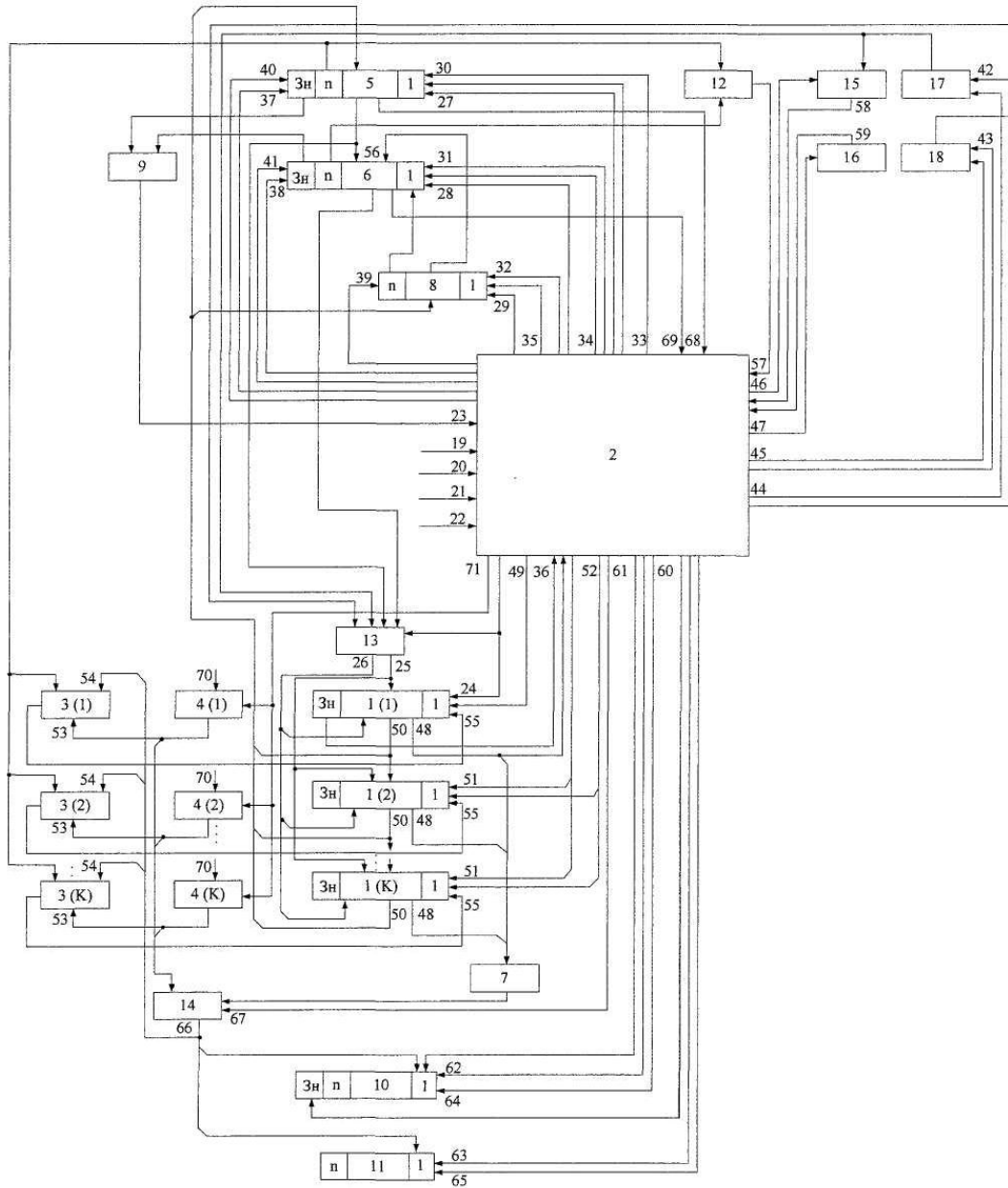
Інформація, що надходить з виходу компаратора 7 на керуючий вхід комутатора 14, дозволяє при наявності керуючого сигналу на його вході 67 видачі перезапис вмісту відповідного регістра 4 значення кратності групи з виходу 66 комутатора 14 на інформаційний вхід молодшого розряду або регістра 10 цілої, або регістра 11 дробової частини частки. Одночасно з цим за сигналом з виходу 66 комутатора 14, що надходить на вхід 54 однієї зі схем 3 порівняння групи, відбувається зчитування часткового залишку з виходу 50 відповідного суматора-віднімача 1 групи за сигналом, що надходить на його вхід 55 керування зчитуванням, у регістр 5 першого операнда. При діленні зв'язок з виходів 50 всіх суматорів-віднімачів 1 групи на вхід суматора 8 блокується. У всіх суматорах-віднімачах 1 групи відновлюються кратні дільника В шляхом додавання до їхнього вмісту інформації з регістра 6 другого операнда. Потім виконується перезапис інформації з регістра 5 першого операнда у попередньо обнулений регістр 6 другого операнда по його входу 56 за сигналом, що надходить на вхід 27 керування зчитуванням регістра 5 першого операнда. Здійснюється зсув вмісту регістра 6 другого операнда на один розряд ліворуч за сигналом з виходу 34 блока 2 програмного керування на його вхід керування зсувом і запис у його молодший розряд інформації зі старшого розряду суматора 8 в процесі зсуву його вмісту. Таким чином, відповідно до п. 3.1 у молодший інформаційний розряд регістра 6 другого операнда буде записаний вміст $(N-M)$ -го розряду діленого А, у випадку розглянутому в п. 3.2 - $(N-M-1)$ -й розряд діленого А, а в п. 3.3 - $(N-2M)$ -й розряд діленого А. Потім знову виконується одночасне віднімання вмісту регістра 6 другого операнда на всіх суматорах-віднімачах 1 групи. Цей цикл формування поточної цифри частки повторюється стільки разів, яка потрібна розрядність R результату ділення. Момент закінчення операції ділення фіксується появою сигналу на виході 59 ознаки нуля лічильника 16, вміст якого зменшується на одиницю при одержанні кожної чергової цифри частки за сигналом з виходу 47 блока 2 програмного керування.

Блок 2 програмного керування (Фіг.2) працює у такий спосіб. На одному з входів 19, 20, 21 або 22 блока 2 програмного керування з'являється одиничний сигнал як код операції додавання, віднімання, множення або ділення, який подається на відповідний вхід МПА 72. По входу 23 блока 2 програмного керування на вхід восьмого розряду регістра 73 ознак подається знак результату, потім на відповідні входи МПА 72 подаються сигнали з входів 36, 48, 57-59, 68, 69 блока 2 програмного керування в процесі їх виникнення. МПА 72 у відповідності до програми роботи пристрою формує сигнали ознак, які відповідають одному з можливих варіантів реалізації операції ділення і зберігаються у відповідних семи молодших розрядах регістра 73 ознак. Одночасно МПА 72 формує

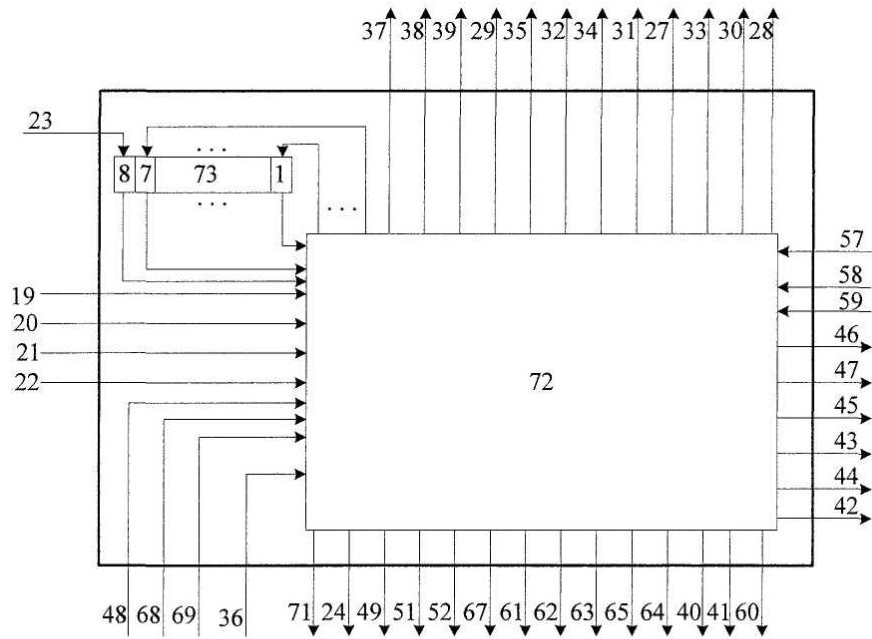
відповідні послідовності сигналів керування на виходах 24, 27-35, 37-47, 49, 51, 52, 60-65, 67, 71 блока 2 програмного керування, які стосуються виконання поточної арифметичної операції.

Підвищення швидкодії пропонованого арифметичного пристрою досягається за рахунок зниження часових витрат при виконанні операцій множення й ділення десяткових чисел. Використання дев'яти кратних множника дозволяє значно скоротити час виконання операції множення за рахунок різкого зниження кількості підсумовувань,

які необхідно виконати при множенні на одну десяткову цифру множника. Для прототипу число таких підсумовувань у середньому становить 4,5, для пропонованого арифметичного пристрою - завжди одне підсумовування. При діленні вигравш у часі досягається за рахунок організації процесу одночасного одержання на всіх суматорах-віднімачах групи відповідних часткових залишків з наступним їхнім аналізом замість використовуваного в прототипі процесу послідовних віднімань-додавань.



Фиг. 1



Фіг. 2