



УКРАЇНА

(19) UA (11) 85083 (13) C2
(51) МПК (2006)
H03M 1/22МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ПАТЕНТУ НА ВИНАХІД

(54) СПОСІБ АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЕННЯ ТА ПРИСТРІЙ ДЛЯ ЙОГО РЕАЛІЗАЦІЇ

1

2

(21) а200611426

(22) 30.10.2006

(24) 25.12.2008

(46) 25.12.2008, Бюл.№ 24, 2008 р.

(72) АЗАРОВ ОЛЕКСІЙ ДМИТРОВИЧ, UA,
ЛУКАЩУК ОЛЕКСАНДР ОЛЕКСАНДРОВИЧ, UA,
ЗАХАРЧЕНКО СЕРГІЙ МИХАЙЛОВИЧ, UA
(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ
УНІВЕРСИТЕТ, UA

(56) UA 22910 A, 05.05.1998

SU 1711329 A1, 07.02.1992

US 4829302, 09.05.1989

SU 1388985 A1, 15.04.1988

SU 1304172 A1, 15.04.1987

RU 2178948 C2, 27.01.2002

RU 2204884 C1, 20.05.2003

BG 100556, 30.01.1998

KR 20020094357, 18.12.2002

(57) 1. Спосіб аналого-цифрового перетворення, в якому на кожному і-му такті формують компенсуючий сигнал врівноваження і здійснюють порівняння вхідного аналогового сигналу з сигналом врівноваження, за результатами порівняння на всіх тактах здійснюють формування вхідного коду надлишкової позиційної системи числення, який **відрізняється** тим, що компенсуючий аналоговий сигнал формують як суму з додатних або від'ємних еталонних аналогових величин, значення яких пропорційні вагам розрядів надлишкової позиційної системи числення з розрядними коефіцієнтами [1; -1] за умови, що тривалості тактів врівноваження задають обернено пропорційними вказаним вагам розрядів, так, що кожен наступний такт в а разів триваліший за попередній, де а - відношення між вагами сусідніх розрядів.

2. Аналого-цифровий перетворювач, який містить вхідну аналогову та вихідну цифрову шини, шини аналогового компенсуючого сигналу, інформаційну шину результату порівняння, два цифро-аналогові перетворювачі з ваговою надлишковістю: перший додатний і другий від'ємний, два регістри послідовного наближення, дві цифрові вихідні шини регістрів послідовного наближення, суматор аналогових сигналів, цифровий обчислювальний пристрій, блок пам'яті, блок керування, а також шини керування сигналів блока керування, причому першу та другу цифрові вихідні шини першого та другого регістрів послідовного наближення з'єднано з вхо-

дами першого додатного та другого від'ємного цифро-аналогових перетворювачів з ваговою надлишковістю відповідно, а також з входами цифрового обчислювального пристрою, аналогові виходи першого додатного та другого від'ємного цифро-аналогових перетворювачів з ваговою надлишковістю з'єднано з входами суматора аналогових сигналів, цифровий обчислювальний пристрій з'єднано з блоком пам'яті, а також з вихідною цифровою шиною, перший та другий регістри послідовного наближення, цифровий обчислювальний пристрій керуючими входами з'єднані шиною керування сигналів блока керування з блоком керування, який **відрізняється** тим, що у нього введено схему порівняння з регульованою чутливістю, цифрову керуючу шину тактових імпульсів, генератор лічильних імпульсів та формувач рекурентної послідовності тактових імпульсів, причому вхідну аналогову шину з'єднано з входом схеми порівняння з регульованою чутливістю, інший аналоговий вхід якої з'єднано з шиною аналогового компенсуючого сигналу, керуючий цифровий вхід схеми порівняння з регульованою чутливістю з'єднано з керуючою шиною тактових імпульсів, а цифровий вихід з'єднано з інформаційною шиною результату порівняння, вихід генератора лічильних імпульсів з'єднано з лічильним входом формувача рекурентної послідовності тактових імпульсів, інший керуючий вхід формувача рекурентної послідовності тактових імпульсів з'єднано шиною керування сигналів блока керування з блоком керування, вихід формувача рекурентної послідовності тактових імпульсів з'єднано з цифровою керуючою шиною тактових імпульсів, вихід суматора аналогових сигналів з'єднано з шиною аналогового компенсуючого сигналу, інформаційні входи першого та другого регістрів послідовного наближення з'єднано з інформаційною шиною результату порівняння.

3. Пристрій за пунктом 2, який **відрізняється** тим, що формувач рекурентної послідовності тактових імпульсів містить лічильний вхід, який з'єднано з входом логічного елемента І, а також з лічильним входом лічильника цифрового еквівалента тривалості тактових імпульсів, інший вхід логічного елемента І з'єднано з виходом цифрової схеми порівняння кодів, вихід логічного елемента І з'єднано з входом логічного елемента АБО, а також з лічиль-

(13) C2

(11) 85083

(19) UA

ним входом лічильника номера такту, керуючий вхід з'єднано з іншим входом логічного елемента АБО, а також з входом СКІД лічильника номера такту, вихід логічного елемента АБО з'єднано з входом СКІД лічильника цифрового еквівалента тривалості тактових імпульсів, вихідну шину лічильника цифрового еквівалента тривалості тактових імпульсів з'єднано з входом цифрової схеми

порівняння кодів, вихідну шину лічильника номера такту з'єднано з адресним входом постійного запам'ятовуючого пристрою, вихідну шину постійного запам'ятовуючого пристрою з'єднано з входом цифрової схеми порівняння кодів, а її вихід з'єднано з входом логічного елемента І, а також з вихідною шиною формувача рекурентної послідовності тактових імпульсів.

Винахід відноситься до галузі цифрової вимірювальної і обчислювальної техніки і може бути використаний для перетворення аналогових величин в цифрові.

Відомо спосіб аналого-цифрового перетворення [А. с. №1304172 ССРСР, Н03М1/26, 1987], заснований на порозрядному врівноваженні вхідного аналогового сигналу, який полягає в тому, що на кожному і-му такті формують компенсуючий аналоговий сигнал, виконують порівняння вхідного аналогового сигналу з компенсуючим аналоговим сигналом і запам'ятовують результат порівняння, одночасно з формуванням компенсуючого аналогового сигналу формують додатковий аналоговий

сигнал величиною $\Delta Q = \frac{\sum_{j=i=1}^n Q_j - Q_i + 1}{2}$ де n - число

розрядів коду; Q_i - вага і-го розряду, і перед порівнянням з вхідним аналоговим сигналом сумують компенсуючий і додатковий аналогові сигнали, а порівняння вхідного аналогового сигналу виконують з сигналом результату сумування, при цьому формування компенсуючого аналогового сигналу виконують на основі надлишкового вимірювального коду з вагами $Q_i = Q_{i-1} / \alpha$, де $1 < \alpha < 2$ основа надлишкового вимірювального коду.

Недоліком цього способу є низька швидкість аналого-цифрового перетворення через те, що тривалості всіх тактів врівноваження є однаковими, а час перетворення визначається сумою тривалостей усіх тактів. Відомо аналого-цифровий перетворювач порозрядного врівноваження на основі знакорозрядної надлишкової системи числення [Азаров О.Д. Основи теорії аналого-цифрового перетворення на основі надлишкових позиційних систем числення. Монографія. - Вінниця: УНІВЕРСУМ - Вінниця, 2004. - стор.43], який містить вхідну аналогову та вихідну цифрову шини, шину аналогового компенсуючого сигналу, інформаційну шину результату порівняння, додатний і від'ємний цифро-аналогові перетворювачі з вагою надлишковості, суматор аналогових сигналів, схему порівняння, блок керування та логічний блок, вхідну аналогову шину з'єднано з входом схеми порівняння, інший аналоговий вхід схеми порівняння з'єднано шиною аналогового компенсуючого сигналу з виходом суматора аналогових сигналів, а цифровий вихід схеми порівняння за допомогою шини результату порівняння з'єднано з блоком керування, вихідні цифрові ши-

ни блоку керування з'єднано з входами цифро-аналогових перетворювачів з вагою надлишковою, а також з логічним блоком, аналогові виходи цих цифро-аналогових перетворювачів з'єднано з входами суматора аналогових сигналів, вихід логічного блоку з'єднано з вихідною цифровою шиною.

Недоліком цього пристрою є його низька швидкість через те, що тривалості всіх тактів врівноваження є однаковими, а час перетворення визначається сумою тривалостей усіх тактів.

За прототип обрано спосіб аналого-цифрового перетворення [А.с. СРСР №1388985 Н03М1/26, 1986], заснований на порозрядному врівноваженні вхідного аналогового сигналу, який полягає в тому, що на кожному і-му такті формують сигнал врівноваження, рівний сумі основного компенсуючого сигналу порозрядного врівноваження і першого додаткового компенсуючого сигналу такої ж полярності, та виконують порівняння вхідного аналогового сигналу з сигналом врівноваження, за результатом порівняння на всіх тактах виконують формування вихідного коду, по результату порівняння на і-му такті вхідного аналогового сигналу з сигналом врівноваження у випадку перевищення сигналу врівноваження над вхідним аналоговим сигналом виконують на (і+1)-му такті до формування сигналу врівноваження формують другий додатковий компенсуючий сигнал протилежної полярності, який при формуванні сигналу врівноваження сумують з основним і першим додатковим компенсуючим сигналами даного такту, при цьому величину першого додаткового компенсуючого сигналу вибирають рівною $A_{g1}(i) = Q_i * (\alpha^{-1}/2 + K)$, а величину другого додаткового компенсуючого сигналу рівною $A_{g2}(i) = Q_i * 2K$, де α - основа надлишкового вимірювального коду; Q_i - вага і-го розряду коду; $0 < K < \alpha^{-1}/2$

Недоліком способу-прототипу є низька швидкість аналого-цифрового перетворення через те, що тривалості всіх тактів врівноваження є однаковими, а час перетворення визначається сумою тривалостей усіх тактів. Найбільш близьким до пристрою, що заявляється, є швидкодіючий АЦП, що самокалібрується, на основі знакорозрядної надлишкової системи числення [Азаров О.Д. Основи теорії аналого-цифрового перетворення на основі надлишкових позиційних систем числення. Монографія. - Вінниця: УНІВЕРСУМ - Вінниця, 2004. - стор.25], який містить вхідну аналогову та вихідну цифрову шини, шину аналогового компен-

суючого сигналу, інформаційну шину результату порівняння, два цифро-аналогові перетворювачі з ваговою надлишковістю: додатний і від'ємний, два регістри послідовного наближення, суматор аналогових сигналів, цифровий обчислювальний пристрій, блок пам'яті, схему порівняння і блок керування, причому вхідну аналогову шину з'єднано з входом схеми порівняння, інший вхід якої з'єднано з шиною аналогового компенсуючого сигналу, а цифровий вихід з'єднано інформаційною шиною результату порівняння з регістрами послідовного наближення, цифрові вихідні шини першого та другого регістрів послідовного наближення з'єднано з входами першого та другого цифро-аналогових перетворювачів з ваговою надлишковістю відповідно, а також з входами цифрового обчислювального пристрою, аналогові виходи першого та другого цифро-аналогових перетворювачів з ваговою надлишковістю з'єднано з входами суматора аналогових сигналів, цифровий обчислювальний пристрій з'єднано з блоком пам'яті БП, а також з вихідною цифровою шиною, схема порівняння, перший та другий регістри послідовного наближення, цифровий обчислювальний пристрій керуючими входами з'єднані з відповідними виходами блоку керування.

Недоліком прототипу є його низька швидкість через те, що тривалості всіх тактів врівноваження є однаковими, а час перетворення визначається сумою тривалостей усіх тактів.

В основу винаходу поставлено задачу створення способу аналого-цифрового перетворення, в якому за рахунок того, що реалізовано змінну тривалість тактів аналого-цифрового перетворення порозрядного врівноваження так, що тривалості тактів врівноваження задаються обернено пропорційними відповідним вагам розрядів, це підвищує швидкість аналого-цифрового перетворення.

В основу винаходу поставлено задачу розробки аналого-цифрового перетворювача, що реалізує запропонований спосіб, в якому за рахунок введення нових блоків та зв'язків між ними досягнуто змінної тривалості тактів порозрядного врівноваження і, відповідно, зменшення загального часу врівноваження, це у декілька разів підвищує швидкість пристрою та розширює галузь його використання.

Поставлена задача досягається тим, що спосіб аналого-цифрового перетворення, який полягає в тому, що на кожному i -му такті формують компенсуючий сигнал врівноваження і здійснюють порівняння вхідного аналогового сигналу з сигналом врівноваження, по результатам порівняння на всіх тактах здійснюють формування вихідного коду надлишкової позиційної системи числення, з метою підвищення швидкості аналого-цифрового перетворення вдосконалено таким чином: компенсуючий аналоговий сигнал формують як суму з додатних або від'ємних еталонних аналогових величин, значення яких пропорційні вагам розрядів надлишкової позиційної системи числення з розрядними коефіцієнтами $[1; -1]$ за умови, що тривалості тактів врівноваження задають обернено пропорційними вказаним вагам розрядів, так, що кожен наступний такт в a разів триваліший за

попередній, де a - відношення між вагами сусідніх розрядів.

Поставлена задача досягається тим, що у аналого-цифровий перетворювач, що реалізує запропонований спосіб, який містить вхідну аналогову та вихідну цифрову шини, шину аналогового компенсуючого сигналу, інформаційну шину результату порівняння, два цифро-аналогові перетворювачі з ваговою надлишковістю: перший додатний і другий від'ємний, два регістри послідовного наближення, дві цифрові вихідні шини регістрів послідовного наближення, суматор аналогових сигналів, цифровий обчислювальний пристрій, блок пам'яті, блок керування а також шину керуючих сигналів блоку керування, причому першу та другу цифрові вихідні шини першого та другого регістрів послідовного наближення з'єднано з входами першого додатного та другого від'ємного цифро-аналогових перетворювачів з ваговою надлишковістю відповідно, а також з входами цифрового обчислювального пристрою, аналогові виходи першого додатного та другого від'ємного цифро-аналогових перетворювачів з ваговою надлишковістю з'єднано з входами суматора аналогових сигналів, цифровий обчислювальний пристрій з'єднано з блоком пам'яті а також з вихідною цифровою шиною, перший та другий регістри послідовного наближення, цифровий обчислювальний пристрій керуючими входами з'єднані шиною керування з блоком керування з блоком керування, введено схему порівняння з регульованою чутливістю, цифрову керуючу шину тактових імпульсів, генератор лічильних імпульсів та формувач рекурентної послідовності тактових імпульсів, причому вхідну аналогову шину з'єднано з входом схеми порівняння з регульованою чутливістю, інший аналоговий вхід якої з'єднано з шиною аналогового компенсуючого сигналу, керуючий цифровий вхід схеми порівняння з регульованою чутливістю з'єднано з керуючою шиною тактових імпульсів а цифровий вихід з'єднано з інформаційною шиною результату порівняння, вихід генератора лічильних імпульсів з'єднано з лічильним входом формувача рекурентної послідовності тактових імпульсів, інший керуючий вхід формувача рекурентної послідовності тактових імпульсів з'єднано шиною керуючих сигналів блоку керування з блоком керування, вихід формувача рекурентної послідовності тактових імпульсів з'єднано з цифровою керуючою шиною тактових імпульсів, вихід суматора аналогових сигналів з'єднано з шиною аналогового компенсуючого сигналу, інформаційні входи першого та другого регістрів послідовного наближення з'єднано з шиною інформаційною шиною результату порівняння. Крім того, формувач рекурентної послідовності тактових імпульсів містить лічильний, який з'єднано з входом логічного елемента "І", а також з лічильним входом лічильника цифрового еквіваленту тривалості тактових імпульсів, інший вхід логічного елемента "І" з'єднано з виходом цифрової схеми порівняння кодів, вихід логічного елемента "І" з'єднано з входом логічного елемента "АБО" а також з лічильним входом лічильника номеру такту, керуючий вхід з'єднано з іншим входом логічного елемента

"АБО", а також з входом "Скид" лічильника номеру такту, вихід логічного елемента "АБО" з'єднано з входом "Скид" лічильника цифрового еквіваленту тривалості тактових імпульсів, вихідну шину лічильника цифрового еквіваленту тривалості тактових імпульсів з'єднано з входом цифрової схеми порівняння кодів, вихідну шину лічильника лічильника номеру такту з'єднано з адресним входом постійного запам'ятовуючого пристрою, вихідну шину постійного запам'ятовуючого пристрою з'єднано з входом цифрової схеми порівняння кодів, а її вихід з'єднано з входом логічного елемента "І" а також з вихідною шиною формувача рекурентної послідовності тактових імпульсів.

На Фіг.1 представлено структурну схему аналого-цифрового перетворювача, що реалізує запропонований спосіб, на Фіг.2 представлено структурну схему формувача рекурентної послідовності тактових імпульсів, на Фіг.3 представлено часову діаграму роботи формувача рекурентної послідовності тактових імпульсів, на Фіг.4 а) представлено часові діаграми врівноваження вхідного аналогового сигналу в АЦП - прототипі, на Фіг.4 б) представлено часові діаграми врівноваження вхідного аналогового сигналу на запропонованому пристрої.

Пристрій містить вхідну аналогову шину 12, яку з'єднано з аналоговим входом схеми порівняння з регульованою чутливістю 1, інший аналоговий вхід якої з'єднано з шиною аналогового компенсуючого сигналу 14, керуючий вхід схеми порівняння з регульованою чутливістю 1 з'єднано з цифровою керуючою шиною тактових імпульсів 15, вихід схеми порівняння з регульованою чутливістю 1 з'єднано з інформаційною шиною результату порівняння 16, вихід формувача рекурентної послідовності тактових імпульсів 2 з'єднано з цифровою керуючою шиною тактових імпульсів 15, перший (лічильний) вхід формувача рекурентної послідовності тактових імпульсів 2 з'єднано з виходом генератора лічильних імпульсів 3, другий (керуючий) вхід формувача рекурентної послідовності тактових імпульсів 2 з'єднано з відповідним вихідним сигналом шини керуючих сигналів 17 блоку керування 11, керуючі входи регістрів послідовного наближення 6 та 8 з'єднано з цифровою керуючою шиною тактових імпульсів 15 а також з відповідними вихідними сигналами шини керуючих сигналів 17 блоку керування 11, інформаційні входи регістрів послідовного наближення 6 та 8 з'єднано з інформаційною шиною результату порівняння 16, перша 18 та друга 19 цифрові вихідні шини першого 6 та другого 8 регістрів послідовного наближення відповідно з'єднано з входами першого додатного 5 та другого від'ємного 7 цифро-аналогових перетворювачів із ваговою надлишковістю відповідно, а також з входами цифрового обчислювального пристрою 10, аналогові виходи першого додатного 5 та другого від'ємного 7 цифро-аналогових перетворювачів із ваговою надлишковістю з'єднано з входами суматора аналогових сигналів 4, вихід суматора аналогових сигналів 4 з'єднано з шиною аналогового компенсуючого сигналу 14, цифровий обчислювальний пристрій 10 з'єднано з блоком пам'яті 9, вихід цифрового об-

числювального пристрою 10 з'єднано з вихідною цифровою шиною 13.

Формувач рекурентної послідовності тактових імпульсів 2 містить лічильний вхід 23, який з'єднано з входом логічного елемента "І" 17, а також з лічильним входом лічильника цифрового еквіваленту тривалості тактових імпульсів 19, інший вхід логічного елемента "І" 17 з'єднано з виходом цифрової схеми порівняння кодів 21, вихід логічного елемента "І" 17 з'єднано з входом логічного елемента "АБО" 18 а також з лічильним входом лічильника номеру такту 20, керуючий вхід 24 формувача рекурентної послідовності тактових імпульсів 2 з'єднано з іншим входом логічного елемента "АБО" 18, а також з входом "Скид" лічильника номеру такту 20, вихід логічного елемента "АБО" 18 з'єднано з входом "Скид" лічильника цифрового еквіваленту тривалості тактових імпульсів 19, вихідну шину лічильника цифрового еквіваленту тривалості тактових імпульсів 19 з'єднано з входом цифрової схеми порівняння кодів 21, вихідну шину лічильника номеру такту 20 з'єднано з адресним входом постійного запам'ятовуючого пристрою 22, вихідну шину постійного запам'ятовуючого пристрою 22 з'єднано з входом цифрової схеми порівняння кодів 21, а її вихід з'єднано з входом логічного елемента "І" 17 а також з вихідною шиною 25 формувача рекурентної послідовності тактових імпульсів 2.

Спосіб аналого-цифрового перетворення реалізується таким чином: вхідний аналоговий сигнал порозрядно врівноважують сумою додатного або від'ємного компенсуючих сигналів з отриманням результату у вигляді знакорозрядного цифрового коду, причому процедура врівноваження полягає в тому, що на кожному наступному такті врівноваження залежно від результату порівняння на попередньому такті послідовно формують компенсуючий аналоговий сигнал як суму з додатних або від'ємних еталонних аналогових величин, значення яких пропорційні вагам розрядів надлишкової позиційної системи числення з розрядними коефіцієнтами [1; -1] за умови, що тривалості тактів врівноваження задають обернено пропорційними вказаним вагам розрядів, так, що кожен наступний такт в α разів триваліший за попередній, де α - відношення між вагами сусідніх розрядів.

Визначимо коефіцієнт підвищення швидкості запропонованого способу аналого-цифрового перетворення порівняно із способом-прототипом. Нехай тривалість наймолодшого такту запропонованого способу та тривалість усіх тактів способу-прототипу є однаковою. Тривалості тактів запропонованого способу t_{Ti} залежно від номера розряду і визначаються таким співвідношенням

$$t_{Ti} = t_{T0} \cdot \alpha^{-1}$$

де t_{T0} - тривалість нульового наймолодшого (і найдовшого) такту запропонованого способу та тривалість усіх тактів способу-прототипу; α - співвідношення між вагами сусідніх розрядів.

Загальний час перетворення (n тактів) для способу-прототипу $T_{перпр}$ дорівнює

$$T_{\text{перпр}} = t_{T0} \cdot n$$

$$T_{\text{пер}} = \sum_{i=0}^{n-1} t_{T0} \cdot \alpha^{-i} = t_{T0} \cdot (1 + \alpha^{-1} + \alpha^{-2} + \dots + \alpha^{-(n-1)}) = t_{T0} \cdot \frac{1 - \alpha^{-(n-1)} \cdot \alpha^{-1}}{1 - \alpha^{-1}} = t_{T0} \cdot \frac{1 - \alpha^{-n}}{1 - \alpha^{-1}}$$

якщо кількість тактів n велика, то можна вважати, що

$$T_{\text{пер}} = t_{T0} \cdot \frac{1 - \alpha^{-n}}{1 - \alpha^{-1}} \approx t_{T0} \cdot \frac{1}{1 - \alpha^{-1}} = t_{T0} \cdot \frac{\alpha}{\alpha - 1}$$

Коефіцієнт підвищення швидкодії $K_{\text{шв}}$ запропонованого способу порівняно із способом-прототипом дорівнює

$$K_{\text{шв}} = \frac{T_{\text{перпр}}}{T_{\text{пер}}} = \frac{t_{T0} \cdot n}{t_{T0} \cdot \frac{1 - \alpha^{-n}}{1 - \alpha^{-1}}} \approx \frac{t_{T0} \cdot n}{t_{T0} \cdot \frac{\alpha}{\alpha - 1}} = \frac{n \cdot (\alpha - 1)}{\alpha}$$

Таблиця значень коефіцієнта підвищення швидкодії для кількості тактів $n=16$ та різних значень співвідношення між вагами сусідніх розрядів α :

α	2	1,9	1,8	1,7	1,618	1,5	1,4
$K_{\text{шв}}$	8	7,578947	7,111111	6,588235	6,111248	5,333333	4,571429

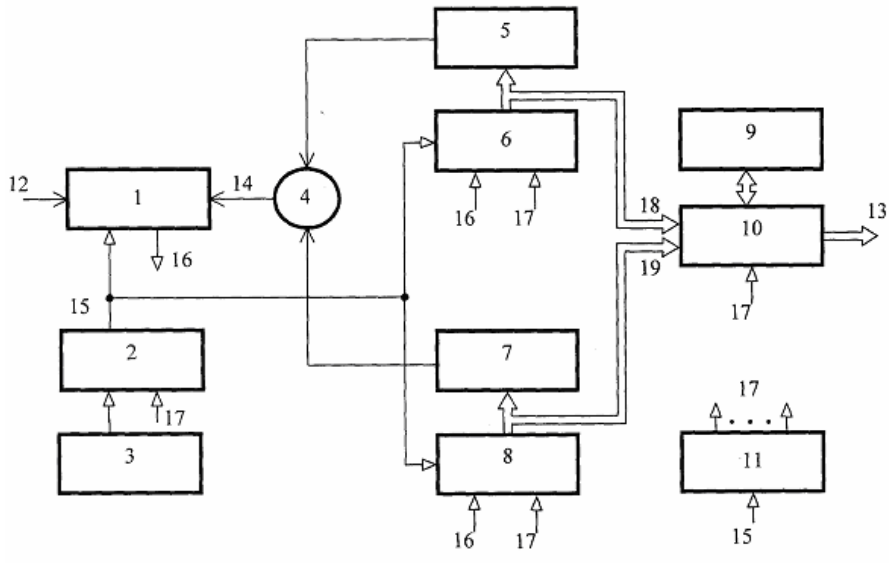
Запропонований метод розрахунку підвищення швидкодії аналого-цифрового перетворення прийнятна як для надлишкових позиційних систем числення, де співвідношення між вагами сусідніх розрядів є постійним, так і для інших надлишкових систем числення, наприклад для двійкового ряду з дублюванням, в якому ваги розрядів є наступними: 1, 1, 2, 2, 4, 4, 8, 8... У випадку непозиційних надлишкових систем співвідношення між тривалостями сусідніх тактів обирається рівним співвідношенню величин відповідних сусідніх розрядів.

Вказаний пристрій реалізує алгоритм порозрядного врівноваження "тільки вмикання" і працює таким чином: на початку чергового аналого-цифрового перетворення вхідного аналогового сигналу регістри послідовного наближення: перший 6 (далі - РПН1) та другий 8 (далі - РПН2), цифровий обчислювальний пристрій 10 (далі - ЦОП), а також лічильники формувача рекурентної послідовності тактових імпульсів 2 (далі - ФРПТ1): лічильник цифрового еквіваленту тривалості тактових імпульсів 19 (далі - Ліч. ЦЕТТ1) та лічильника номеру такту 20 (далі - Ліч. № такту) встановлюють в початковий (нульовий) стан сигналом від блоку керування 11 (далі - БК). Вхідний аналоговий сигнал подають від зовнішнього давача через вхідну аналогову шину 12 (далі - $A_{\text{вх}}$) на вхід схеми порівняння з регульованою чутливістю 1 (далі - СПРЧ). Компенсуючий аналоговий сигнал подають на інший аналоговий вхід СПРЧ 1 через шину аналогового компенсуючого сигналу $A_{\text{к}}$ 14 (далі - $A_{\text{к}}$) з виходу суматора аналогових сигналів 4 (далі - Σ). Перед початком першого такту здійснюють порівняння вхідного аналогового сигналу з компенсуючим сигналом $A_{\text{к}}$, який є аналоговим еквівалентом нульових цифрових кодових комбінацій в регістрах послідовного наближення, причому, якщо $A_{\text{вх}} > A_{\text{к}}$, то з СПРЧ 1 на інформаційну шину результату порівняння 16 (далі - $Y_{\text{сп}}$) з виходу СПРЧ 1 буде подана логічна "1", інакше - логічний "0". Шина $Y_{\text{сп}}$ 16 з'єднана з відповідними входами регістрів послідовного наближення, тому, якщо $A_{\text{вх}} > A_{\text{к}}$ (якщо $Y_{\text{сп}} = "1"$), встановлюють в логічну "1" (вмикають) найстарший розряд РПН1 6, який з'єднано з першим додатним цифро-аналоговим перетворювачем

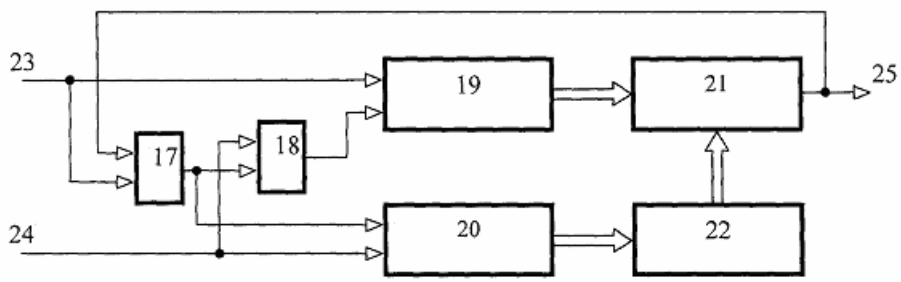
з вагою надлишковістю 5 (далі - α -ЦАП "+"), інакше встановлюють в логічну "1" найстарший розряд РПН2 8, який з'єднано з другим від'ємним цифро-аналоговим перетворювачем з вагою надлишковістю 7 (далі - α -ЦАП "-"). В результаті цього першого порівняння отримують старший розряд кодової комбінації.

На кожному такті зміна кодової комбінації в регістрах послідовного наближення (вмикання відповідного розряду в тому чи іншому ЦАП залежно від результату порівняння) на початку перетворення або в кінці попереднього такту призводить до зміни аналогового сигналу на виходах цифро-аналогових перетворювачів РПН1 6 або РПН2 8 і, відповідно, зміни компенсуючого сигналу на виході суматора аналогових сигналів 4. Для отримання наступного розряду коду в кінці кожного такту проводиться порівняння вхідного аналогового сигналу з новим рівнем компенсуючого сигналу. Якщо $A_{\text{вх}} > A_{\text{к}}$, то через інформаційну шину результату порівняння $Y_{\text{сп}}$ 16 з виходу СПРЧ 1 на відповідні входи регістрів послідовного наближення буде подана логічна "1", інакше - логічний "0", якщо $Y_{\text{сп}} = "1"$, встановлюють в логічну "1" поточний розряд РПН1 6, який з'єднано з цифро-аналоговим перетворювачем α -ЦАП "+" 5, інакше встановлюють в логічну "1" поточний розряд РПН2 8, який з'єднано з цифро-аналоговим перетворювачем α -ЦАП "-" 7. Відбувається перехід до наступного такту, і так далі, поки не будуть отримані всі розряди кодової комбінації в регістрах послідовного наближення.

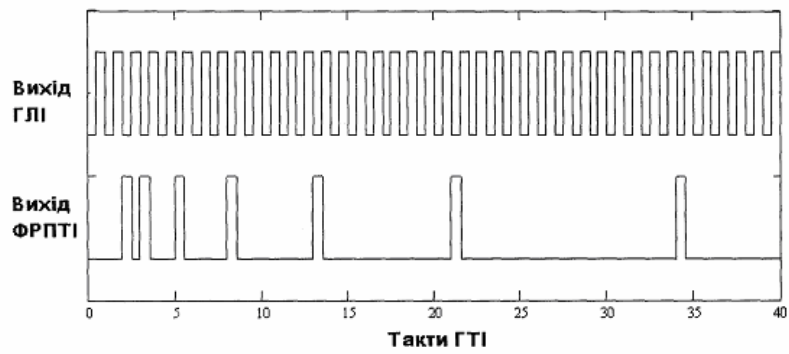
Результат врівноваження, представлений у вигляді знакорозрядного коду на основі надлишкової позиційної системи числення з розрядними коефіцієнтами $[1; -1]$ перетворюють у двійковий код за допомогою цифрового обчислювального пристрою ЦОП 10. По закінченні врівноваження двійковий код з ЦОП 10 подається на вихідну цифрову шину $K_{\text{вих}}$ 13. Двійкові еквіваленти надлишкових ваг розрядів цифро-аналогових перетворювачів зберігаються у блоці пам'яті БП 9.



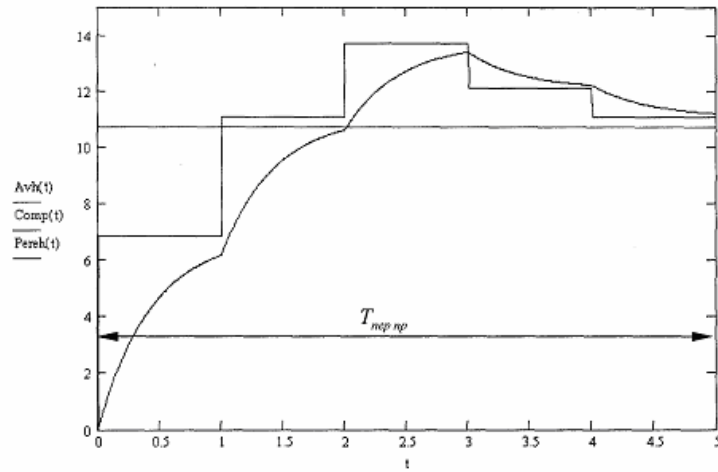
Фіг. 1



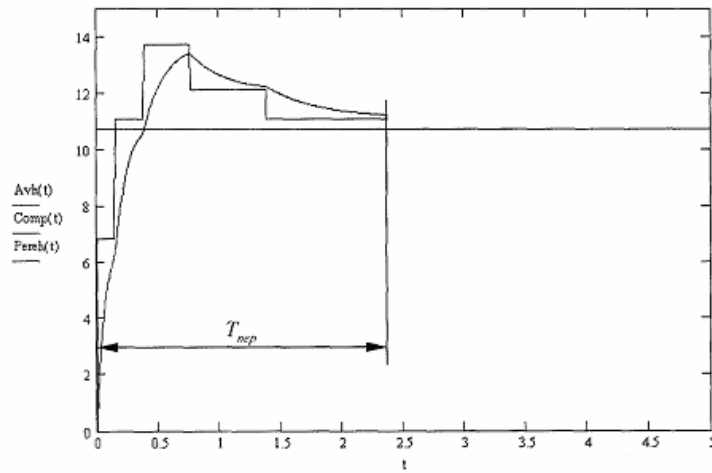
Фіг. 2



Фіг. 3



а)



б)

Фиг. 4