



ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **83357** (13) **U**
(51) МПК (2013.01)
Н03Н 3/00

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

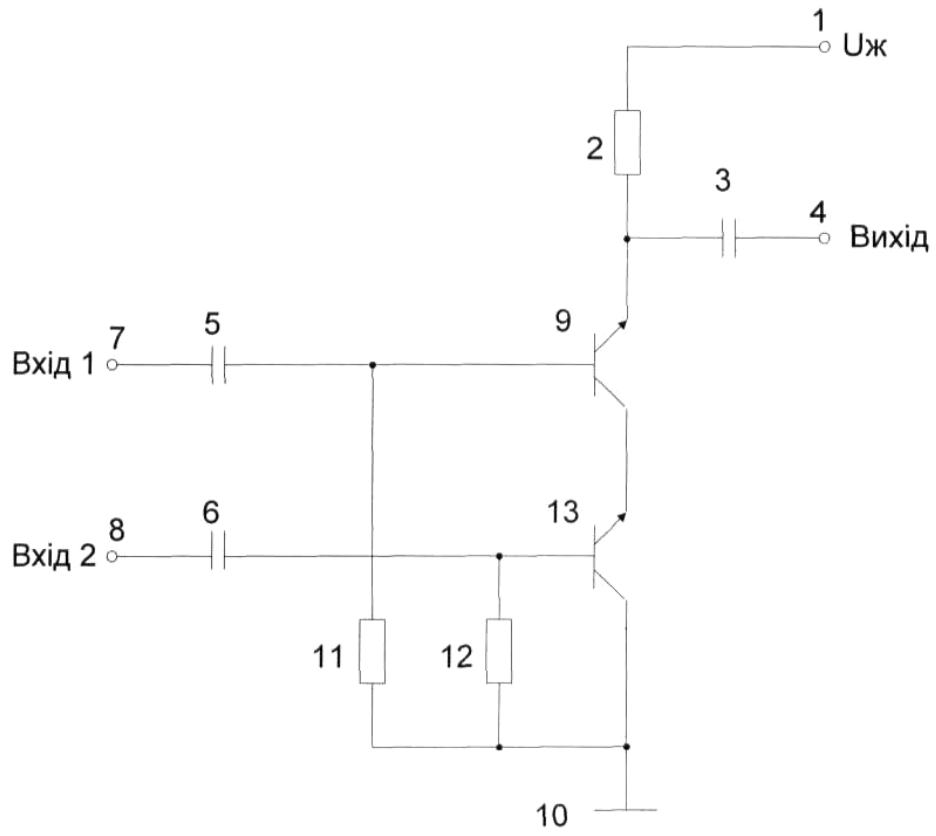
<p>(21) Номер заявки: u 2013 00306</p> <p>(22) Дата подання заявки: 09.01.2013</p> <p>(24) Дата, з якої є чинними права на корисну модель: 10.09.2013</p> <p>(46) Публікація відомостей про видачу патенту: 10.09.2013, Бюл.№ 17</p>	<p>(72) Винахідник(и): Ліщинська Людмила Броніславівна (UA), Філинюк Микола Антонович (UA), Лазарєв Олександр Олександрович (UA), Фурса Світлана Євгенівна (UA), Покотиліюк Леся Ігорівна (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
--	--

(54) ІМІТАНСНИЙ ЛОГІЧНИЙ ЕЛЕМЕНТ АБО

(57) Реферат:

Імітансний логічний елемент АБО містить три резистори, три розділові ємності, два входи, вихід, спільну шину і шину живлення, яка з'єднана з першим виводом першого резистора, другий вивід першого резистора з'єднаний з першим виводом першої розділової ємності, другий вивід першої розділової ємності з'єднаний з виходом, перші виводи другої і третьої розділових ємностей з'єднані відповідно з першим і другим входами. В нього введено два біполярних транзистори.

UA 83357 U



Корисна модель належить до обчислювальної техніки, зокрема до елементної бази обчислювальних пристроїв.

Відомий імітансний логічний елемент АБО, що містить резистор, перший вивід якого з'єднано з шиною живлення, а другий вивід з'єднаний з першим виводом другого діода і з виходом пристрою, другий вивід першого діода з'єднано з другим входом пристрою, перший вивід другого діода паралельно з'єднаний через перший діод з першим виходом пристрою [Гершунский Б.С. Основы электроники и микроэлектроники / Б.С. Гершунский.-3-е изд., перераб. и доп. - К.: Вища шк. Главное изд-во, 1987. - С. 210].

Недоліком даного пристрою є обмежені функціональні можливості.

Найбільш близьким до запропонованого пристрою є імітансний логічний LC-елемент АБО, який містить перший та другий входи пристрою, вихід пристрою, шину живлення, спільну шину, два ключі, три розділові ємності, три резистори, два перетворювані імітанси, інжекційно-прольотний транзистор, емітер якого з'єднано з першим виводом першого резистора, другий вивід якого з'єднаний з шиною живлення, також перший вивід першого резистора з'єднаний з першою розділовою ємністю, другий вивід якої з'єднано із першим ключем, який з'єднано з першим перетворюваним імітансом, з'єднаним із загальною шиною, витік інжекційно-прольотного транзистора з'єднано з першим виводом другого резистора, другий вивід якого з'єднано з шиною живлення та з першим виводом другої розділової ємності, другий вивід якої з'єднано з виходом пристрою, стік інжекційно-прольотного транзистора з'єднано з першим виводом третього резистора, який також з'єднано з третьою розділовою ємністю, другий вивід якої з'єднано із другим ключем, який з'єднано з другим перетворюваним імітансом, з'єднаним із загальною шиною, другий вивід третього резистора під'єднано до спільної шини [Пат. 66889 Україна, МПК Н03К 19/20 (2006.01). Імітансний логічний LC-елемент "АБО" / Ліщинська Л.Б., Фурса С.Є., Філінюк М.А.; заявник і патентовласник Вінницький національний технічний університет. № u201107431; заявл. 14.06.2011; опубл. 25.01.2012, Бюл. № 2.-3 с].

Недоліком елемента є мала швидкодія, внаслідок використання інжекційно-прольотного транзистора.

В основу корисної моделі поставлено задачу розробки такого імітансного логічного елемента АБО, в якому за рахунок введення нових елементів і зв'язків між ними забезпечується робота з імітансними логічними рівнями, що дозволяє підвищити швидкодію і завадозахищеність.

Поставлена задача вирішується тим, що в імітансний логічний елемент АБО, який містить три резистори, три розділові ємності, два входи, вихід, спільну шину і шину живлення, яка з'єднана з першим виводом першого резистора, другий вивід першого резистора з'єднаний з першим виводом першої розділової ємності, другий вивід першої розділової ємності з'єднаний з виходом, перші виводи другої і третьої розділових ємностей з'єднані відповідно з першим і другим входами, введено два біполярних транзистори, причому емітер першого біполярного транзистора з'єднаний з другим виводом першого резистора і першим виводом першої розділової ємності, спільна шина з'єднана з першими виводами другого і третього резисторів та колектором другого біполярного транзистора, другі виводи другої розділової ємності і другого резистора з'єднані з базою першого біполярного транзистора, другі виводи третьої розділової ємності і третього резистора з'єднані з базою другого біполярного транзистора, колектор першого біполярного транзистора з'єднаний з емітером другого біполярного транзистора.

На кресленні наведено схему імітансного логічного елемента АБО.

Пристрій містить шину живлення 1, яка з'єднана з першим виводом першого резистора 2, другий вивід першого резистора 2 з'єднаний з першим виводом першої розділової ємності 3, другий вивід першої розділової ємності 3 з'єднаний з виходом 4, перші виводи другої 5 і третьої 6 розділових ємностей з'єднані відповідно з першим 7 і другим 8 входами, відрізняється тим, що перший біполярний транзистор 9, емітер якого з'єднаний з другим виводом першого резистора 2 і першим виводом першої розділової ємності 3, спільна шина 10 з'єднана з першими виводами другого 11 і третього 12 резисторів та колектором другого біполярного транзистора 13, другі виводи другої розділової ємності 5 і другого резистора 11 з'єднані з базою першого біполярного транзистора 9, другі виводи третьої розділової ємності 6 і третього резистора 12 з'єднані з базою другого біполярного транзистора 13, колектор першого біполярного транзистора 9 з'єднаний з емітером другого біполярного транзистора 13.

Пристрій працює наступним чином. Перший 2 і другий 11 резистори задають робочу точку першого біполярного транзистора 9. Третій резистор 12 задає робочу точку другого біполярного транзистора 13. Перший біполярний транзистор 9 перетворює імітанс, що підключається до першого входу 7, в імітанс на виході першого біполярного транзистора 9. Другий біполярний транзистор 13 перетворює імітанс, що підключається до другого входу 8, в імітанс на виході

другого біполярного транзистора 13. Вихідний імітанс є сумою імітансів на виходах першого 9 і другого 13 біполярних транзисторів. Розділові ємності 3, 5, 6 забезпечують розв'язку по постійному струму. Якщо на перший вхід 7 подається індуктивний імітанс, тобто логічна одиниця, а на другий вхід 8 подається ємнісний імітанс, тобто логічний нуль, або на перший вхід 7 подається ємнісний імітанс, тобто логічний нуль, а на другий вхід 8 подається індуктивний імітанс, тобто логічна одиниця, то на виході 4 отримується індуктивний імітанс, тобто логічна одиниця. Якщо на перший 7 і другий 8 входи подається індуктивний імітанс, тобто логічна одиниця, то на виході 4 отримується також індуктивний імітанс, тобто логічна одиниця. Якщо на перший 7 та другий 8 входи подається ємнісний імітанс, тобто логічний нуль, то на виході 4 отримується ємнісний імітанс, тобто логічний нуль. Це демонструє таблиця істинності.

Вихідний імпеданс визначається за формулою:

$$Z_{\text{вих}} = j \frac{\omega L}{1 - \omega^2 LC}.$$

Для правильного функціонування схеми повинна виконуватися умова:

$$Z_{\text{вих}} < 0.$$

В таблиці наведена таблиця істинності імітансного логічного елемента АБО.

Таблиця 1

Таблиця істинності імітансного логічного елемента АБО

Вхід 1	Вхід 2	Вихід
L/1	C/0	L/1
C/0	L/1	L/1
C/0	C/0	C/0
L/1	L/1	L/1

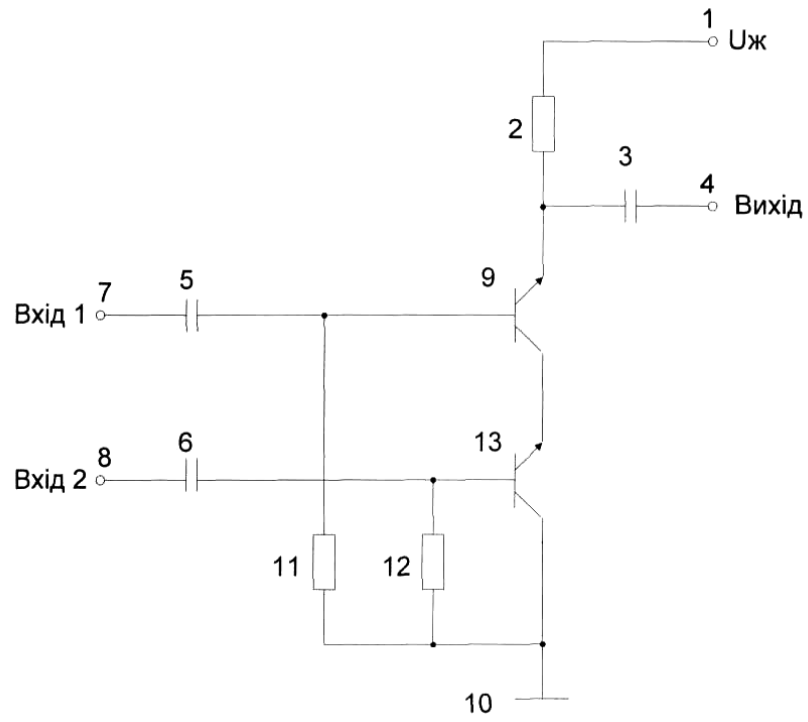
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

20

Імітансний логічний елемент АБО, який містить три резистори, три розділові ємності, два входи, вихід, спільну шину і шину живлення, яка з'єднана з першим виводом першого резистора, другий вивід першого резистора з'єднаний з першим виводом першої розділової ємності, другий вивід першої розділової ємності з'єднаний з виходом, перші виводи другої і третьої розділових ємностей з'єднані відповідно з першим і другим входами, який **відрізняється** тим, що в нього введено два біполярних транзистори, причому емітер першого біполярного транзистора з'єднаний з другим виводом першого резистора і першим виводом першої розділової ємності, спільна шина з'єднана з першими виводами другого і третього резисторів та колектором другого біполярного транзистора, другі виводи другої розділової ємності і другого резистора з'єднані з базою першого біполярного транзистора, другі виводи третьої розділової ємності і третього резистора з'єднані з базою другого біполярного транзистора, колектор першого біполярного транзистора з'єднаний з емітером другого біполярного транзистора.

25

30



Комп'ютерна верстка І. Мироненко

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601