



УКРАЇНА

(19) UA (11) 51012 (13) U  
(51) МПК (2009)  
H03K 19/20

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ

## ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під  
відповідальність  
власника  
патенту

(54) ІМІТАНСНИЙ ЛОГІЧНИЙ ЕЛЕМЕНТ "АБО"

1

2

(21) u201000922

(22) 29.01.2010

(24) 25.06.2010

(46) 25.06.2010, Бюл.№ 12, 2010 р.

(72) ЛІЩИНСЬКА ЛЮДМИЛА БРОНІСЛАВІВНА,  
БАРАБАН МАРІЯ ВОЛОДИМИРІВНА, ФІЛІНЮК  
МИКОЛА АНТОНОВИЧ

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ  
УНІВЕРСИТЕТ

(57) Імітансний логічний елемент "АБО", що містить два транзистори, загальну шину, перший та другий входи пристрою, вихід пристрою, шину живлення, перший резистор, другий вивід якого з'єднаний з шиною живлення, який відрізняється тим, що введено два конденсатори, два ключі, другий, третій, четвертий та п'ятий резистори, причому як транзистор використано одноперехідні транзистори, друга база першого одноперехідного транзистора з'єднана з першим виводом першого резистора і з першим виводом першого конденсатора, другий вивід якого з'єднано з першим входом при-

строю, до першого входу пристрою приєднаний перший ключ, перший вивід четвертого резистора з'єднано з першим ключем, а другий вивід четвертого резистора з'єднано з загальною шиною, перша база першого одноперехідного транзистора з'єднана з загальною шиною, емітер першого одноперехідного транзистора з'єднано через другий резистор з шиною живлення і з першим виводом другого конденсатора, другий вивід якого з'єднано з виходом пристрою, перший вивід другого конденсатора з'єднано з емітером другого одноперехідного транзистора, перша база другого одноперехідного транзистора з'єднана з загальною шиною, друга база другого одноперехідного транзистора з'єднана з першим виводом третього резистора і з першим виводом третього конденсатора, другий вивід якого з'єднано з другим входом пристрою, до другого входу пристрою приєднаний другий ключ, перший вивід п'ятого резистора з'єднано з другим ключем, а другий вивід п'ятого резистора з'єднано з загальною шиною.

Корисна модель відноситься до імпульсної техніки і може бути використано в обчислювальних пристроях з радіоімпульсним способом представлення інформації.

Відомий логічний елемент "АБО", який містить резистор, перший вивід якого з'єднано з шиною живлення, а другий вивід з'єднаний з першим виводом другого діода і з виходом пристрою, другий вивід першого діода з'єднано з другим входом пристрою, перший вивід другого діода паралельно з'єднаний через перший діод з першим входом пристрою [Основи електроніки і мікроелектроніки / Гершунський Б.С. - К: Вища шк. Головное изд-во, 1987. - С.210].

Недоліком даного пристрою є обмежені функціональні можливості, так як відсутня можливість його роботи з радіосигналом.

Найбільш близьким до запропонованого пристрою є логічний елемент типу транзисторної логіки з безпосереднім зв'язком (ТЛБЗ), який містить три транзистори, емітери яких з'єднані з загальною шиною, а колектори з'єднані з виходом пристрою,

база першого транзистора з'єднана з першим входом пристрою, база другого транзистора з'єднана з його другим входом, база третього транзистора з'єднана з третім входом пристрою, перший вивід резистора з'єднано з колекторами транзисторів і з виходом пристрою, другий вивід резистора з'єднано з клемою живлення, в подальшому шина живлення [Основи електроніки і мікроелектроніки / Гершунський Б.С. - К: Вища шк. Головное изд-во, 1987. - С.215].

Недоліком даного пристрою є вузькі функціональні можливості за рахунок обмеження смуги робочих частот.

В основу корисної моделі поставлено задачу розробки такого імітансного логічного елемента "АБО", в якому за рахунок введення нових елементів та зв'язків між ними досягається розширення частотного діапазону, що розширює функціональні можливості пристрою.

Поставлена задача вирішується тим, що в імітансний логічний елемент "АБО", який містить два транзистора, загальну шину, перший та другий

(13) U

(11) 51012

(19) UA

вхід пристрою, вихід пристрою, шину живлення, перший резистор, другий вивід якого з'єднаний з шиною живлення, введено два конденсатори, два ключа, другий, третій, четвертий та п'ятий резистори, причому в якості транзисторів використано одноперехідні транзистори, друга база першого одноперехідного транзистора з'єднана з першим виводом першого резистора і з першим виводом першого конденсатора, другий вивід якого з'єднано з першим входом пристрою, до першого входу пристрою приєднаний перший ключ, перший вивід четвертого резистора з'єднано з першим ключем, а другий вивід четвертого резистора з'єднано з загальною шиною, перша база першого одноперехідного транзистора з'єднана з загальною шиною, емітер першого одноперехідного транзистора з'єднано через другий резистор з шиною живлення і з першим виводом другого конденсатора, другий вивід якого з'єднано з виходом пристрою, перший вивід другого конденсатора з'єднано з емітером другого одноперехідного транзистора, перша база другого одноперехідного транзистора з'єднана з загальною шиною, друга база другого одноперехідного транзистора з'єднана з першим виводом третього конденсатора, другий вивід якого з'єднано з другим входом пристрою, до другого входу пристрою приєднаний другий ключ, перший вивід п'ятого резистора з'єднано з другим ключем, а другий вивід п'ятого резистора з'єднано з загальною шиною.

На кресленні наведено схему імітансного логічного елемента "АБО". Пристрій містить одноперехідний транзистор 1, друга база якого з'єднана з першим виводом першого резистора 2, другий вивід якого з'єднано з шиною живлення 9, друга база одноперехідного транзистора 1 з'єднана з першим виводом першого конденсатора 3, другий вивід якого з'єднано з першим входом пристрою 4, до першого входу пристрою 4 приєднаний перший ключ 5, перший вивід четвертого резистора 6 з'єднано з першим ключем 5, а другий вивід четвертого резистора 6 з'єднано з загальною шиною 7, перша база першого одноперехідного транзистора 1 з'єднана з загальною шиною 7, емітер першого одноперехідного транзистора 1 з'єднано через другий резистор 8 з шиною живлення 9 і з першим виводом другого конденсатора 10, другий вивід якого з'єднано з виходом пристрою 11, перший вивід другого конденсатора 10 з'єднано з емітером другого одноперехідного транзистора 12, перша база другого одноперехідного транзистора 12 з'єднана з загальною шиною 7, друга база другого одноперехідного транзистора 12 з'єднана з першим виводом третього резистора 13 і з першим виводом третього конденсатора 14, другий вивід якого з'єднано з другим входом пристрою 15, до другого входу пристрою 15 приєднаний другий

ключ 16, перший вивід п'ятого резистора 17 з'єднано з другим ключем 16, а другий вивід п'ятого резистора 17 з'єднано з загальною шиною 7.

Пристрій працює наступним чином. Використовується узагальнений перетворювач імітансу (УПІ) на основі першого 1 та другого 12 одноперехідних транзисторів, працюючих в режимі перетворення імітансу з спільними першими базами. Вихідний опір, яких визначається виразом:  $R_{\text{вих}} = R_{\Gamma} / (1 - \alpha_0)$ , де  $\alpha_0$  - коефіцієнт передачі транзистора по струму,  $R_{\Gamma}$  - опір на четвертому 6 або п'ятому 17 резисторах, відповідно. При  $\alpha_0 < 1$ , коефіцієнт конверсії буде рівний:  $T_k = 1 - \alpha_0$ , а опір на виході пристрою 11 визначатиметься:

$$R_{\text{вих}} = \frac{R_{\text{вих1}} \cdot R_{\text{вих12}}}{R_{\text{вих1}} + R_{\text{вих12}}}, \text{ де } R_{\text{вих1}} \text{ і } R_{\text{вих12}} - \text{опори на}$$

виході першого 1 та другого 12 одноперехідних транзисторів, відповідно. Якщо  $T_k = T_{k1} = T_{k2}$ , то вихідний опір можна переписати у вигляді

$$R_{\text{вих}} = \frac{T_k \cdot R_6 \cdot R_{17}}{R_6 + R_{17}}, \text{ де } R_6 \text{ і } R_{17} - \text{опери четвертого}$$

4 та п'ятого 17 резисторів. Звідки слідує, що якщо на перший вхід пристрою 4 через перший ключ 5 під'єднаний четвертий резистор 6, опір якого є додатнім, що відповідає логічній одиниці, а на другий вхід пристрою 15 через другий ключ 16 під'єднати п'ятий резистор 17 з додатнім опором, що також відповідає логічній одиниці, то вихідний опір буде додатнім  $R_{\text{вих}} > 0$  і на виході пристрою 10 отримуємо логічну одиницю. Якщо на другий вхід пристрою 15 під'єднати через другий ключ 16 п'ятий резистор 17 з додатній опором, що відповідає логічній одиниці, а на перший вхід пристрою 4 під'єднати через перший ключ 5 четвертий резистор 6 з від'ємним опором, що відповідає логічному нулю, то при виконанні умови  $|R_6| < R_{17}$  вихідний опір буде від'ємним  $R_{\text{вих}} < 0$ , що відповідає логічному нулю на виході пристрою 11. Якщо на перший вхід пристрою 4 через перший ключ 5 під'єднаний четвертий резистор 6, опір якого є від'ємним, що відповідає логічному нулю, а на другий вхід пристрою 15 через другий ключ 16 під'єднати п'ятий резистор 17 з від'ємним опором, що також відповідає логічному нулю, то вихідний опір буде від'ємним  $R_{\text{вих}} < 0$  і на виході пристрою 11 одержимо логічний нуль. Таким чином реалізується логічна функція "АБО". Перший 2 та третій 13 резистори є навантажувальними, другий резистор 8 регулює струм емітерів першого 1 та другого 12 транзисторів. Перший 3, другий 10 та третій 14 конденсатори є розділовими, пропускають змінний струм і не пропускають постійний. Загальна шина 7 служить заземленням. Шина живлення 9 призначена для подачі напруги.

