



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СОВЕТА МИНИСТРОВ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№

577528

На основании полномочий, предоставленных Правительством СССР, Государственный комитет Совета Министров СССР по делам изобретений и открытий выдал настоящее авторское свидетельство

ЛУЖЕЦКОМУ Владимиру Андреевичу  
и другим, указанным в описании

на изобретение "Накапливающий сумматор"

в соответствии с описанием изобретения и приведенной в нем формулой,  
по заявке № 2324595 с приоритетом от 13 февраля 1976г.

заявитель изобретения: Таганрогский радиотехнический  
институт им. В.Д.Калмыкова

Зарегистрировано в Государственном реестре  
изобретений Союза ССР

28 ИЮНЯ 1977 г.

Действие авторского свидетельства распро-  
страняется на всю территорию Союза ССР.

Председатель Госкомитета

Начальник отдела

Handwritten signature of the Chairman of the State Committee.

Handwritten signature of the Department Head.





Государственный комитет  
Совета Министров СССР  
по делам изобретений  
и открытий

О П И С А Н И Е  
ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 577528

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 13.02.76 (21) 2324595/24

(51) М. Кл.<sup>2</sup>  
G 06 F 7/50

с присоединением заявки № -

(23) Приоритет -

(43) Опубликовано 25.10.77. Бюллетень №39

(53) УДК 681.325.  
.5(088.8)

(45) Дата опубликования описания 11.11.77

(72) Авторы  
изобретения

А. П. Стахов, А. В. Оводенко, В. А. Лужецкий

(71) Заявитель

Таганрогский радиотехнический институт им. В. Д. Калмыкова

(54) НАКАПЛИВАЮЩИЙ СУММАТОР

1

Изобретение относится к области вычислительной техники и может быть использовано для параллельного суммирования многоразрядных двоичных чисел.

Известны параллельные накапливающие сумматоры, представляющие собой цепочку последовательно связанных одноразрядных суммирующих схем, количество которых равно числу разрядов суммируемых чисел. Разрядные сумматоры связаны между собой цепями переноса из младших разрядов в старшие.

Одноразрядная суммирующая схема содержит триггеры со счетным входом, элементы И, ИЛИ и линии задержки. К числу, хранящемуся в запоминающем устройстве, прибавляется слагаемое, подающееся на вход накапливающего сумматора. Полученная в результате сумма заменяет хранившееся ранее число [1], [2].

Наиболее близким аналогом может служить накапливающий сумматор, каждый  $i$ -ый разряд которого ( $i = 1+n$ ) содержит триггер со счетным входом, элементы И, ИЛИ и элемент задержки, причем вход-

2

ные шины соответствующих разрядов первого и второго слагаемых соединены с первым и вторым входами первого элемента ИЛИ данного разряда, выход которого подключен к счетному входу триггера, нулевой вход которого подключен к шине сброса, а единичный выход - к первому входу первого элемента И, выход которого подключен к первому входу второго элемента ИЛИ, второй вход которого подключен к выходу второго элемента И [3].

Недостатком этого сумматора является невозможность суммирования многоразрядных чисел, представленных в двоичной "фибоначчиевой" позиционной системе счисления.

Целью изобретения является расширение функциональных возможностей накапливающего сумматора, заключающееся в выполнении дополнительной функции суммирования чисел, представленных в "фибоначчиевой" системе счисления.

Это достигается тем, что в каждый разряд накапливающего сумматора введен элемент сложения по модулю 2, выход которого подключен к третьему входу первого эле-

мента ИЛИ, выход которого соединен со вторым входом первого элемента И, первый и второй входы элемента сложения по модулю 2 соединены соответственно с первым и вторым входами переноса в данный разряд сумматора и с первым и вторым входами второго элемента И, выход второго элемента ИЛИ подключен к входу элемента задержки, выход которого, являющийся выходом переноса в (i + 1)-ый разряд сумматора, подключен к первому входу третьего элемента И, второй вход которого соединен с управляющей шиной, а выход является выходом переноса в (i - 2)-ой разряд сумматора, единственный выход триггера со счетным входом является выходом суммы данного i - го разряда.

На чертеже показана функциональная схема i - го накапливающего сумматора.

В ее состав входят триггер со счетным входом 1, элементы И 2,3,4, элементы ИЛИ 5,6, элемент задержки 7, элемент сложения по модулю 2, входные шины i -ых разрядов первого и второго 10 слагаемых, входы переноса из (i - 1)-го и (i + 2)-го разрядов сумматора 11, 12, выход суммы i - го разряда сумматора 13, выходы переноса в (i + 1)-ый и (i - 2)-ой разряды сумматора 14, 15, шина сброса 16, управляющая шина 17.

Входные шины i -ых разрядов первого 9 и второго 10 слагаемых подключены к первому и второму входам элемента ИЛИ 5, третий вход которого соединен с выходом элемента сложения по модулю 2, входы которого подключены к входам переносов из (i - 1)-го и (i + 2)-го разрядов сумматора 11 и 12, которые подключены также к входам элемента И 2, выход которого соединен с входом элемента ИЛИ 6, другой вход которого соединен с выходом элемента И 3, а выход - с входом элемента задержки 7, выход которого подключен к выходу переноса в (i + 1)-ый разряд сумматора 14 и к первому входу элемента И 4, другой вход которого подключен к управляющей шине 17, а выход - к выходу переноса в (i - 2)-ой разряд сумматора 15. Выход элемента ИЛИ 5 подключен к счетному входу триггера 1 и к входу элемента И 3. Единичный выход триггера 1 подключен к другому входу элемента И 3 и к выходу суммы данного i - го разряда сумматора 13. К нулевому входу триггера 1 подключена шина сброса 16.

В "фибоначчиевой" системе счисления любое натуральное число представляется в виде многочлена

$$N = \alpha_i \varphi(i) + \alpha_{i-1} \varphi(i-1) + \dots + \alpha_0 \varphi(0), \quad (1)$$

$$\text{где } \varphi(i) = \begin{cases} 0 & \text{при } i < 0 \\ 1 & \text{при } i = 0 \\ \varphi(i-1) + \varphi(i-2) & \text{при } i > 0. \end{cases} \quad (2)$$

Представление (1) называется нормальной формой представления, если оно получено путем разложения N и всех возникающих в процессе такого разложения остатков r<sub>j</sub> по формуле

$$N = \varphi(i+1)r_i + r_{i-1}, \quad 0 \leq r_i < \varphi(i),$$

где  $\varphi(i+1)$  и  $\varphi(i)$  задаются соотношением (2).

Для нормальной формы представления чисел в "фибоначчиевой" системе счисления характерно наличие не менее одного нуля после каждой единицы. Например, нормальная форма числа 83 имеет вид

Веса разрядов 55 34 21 13 8 5 3 2 1 1

Нормальная форма числа 83 1 0 1 0 0 1 0 1 0 0

Сложение двух цифр одноименных разрядов в двоичной "фибоначчиевой" системе счисления выполняется согласно следующей таблице

$$\begin{aligned} 0 + 0 &= 0 \\ 0 + 1 &= 1 \\ 1 + 0 &= 1 \\ 1 + 1 &= 1 0 0 1. \end{aligned}$$

Если в данном разряде слагаемых имеются две единицы, то в "фибоначчиевой" двоичной системе счисления, наряду с переносом в следующий старший разряд, имеется еще перенос в младший разряд, отстоящий от данного на два разряда, что вытекает из рекуррентного соотношения.

$$\varphi(i) + \varphi(i) = \varphi(i) + \varphi(i-1) + \varphi(i-2) = \varphi(i+1) + \varphi(i-2).$$

Отсюда следует, что при сложении двух многоразрядных двоичных чисел, представленных в нормальной форме, возможна ситуация, когда в один разряд происходит два переноса: один со стороны предыдущего младшего разряда слагаемых, другой со стороны старшего, отстоящего от данного на два разряда.

Поступление одного переноса в разряд приводит к изменению состояния разряда на инверсное. Два переноса в один разряд не изменяют состояния разряда, но вызывают перенос из данного разряда в следующий старший разряд и в младший, отстоящий от данного на два разряда. Переносы из одного разряда в другой поступают с некоторой задержкой по отношению к моменту возникновения в данном разряде.

Пример сложения двух чисел, представленных в "фибоначчиевой" системе счисления, приведен в таблице.

	Веса разрядов								
	34	21	13	8	5	3	2	1	1
1-е слагаемое	0	1	0	1	0	1	0	1	0
2-е слагаемое	0	1	0	0	1	0	1	0	0
Промежуточные суммы	0	0	0	1	1	1	1	1	0
	1	0	0	0	1	1	1	1	0
	1	0	1	0	1	0	1	1	0
	1	0	1	0	0	0	1	0	0
	1	0	1	1	0	0	1	0	0
Сумма	1	0	1	1	0	1	1	0	1

В таблице стрелками показаны переносы. Работает накапливающий сумматор следующим образом,

На шину сброса 16 подается сигнал, по которому триггеры 1 всех разрядов устанавливаются в нулевое состояние. Слагаемые подаются на параллельные входы разрядов сумматора последовательно во времени. Причем временной интервал между поступлением двух чисел должен быть достаточным для формирования сигнала переноса в разрядах сумматора и его передачи через элементы задержки 7. Время задержки  $t_3$  элемента задержки 7 должно превышать длительность импульса записи слагаемого и максимальную задержку переключения разрядного триггера вместе взятые.

При сложении чисел, представленных в "фибоначчиевой" системе счисления, по управляющей шине 17 поступает сигнал, который разрешает прохождение импульсов переноса через элементы И 4.

При наличии лишь одного переноса в любой разряд на выходе элемента сложения по модулю 2 формируется единичный сигнал, который через элемент ИЛИ 5 поступает на счетный вход триггера 1. При этом состояние триггера 1 изменяется на инверсное.

При одновременном поступлении двух входных сигналов переноса в любой разряд накапливающего сумматора на выходе элемента сложения по модулю 2 формируется нулевой сигнал, который не изменяет состояния триггера 1, но при этом элементом И 2

формируется сигнал переноса из данного разряда.

При сложении чисел, представленных в традиционной двоичной системе счисления, на управляющую шину 17 поступает сигнал, которым запрещается прохождение импульсов переноса в сторону младших разрядов через элементы И 4.

Введение новых элементов и связей позволяет расширить функциональные возможности накапливающего сумматора, а именно выполнять операцию суммирования двоичных чисел, представленных в "фибоначчиевой" системе счисления. Эта система счисления обладает ошибкообнаруживающей способностью при передаче, хранении чисел и выполнении над ними арифметических операций.

#### Ф о р м у л а и з о б р е т е н и я

Накапливающий сумматор, каждый  $i$ -ый разряд ( $i = 1 - n$ ) которого содержит триггер со счетным входом, элементы И, ИЛИ и элемент задержки, причем входные шины соответствующих разрядов первого и второго слагаемых соединены с первым и вторым входами первого элемента ИЛИ данного разряда, выход которого подключен к счетному входу триггера, нулевой вход которого подключен к шине сброса, а единичный выход - к первому входу первого элемента И, выход которого подключен к первому входу второго элемента ИЛИ, второй вход кото-

рого подключен к выходу второго элемента И, отличающийся тем, что, с целью расширения функциональных возможностей сумматора, в каждый разряд его введен элемент сложения по модулю 2, выход которого подключен к третьему входу первого элемента ИЛИ, выход которого соединен со вторым входом первого элемента И, первый и второй входы элемента сложения по модулю 2 соединены соответственно с первым и вторым входами переноса в данный разряд сумматора и с первым и вторым входами второго элемента И, выход второго элемента ИЛИ подключен к входу элемента задержки, выход которого, являющийся выходом переноса в  $(i+1)$ -ый разряд сумматора, подключен к первому входу третьего элемен-

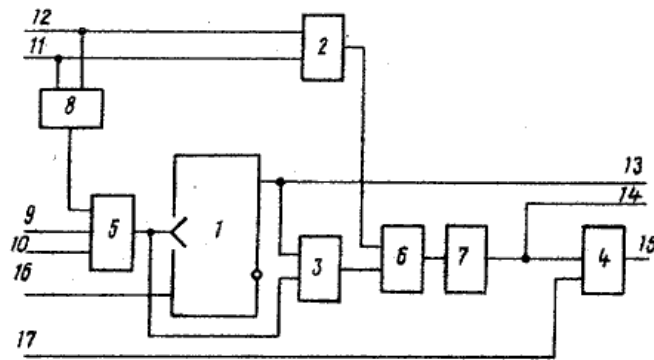
та И, второй вход которого соединен с управляющей шиной, а выход является выходом переноса в  $(i-2)$ -ой разряд сумматора, единичный выход триггера со счетным входом является выходом суммы данного  $i$ -го разряда.

Источники информации, принятые во внимание при экспертизе:

1. Авторское свидетельство СССР № 455340, кл. G 06 F 7/50, 1974.

2. Букреев И. Н. и др., Микроэлектронные схемы цифровых устройств, М., "Сов. радио", 1975, с. 330. рис. 8.8.

3. Каган Б. М. и др., Цифровые вычислительные машины и системы, М., "Энергия", 1970, с. 222. рис. 4-2.



Составитель В. Березкин

Редактор Н. Хлудова Техред А. Богдан Корректор М. Демчик

Заказ 4186/36 Тираж 818 Подписное

ЦНИИПИ Государственного комитета Совета Министров СССР  
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

филиал ППП "Патент", г. Ужгород, ул. Проектная, 4