

ШВИДКОДІЮЧИЙ ЛІЧИЛЬНИК У КОДАХ ФІБОНАЧЧІ

ст.гр. 1КС-14мі
Лащенко І.І.

науковий керівник
к.т.н., доц. Черняк О.І.

ТЕОРЕТИЧНЕ ПІДГРУНТЯ РОБОТИ

теоретичні засади та цілі дослідження

Актуальність

підтверджується широким використанням лічильників у цифровій техніці і необхідності оптимізації їх побудови з метою підвищення їх швидкодії і зменшення апаратних витрат

Мета

є розробка методу побудови лічильника, який має високу швидкодію і невеликі апаратні витрати, порівняно з існуючими лічильниками

Для досягнення мети, поставленої в магістерській кваліфікаційній роботі, слід вирішити такі завдання:

- Проаналізувати класифікацію лічильників і визначити переваги і недоліки кожного;
- Дослідити особливості фібоначчієвої системи числення;
- Розробити принцип перенесення у фібоначчієвих лічильниках;
- Зробити синтез схеми лічильника з подальшою побудовою схеми;
- Перевірити працездатність схеми у середовищі моделювання

Наукова новизна

одержаних результатів полягає у покращенні існуючих методів підвищення швидкодії лічильників без значного збільшення апаратних витрат шляхом використання фібоначчієвої системи числення

Практичне значення

одержаних результатів полягає в розробці методу побудови лічильників у кодах Фібоначчі, який може широко використовуватись у цифровій техніці і значно заощаджувати матеріали на виготовлення пристроїв. Зокрема, при побудові подільників частоти, а також у прямому синтезі аналогових сигналів

Класифікація лічильників

Спосіб з'єднання розрядів	Цільове призначення	Спосіб установки коду
З безпосередніми зв'язками	Підсумовуючі	Асинхронні
Зі зв'язком по ланцюгах міжрозрядного перенесення	Віднімаючі	Синхронні
З комбінованими зв'язками	Реверсивні	
	Адресні	

ЦІЛЬОВЕ ПРИЗНАЧЕННЯ ЛІЧИЛЬНИКА

Ця класифікаційна ознака припускає конкретне цільове використання лічильника в одному із наступних режимів:

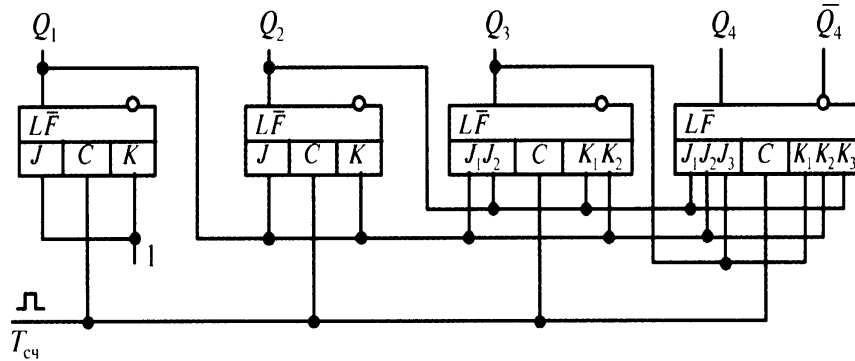
- в режимі додавання (підсумовуючі лічильники);
- в режимі віднімання (віднімаючі лічильники);
- в реверсивному режимі (реверсивні лічильники, тобто лічильники, які можуть працювати в режимі додавання або віднімання імпульсів в залежності від сигналу дозволу);
- в режимі занесення адреси і наступного рахунку (адресні лічильники).

СПОСІБ ВСТАНОВЛЕННЯ КОДУ В ЛІЧИЛЬНИКУ

Ця класифікаційна ознака враховує процес встановлення кодів в лічильнику як функцію часу з моменту надходження вхідного сигналу. У відповідності з цією ознакою лічильники підрозділяються на **синхронні** і **асинхронні**. До синхронних будемо відносити лічильники, в яких процес установки будь-якого нового коду відбувається одночасно у всіх розрядах, починаючи з деякого моменту часу. В асинхронних лічильниках код встановлюється не одночасно, а послідовно

Спосіб з'єднання розрядів

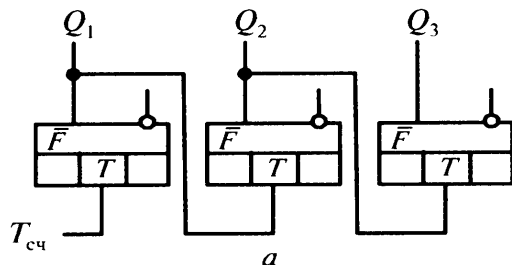
1. Паралельний лічильник з безпосередніми зв'язками



Переваги: висока швидкодія

Недоліки: велика кількість входів тригерів, залежність навантажувальної здатності тригерів від числа розрядів

2. Послідовний лічильник з безпосередніми зв'язками



Переваги: проста реалізація, незалежність навантажувальної здатності виходів лічильника від його розрядності

Недоліки: найменша швидкодія

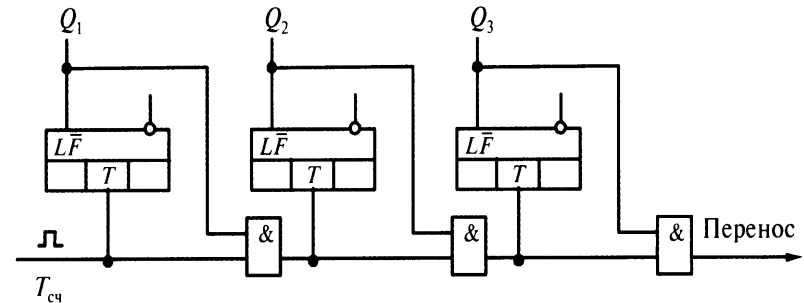
Лічильники з перенесенням

В лічильниках з перенесенням для запуску старших розрядів використовуються сигнали перенесення імпульсного чи потенціального типу, сформовані в молодших розрядах.

З наскрізним перенесенням

Недоліки: швидкодія залежить від розрядності

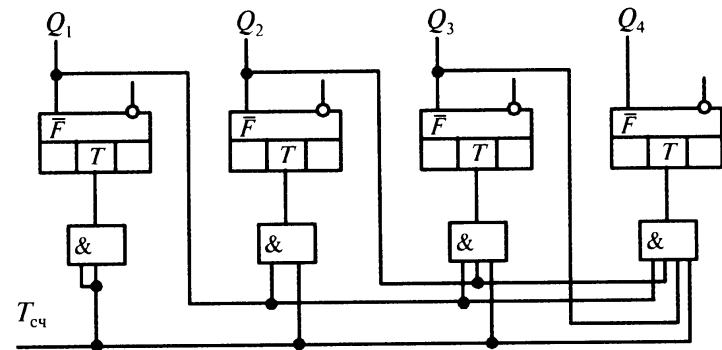
Переваги: простота зв'язків



З паралельним перенесенням

Недоліки: залежність навантажувальної здатності від числа розрядів, багатовходові елементи

Переваги: висока швидкодія



Фібоначчієва система числення

Фібоначчієва система числення (ФСЧ) – це позиційна система числення з алфавітом, що складається з двох цифр: 0 і 1, а її базисом є послідовність чисел Фібоначчі 1, 2, 3, 5, 8, 13, 21, 34, 55, 89, ... ($f_0 = 1$ в базис не включається). У Фібоначчієва системі, як і у всіх позиційних системах числення, «вага» кожного розряду визначається відповідним елементом базису цієї системи.

Послідовність Фібоначчі визначається наступним чином:

$$F_0 = 0, F_1 = 1, F_n = F_{n-1} + F_{n-2}$$

Принцип організації перенесення

Швидкодія лічильника досягається тим, що у фібоначчієвій системі числення на кожному такті лічби паралельно з додаванням одиниці у молодшому розряді виконуються всі можливі згортки у коді лічильника. Ці згортки є перетвореннями трьох сусідніх розрядів коду за правилом $011 \rightarrow 100$. Таке перетворення можливе завдяки тому, що у даній системі числення вага кожного розряду, починаючи з другого, дорівнює сумі ваг двох сусідніх молодших розрядів. Тому згортка не змінює значення коду, а виконує роль перенесення у старші розряди. Виконання всіх можливих згорток на кожному такті приводить до того, що на кожному наступному такті у розрядах лічильника, починаючи з третього, перенесення може бути лише через два розряди у третій

Таблиця станів лічильника

Розряди лічильника							№ стану
Q7	Q6	G5	Q4	Q3	Q2	Q1	
0	0	0	0	0	0	1	1
0	0	0	0	0	1	0	2
0	0	0	0	0	1	1	3
0	0	0	0	1	0	1	4
0	0	0	0	1	1	0	5
0	0	0	1	0	0	1	6
0	0	0	1	0	1	0	7

Синтез схеми лічильника

- за допомогою таблиці станів лічильника створюємо прикладні карти Карно для виходів лічильника

*прикладна карта
Карно для Q1 -*

	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101	1111	1110	1010	1011	1001	1000
000	01	10	11	01	01	x	10	x	x	10	x	x	01	11	10	x
001	x	x	11	01	01	x	10	x	x	x	x	x	x	x	10	x
011	x	x	x	01	x	x	x	x	x	x	x	x	x	x	x	x
010	x	x	11	01	01	x	10	x	x	10	x	x	01	11	10	x
110	x	x	11	01	01	x	10	x	x	10	x	x	01	11	10	x
111	x	x	11	01	01	x	10	x	x	10	11	01	01	11	10	x
101	x	x	11	01	01	x	10	x	x	x	x	x	x	x	10	x
100	x	x	11	x	01	x	10	x	x	10	x	x	01	11	10	x

- заповнюємо характеристичну таблицю Т-тригера

$Q_n \gg Q_{n+1}$	T _n
00	0
01	1
10	1
11	0

- Далі необхідно скласти рівняння входів схеми, для чого необхідно заповнити карти Карно (вже не прикладні) за допомогою прикладних карт і характеристичної таблиці вибраного тригера

	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101	1111	1110	1010	1011	1001	1000
000	1	1	0	1	1	x	1	x	x	1	x	x	1	0	1	x
001	x	x	0	1	1	x	1	x	x	x	x	x	x	x	1	x
011	x	x	x	1	x	x	x	x	x	x	x	x	x	x	x	x
010	x	x	0	1	1	x	1	x	x	1	x	x	1	0	1	x
110	x	x	0	1	1	x	1	x	x	1	x	x	1	0	1	x
111	x	x	0	1	1	x	1	x	x	1	0	1	1	0	1	x
101	x	x	0	1	1	x	1	x	x	x	x	x	x	x	1	x
100	x	x	0	x	1	x	1	x	x	1	x	x	1	0	1	x

Карта Карно для входу T1

- Після заповнення карт, необхідно їх мінімізувати і отримати рівняння входів, за допомогою яких легко зібрати схему.
- Перед мінімізацією необхідно знати, що стан “х” є невизначеним, тобто він може приймати значення як “1”, так і “0”, тому його можна визначити як зручно нам в конкретному випадку.

- Після виконання мінімізації отримаємо наступні рівняння входів:

$$T1 = \overline{Q1} + \overline{Q2};$$

$$T2 = Q1 + \overline{Q4}Q3Q2;$$

$$T3 = \overline{Q3}Q2Q1 + \overline{Q4}Q3Q2 + \overline{Q5}Q4Q3;$$

$$T4 = \overline{Q4}Q3Q2 + \overline{Q5}Q4Q3 + \overline{Q6}Q5Q4;$$

$$T5 = \overline{Q5}Q4Q3 + \overline{Q6}Q5Q4 + \overline{Q7}Q6Q5;$$

$$T6 = \overline{Q6}Q5Q4 + \overline{Q7}Q6Q5 + 1;$$

$$T7 = \overline{Q7}Q6Q5 + 1 + 1.$$

Виходячи з рівнянь входів лічильника, ми можемо побудувати схему. Але спочатку необхідно привести рівняння до обраного базису (3I-HE і 2I-HE).

$$T1 = \overline{Q1Q2};$$

$$T2 = \overline{Q1} \cdot \overline{Q4Q3Q2};$$

$$T3 = \overline{Q3Q2Q1} + \overline{Q4Q3Q2} + \overline{Q5Q4Q3};$$

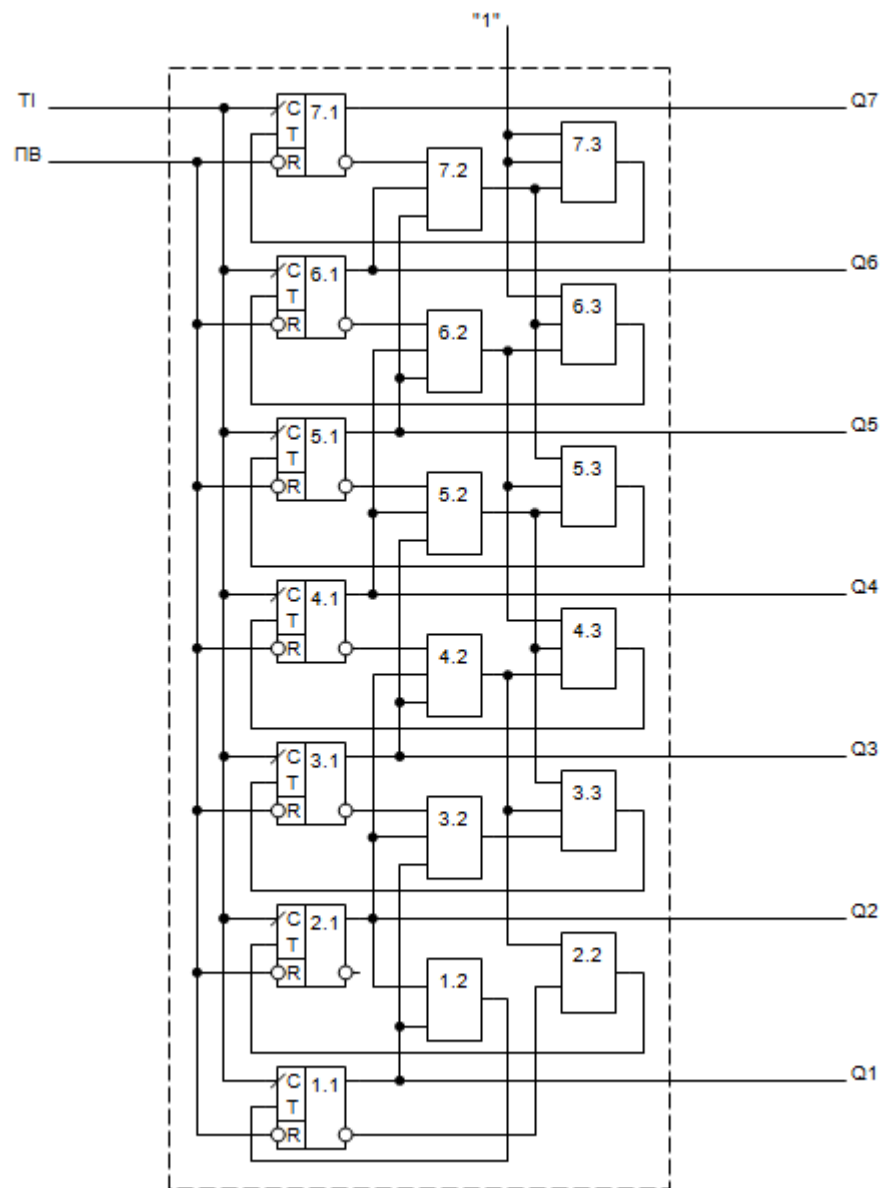
$$T4 = \overline{Q4Q3Q2} + \overline{Q5Q4Q3} + \overline{Q6Q5Q2};$$

$$T5 = \overline{Q5Q4Q3} + \overline{Q6Q5Q4} + \overline{Q7Q6Q5};$$

$$T6 = \overline{Q6Q5Q4} + \overline{Q7Q6Q5} + 1;$$

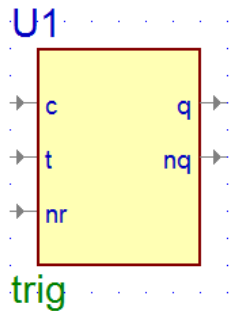
$$T7 = \overline{Q7Q6Q5} + 1 + 1.$$

Лічильник має вхід ПВ встановлення у початковий стан, вхід ТІ тактових імпульсів, вхід "1" одиничного потенціалу, інформаційні виходи Q1÷Q7, а також містить лічильні тригери 1.1÷7.1 розрядів з першого по сьомий відповідно, логічні елементи 1.2 і 2.2 2І-НЕ першого і другого розрядів відповідно, перші логічні елементи 3.2÷7.2 3І-НЕ та другі логічні елементи 3.3÷7.3 3І-НЕ розрядів з 3-го по 7-й відповідно.

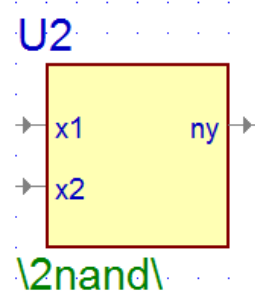


Моделювання схеми в Active-HDL

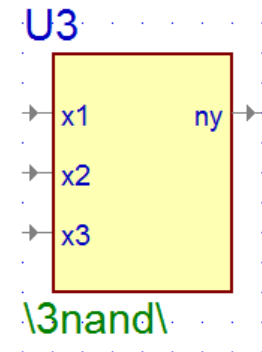
Так як наше середовище розробки містить тільки найпростіші логічні елементи, нам доведеться власноруч створити елементи нашої схеми.



T-тригер



Елемент 2I-HE



Елемент 3I-HE

Опис коду елементів мовою VHDL

Опис поведінки Т-тригера:

```
process (c)
begin
    if (nr = '0') then
        q_reg <= '0';
    elsif (c'event and c = '1') then
        q_reg <= q_next;
    end if;
end process;
q_next <= q_reg when t = '0'
else
    not(q_reg);
q <= q_reg;
nq <= not(q_reg);
end behave;
```

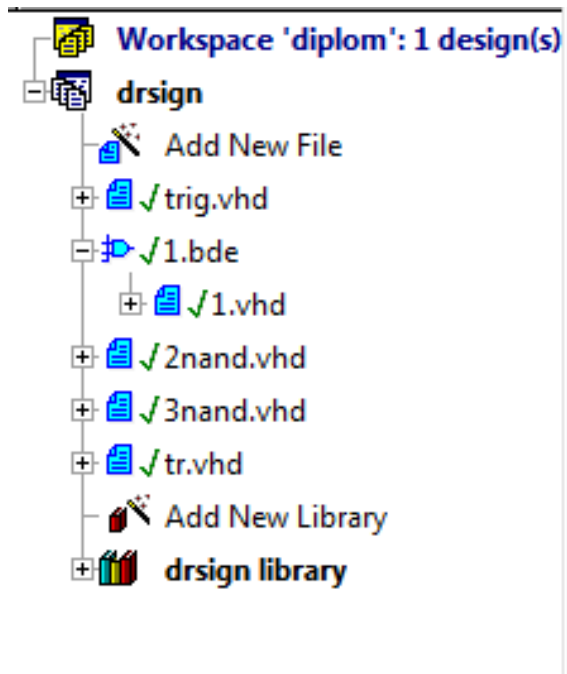
Код елементів 2I-HE:

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity \2nand\ is
    port(
        x1 : in STD_LOGIC;
        x2 : in STD_LOGIC;
        ny : out STD_LOGIC
    );
end \2nand\;
architecture \2nand\ of \2nand\ is
begin
    ny <= not(x1 and x2);
end \2nand\;
```

Для елемента 3I-HE додається третій вхід x3: x3 : in STD_LOGIC; і змінюється архітектура у зв'язку з новим входом: ny <= not(x1 and x2 and x3).

Компіляція схеми

Після завершення моделювання всіх елементів, можна створити схему і компілювати її для перевірки працездатності:

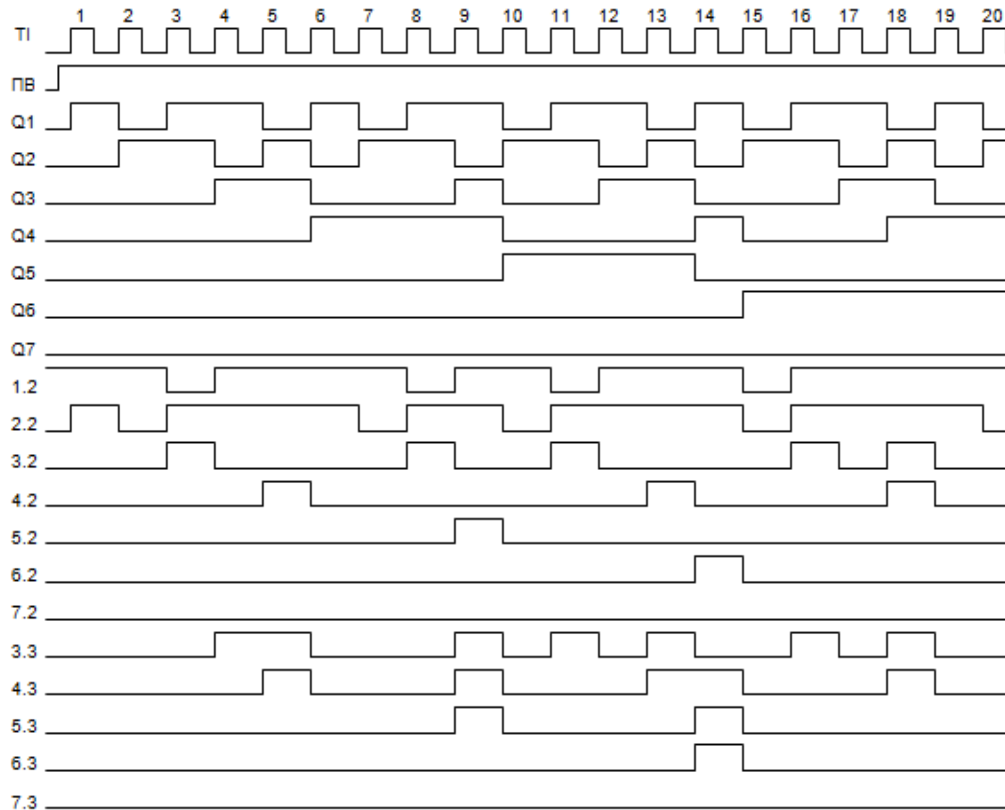


The screenshot shows the Console window with the following output:

```
□ # Generation successful
□ # Warning: DAGGEN_0523: The source is compiled without the -dbg
□ # File: .\1.vhd
□ # Compile Entity "\1\"
□ # Compile Architecture "\1\" of Entity "\1\"
□ # Compile success 0 Errors 0 Warnings Analysis time : 0.4 [s]
```

Часова діаграма схеми

Для перевірки правильності роботи схеми, необхідно побудувати її часову діаграму. На рисунку зображена часова діаграма перших двадцяти тактів роботи семирозрядного лічильника. На діаграмах не враховані затримки часу на перемикання логічних елементів і тригерів.



ВИСНОВКИ

Отже, у роботі був розроблений метод побудови швидкодіючих лічильників у кодах Фібоначчі, а також обґрунтовано доцільність даного методу, а саме:

- досліджено існуючу класифікацію лічильників і кожного методу побудови окремо;
- визначено переваги і недоліки кожного з існуючих методів і зроблено висновки;
- були визначені особливості фібоначчієвої системи числення, яка дає змогу використовувати згортки і розгортки кодів, які використовуються як перенесення у старші розряди;
- побудовано таблицю станів лічильника у кодах Фібоначчі;
- реалізований синтез схеми лічильника, який в себе включає розробку допоміжних карт Карно для виходів лічильника, створення таблиці станів T-тригера, розробка карт Карно і їх подальша мінімізація, після якої ми отримали функції входів лічильника;
- функції входів були приведені до обраних базисів, на основі них була розроблена схема лічильника;
- для перевірки працездатності лічильника, схема надалі була змодельована в середовищі розробки Active-HDL. Моделювання включає в себе розробку кожного логічного елемента, опис його коду мовою VHDL. Після успішної компіляції всіх елементів, було спроектовано схему цілком. Проведено її компіляцію. Після успішної компіляції, було побудовано часову діаграму роботи схеми, що довело її працездатність.

ДЯКУЮ ЗА УВАГУ!
