УКРАЇНА

(19) UA (11) 27751 (13) U

(51) МПК
G06G 7/60 (2006.01)

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ

ОПИС
ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під відповідальність власника патенту

(54) ПРИСТРІЙ ДЛЯ МОДЕЛЮВАННЯ НЕЙРОНА

(21) u200708023
(22) 16.07.2007
(24) 12.11.2007
(72) КОЖЕМ'ЯКО ВОЛОДИМИР ПРОКОПОВИЧ, UA, МАРТИНЮК ТЕТЯНА БОРИСІВНА, UA, КОЖЕМ'ЯКО АНДРІЙ ВІКТОРОВИЧ, UA, МОРОЗ ІРИНА ВІТАЛІЇВНА, UA
(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, UA
(56)
(57) Пристрій для моделювання нейрона, який містить n блоків зміни синаптичних ваг, перші і другі входи яких є інформаційними входами пристрою, суматор, перші n входів якого з'єднані відповідно з виходами n блоків зміни синаптичних ваг, і логічний блок, який **відрізняється** тим, що в нього введено комутатор, причому встановлювальний вхід і перший керуючий входи пристрою з'єднані з відповідними входами n блоків зміни синаптичних ваг, вхід скидання і адресний вхід пристрою з'єднані з відповідними входами суматора і логічного блока, перший вихід суматора з'єднаний з інформаційним входом комутатора, а його другий вихід з'єднаний з інформаційним входом логічного блока, вихід ознаки нуля суматора є виходом сигналу "Кінець" пристрою і з'єднаний з керуючим входом комутатора, вихід якого є інформаційним виходом результату пристрою, вхід порога і другий керуючий вхід пристрою з'єднані з відповідними входами логічного блока, вихід якого є виходом результуючого сигналу пристрою.

1 2

Корисна модель відноситься до області біоніки та обчислювальної техніки і може бути використана в якості елемента нейроподібних мереж для моделювання біологічних процесів у пристроях оброблення, аналізу і розпізнавання образів, а також в якості елемента паралельних обчислювальних структур для вирішення задач цифрового оброблення сигналів, систем алгебраїчних рівнянь, крайових задач теорії поля.

Відомий пристрій для моделювання нейрона [а.с. СРСР 767788, кл.G06 G7/60, 1980р., Бюл. 39], який містить n блоків зміни синаптичних ваг, перші входи яких є входами пристрою, а виходи з'єднані з n входами суматора, перший цифровий інтегратор, вихід другого цифрового інтегратора підключений до перших входів третього і четвертого цифрових інтеграторів, перші входи другого і п'ятого цифрових інтеграторів з'єднані з першим керуючим входом пристрою, другі входи n блоків зміни синаптичних ваг, третього, четвертого і п'ятого цифрових інтеграторів і перший вхід першого цифрового інтегратора підключені до других керуючих входів пристрою відповідно, вихід третього цифрового інтегратора є виходом пристрою, виходи четвертого і п'ятого цифрових інтеграторів підключені до (n+1)-го і (n+2)-го входів суматора відповідно, вихід якого з'єднаний з третім входом другого цифрового інтегратора, четвертий вхід якого підключений до виходу першого цифрового інтегратора, другий вхід якого з'єднаний з виходом третього цифрового інтегратора, другий вхід другого цифрового інтегратора підключений до керуючого входу запису пристрою.

Недоліком даного пристрою є його недостатня швидкодія через невідповідний рівень паралелізму оброблення у суматорі.

Найбільш близьким за технічною суттю є пристрій для моделювання нейрона [а.с. СРСР №1479944, кл. G06G7/60, 1989р., Бюл. №18], який містить n блоків зміни синаптичних ваг, перші і другі входи яких є інформаційними входами пристрою, а треті є установними, суматор, перші n входів якого з'єднані відповідно з виходами n блоків зміни синаптичних ваг, перший і другий регістри, перший і другий елементи І та логічний блок, при цьому вихід першого регістра з'єднаний з (n+1) входом суматора, а вхід - через перший вхід першого елемента І підключений до виходу суматора, який зв'язаний через перший вхід другого елемента І з входом другого регістра і першим входом логічного блока, до другого входу якого підключений вихід другого регістра.

(19) UA (11) 27751 (13) U

Недоліком даного пристрою є його недостатня швидкодія через послідовний принцип оброблення n операндів в суматорі, який є його базовим блоком.

В основу корисної моделі поставлена задача створення пристрою для моделювання нейрона, в якому введення нових вузлів та зв'язків дозволяє збільшити рівень паралелізму оброблення операндів у суматорі, що збільшить швидкодію пристрою.

Поставлена задача досягається тим, що у пристрій для моделювання нейрона, який містить n блоків зміни синаптичних ваг, суматор, перші n вход із якого з'єднані відповідно з виходами n блоків зміни синаптичних ваг, логічний блок, введено комутатор, причому установний вхід і перший керуючий входи пристрою з'єднані з відповідними входами n блоків зміни синаптичних ваг, вхід скидання і адресний вхід пристрою з'єднані з відповідними входами суматора і логічного блока, перший вихід суматора з'єднаний з інформаційним входом комутатора, а його другий вихід з'єднаний з інформаційним входом логічного блока, вихід ознаки нуля суматора є виходом сигналу „Кінець" пристрою і з'єднаний з керуючим входом комутатора, вихід якого є інформаційним виходом результату пристрою, вхід порогу і другий керуючий вхід пристрою з'єднані з відповідними входами логічного блока, вихід якого є виходом результуючого сигналу пристрою.

На Фіг.1 приведена структурна схема пристрою; на Фіг.2 - структурна схема блока зміни синаптичних ваг; на Фіг.3 - структурна схема суматора; на Фіг.4 - структурна схема логічного блока.

Пристрій для моделювання нейрона (Фіг.1) містить дві групи інформаційних входів $1_1,...,1_n$ і $2_1,...,2_n$ пристрою, n блоків $3_1,...,3_n$ зміни синаптичних ваг, установний вхід 4 і керуючий вхід 5 пристрою, суматор 6, вхід 7 скидання та адресний вхід 8 пристрою, комутатор 9, логічний блок 10, вхід 11 порогу, керуючий вхід 12, вихід 13 сигналу „Кінець", інформаційний вихід 14 результату і вихід 15 результуючого сигналу пристрою. Групи інформаційних входів $1_1,...,1_n$ і $2_1,...,2_n$ пристрою підключені відповідно до першого і другого входів блоків $3_1,...,3_n$ зміни синаптичних ваг, третій і четвертий входи яких з'єднані відповідно з установним входом 4 і керуючим входом 5 пристрою. Група виходів $16_1,...,16_n$ блоків $3_1,...,3_n$ зміни синаптичних ваг підключена до n входів суматора 6, вихід 17 якого з'єднаний з інформаційним входом логічного блока 10, вихід 18 з'єдниий з інформаційним входом комутатора 9, а вихід ознаки нуля суматора 6 є виходом 13 сигналу „Кінець" пристрою і з'єднаний з керуючим входом комутатора 9. Вхід 7 скидання і адресний вхід 8 пристрою з'єднані з відповідними входами суматора 6 і логічного блока 10, вихід якого є виходом 15 результуючого сигналу пристрою. Вхід 11 порогу і керуючий вхід 12 пристрою з'єднані з відповідними входами логічного блока 10, а вихід комутатора 9 є інформаційним виходом 14 результату пристрою.

Кожний блок 3_i, $i = \overline{1,n}$, зміни синаптичних ваг (Фіг.2) містить помножувальний елемент 19, перший вхід якого з'єднаний з інформаційним входом 1_i пристрою, а його вихід є виходом 16_i відповідного блока 3_i зміни синаптичних ваг, мультиплексор 20, перший вхід якого з'єднаний з інформаційним входом 2_i пристрою, а другий вхід з'єднаний з прямим виходом D-тригера 21. D-вхід D-тригера 21 з'єднаний з установним входом 4 пристрою, а відповідний керуючий вхід 5 пристрою з'єднаний з адресним входом мультиплексора 20, інформаційний вихід якого з'єднаний з другим входом помножувального елемента 19.

Суматор 6 (Фіг.3) містить n комірок 22, причому і-та комірка містить мультиплексор 23, регістр 24, арифметично-логічний пристрій (АЛП) 25, суматор 26, D-тригер 27, мініматор 28, два регістри 29, 30, комутатор 31. Перший інформаційний вхід мультиплексора 23 з'єднаний з входом 16_i і-ої комірки 22, керуючий вхід з'єднаний з адресним входом 8 пристрою, а його вихід підключено до входу 32 регістра 24, у якого вихід з'єднаний з прямим входом 33 АЛП 25 та інформаційним входом 34 мініматора 28. Вихід регістра 30 з'єднаний з інформаційним входом комутатора 31 та інверсним входом 35 АЛП 25, вихід 36 якого з'єднаний з другим інформаційним входом мультиплексора 23, а вихід 37 знака АЛП 25 з'єднаний зі знаковим входом 38 мініматора 28 і D-входом D-тригера 27, вхід скидання якого з'єднаний з входом 7 скидання пристрою, а його інверсний вихід з'єднаний з керуючим входом комутатора 31. Вихід комутатора 31 підключено до виходу 39 і-ої комірки 22, крім того, інформаційний вхід 40 мініматора 28 і-ої комірки 22 з'єднаний з виходом 41 (і-1)-ої комірки 22, вхід 42 суматора 26 і-ї комірки 22 з'єднаний з виходом 43 (і-1)-ої комірки 22, а вхід 44 підключено до виходу 39 (і+1)-ої комірки 22, вихід суматора 26 (n-1)-ої комірки є виходом 17 суматора і виходом 43 (n-1)-ої комірки 22. В і-й комірці 22 вхід регістра 30 підключено до входу 45 і-ої комірки 22, вихід 46 мініматора 28 з'єднаний з входом регістра 29 цієї комірки, інформаційний вихід якого є виходом 41 і-ої комірки 22, а вихід знака якого є виходом 47 і-ої комірки 22, який з'єднаний зі знаковим входом 48 мініматора 28 (і+1)-ої комірки 22, вихід 46 мініматора 28 n-ої комірки 22 підключений до входів 45 всіх (n-1) молодших комірок 22. Перша комірка 22 не містить мініматор 28 та регістр 29, вихід її регістра 24 є виходом 41 першої комірки 22, вихід 37 знака АЛП 25 є її вк. кодом 47, а вхід 42 суматора 26 з'єднаний з виходом комутатора 31 цієї ж комірки 22. Остання n-на комірка 22 містить регістр 49, вхід якого з'єднаний з виходом суматора 26 n-ої комірки 22, а його вихід є виходом 18 суматора і з'єднаний також з входом 44 суматора 26 цієї ж комірки 22. Вихід 46 мініматора 28 n-ої комірки 22 з'єднаний з входом регістра 30 цієї комірки, а вихід ознаки нуля мініматора 28 n-ої комірки 22 з'єднаний з виходом ознаки нуля суматора 6 і є виходом 13 сигналу „Кінець" пристрою.

Логічний блок 10 (Фіг.4) містить мультиплексор 50, регістр 51, комутатор 52, АЛП 53, елемент АБО 54, RS-тригер 55, елемент І 56. Адресний вхід мультиплексора 50 з'єднаний з адресним входом 8 пристрою, його перший інформаційний вхід з'єднаний з входом 11 порогу пристрою, а його вихід з'єднаний з входом регістра 51, вихід якого з'єднаний з прямим входом АЛП 53. Інверсний вхід АЛП 53 з'єднаний з виходом комутатора 52, інформаційний і керуючий входи якого з'єднані з входом 17 логічного блока 10 і з виходом елемента І 56 відповідно. Інформаційний вихід 57 АЛП 53 з'єднаний з другим інформаційним входом мультиплексора 50, вихід 58 знака з'єднаний з першим входом елемента АБО 54, а вихід 59 ознаки нуля з'єднаний з другим входом елемента АБО 54. Вихід елемента АБО 54 з'єднаний з S-входом RS-тригера 55, R-вхід якого з'єднаний з входом 7 скидання пристрою, його прямий вихід є виходом 15 результуючого сигналу пристрою, а його інверсний вихід і керуючий вхід 12 пристрою з'єднані з входами елемента І 56.

Пристрій для моделювання нейрона (Фіг.1) працює таким чином.

Перед початком роботи суматор 6 і логічний блок 10 встановлюють у початковий стан одиничним сигналом на вході 7 скидання пристрою. Після цього здійснюють настроювання пристрою на необхідний режим функціонування.

Для настроювання пристрою на функціонування у режимі формального нейрона необхідно через установний вхід 4 пристрою на відповідні входи n блоків $3_1,...,3_n$ зміни синаптичних ваг подати нульовий сигнал, на керуючі входи 5 і 12 пристрою подати нульовий і одиничний сигнали відповідно, а на вхід 11 порогу - початкове значення порогу Θ. Іншими словами, на керуючі входи 4, 5 і 12 подається код операції 001 (табл. 1). Після цього пристрій готовий до прийому двійкових кодів вхідних сигналів $x_1,...,x_n$ і значення синаптичних ваг $\gamma_1,...,\gamma_n$, які поступають відповідно на групи інформаційних входів $1_1,...,1_n$ і $2_1,...,2_n$ пристрою.

Таблиця 1

Режим (операція)	Керуючі входи 4	5	12
Формальний нейрон	0	0	1
Скалярний добуток векторів	0	0	0
Цифровий інтегратор	1	1	0

У n блоках $3_1,...,3_n$ зміни синаптичних ваг виконується формування зважених вхідних сигналів вигляду

$$a_i = x_i \cdot \gamma_i, i = \overline{1,n}, \quad (1)$$

які з групи виходів $16_1,...,16_n$ подаються на відповідні входи суматора 6 паралельно. В суматорі 6 відбувається формування часткових сум S_j (вихід 17) та їх підсумовування (вихід 18) у вигляді

$$S_k = \sum_{j=1}^{k} S_j . \quad (2)$$

З виходу 17 суматора 6 часткові суми S_j подаються на інформаційний вхід логічного блока 10, де вони порівнюються з порогом Θ і формується значення поточного порогу на j-му етапі оброблення вигляду

$$\Delta_j = \Delta_{j-1} - S_j, j = \overline{1,N}, \quad (3)$$

де $\Delta_0 = \Theta$; N - кількість етапів оброблення.

При цьому, якщо $\Delta_j > 0$, то на виході 15 результуючого сигналу Y пристрою буде незмінним нульовий сигнал (Y=0). Якщо $\Delta_j \le 0$, то на виході 15 результуючого сигналу Y пристрою сформується одиничний сигнал (Y=1) і порогове оброблення припиняється. Одночасно в суматорі 6 продовжується формування і підсумовування часткових сум S_j, доки не отримаємо одиничний сигнал на виході ознаки нуля суматора 6, що спричинить появу на виході 13 сигналу „Кінець" пристрою одиничного сигналу. У цьому випадку на керуючий вхід комутатора 9 подається одиничний сигнал дозволу з виходу ознаки нуля суматора 6 і результат S підсумовування вигляду

$$S = \sum_{j=1}^{N} S_j = \sum_{i=1}^{n} x_i \cdot \gamma_i \quad (4)$$

з виходу 18 суматора 6 подається через комутатор 9 на інформаційний вихід 14 результату пристрою.

Таким чином, при цьому режимі роботи на кожному j-му етапі пристрій реалізує функцію

$$Y = \operatorname{sign}\left(\Theta - \sum_{i=1}^{n} x_i \cdot \gamma_i\right), \quad (5)$$

що відповідає алгоритму формального нейрона і крім того суматором 6 виконується операція скалярного добутку векторів вигляду (4)

Операцію (4) можна реалізувати окремо, якщо в якості компонент одного вектора взяти вхідні сигнали $x_1,...,x_n$, які поступають на групу інформаційних входів $1_1,...,1_n$ пристрою, а в якості компонент другого вектора - значення синаптичних ваг $\gamma_1,...,\gamma_n$, які поступають на групу інформаційних входів $2_1,...,2_n$ пристрою. При цьому на установний вхід 4 і керуючі входи 5 і 12 пристрою подаються нульові потенціали, тобто код даної операції 000 (табл. 1), а на вхід 11 порогу також подається нульовий потенціал. У цьому випадку логічний блок 10 не задіяний. В блоках $3_1,...,3_n$ зміни синаптичних ваг формуються добутки вигляду (1), які з групи виходів $16_1,...,16_n$ n блоків $3_1,...,3_n$ зміни синаптичних ваг подаються на відповідні входи суматора 6 паралельно. Після цього в суматорі 6 виконується формування і підсумовування часткових сум S_j цих добутків за формулою (2), поки не з'явиться одиничний сигнал дозволу на виході ознаки нуля суматора 6, а отже, на виході 13 сигналу „Кінець" пристрою. Тоді сформована остаточна сума S (4), яка є скалярним добутком компонент x_1 і γ_1 вхідних векторів, подається через комутатор 9 на інформаційний вихід 14 результату пристрою.

При налаштуванні на роботу у режимі цифрового інтегратора пристрій працює як суматор вхідних сигналів $x_1,...,x_n$, які подаються на

групу інформаційних входів $1_1,...,1_n$ пристрою, у вигляді

$$S' = \sum_{i=1}^{n} x_i. \quad (6)$$

У цьому випадку на установний вхід 4 пристрою подається одиничний сигнал, який задає значення синаптичних ваг $\gamma_1,...,\gamma_n$ рівними одиниці, на керуючі входи 5 і 12 пристрою подаються одиничний і нульовий потенціали відповідно, тобто код даної операції 110 (табл. 1), а на вхід 11 порогу подається нульовий потенціал, при цьому логічний блок 10 відключається. В суматорі 6 формується за N етапів оброблення сума S' часткових сум S'_j вигляду

$$S' = \sum_{j=1}^{N} S_j', \quad (7)$$

яка після появи одиничного сигналу на виході ознаки нуля суматора 6, а отже, на виході 13 сигналу „Кінець" пристрою, подається з виходу 18 суматора 6 через комутатор 9 на інформаційний вихід 14 результату пристрою.

На початку роботи і-го блока 3_i зміни синаптичних ваг (Фіг.2) здійснюють його настроювання на необхідний режим функціонування.

При настроюванні пристрою на режим формального нейрона і скалярного добутку векторів на установний вхід 4 і керуючий вхід 5 пристрою подаються нульові потенціали (табл. 1). Це дозволяє проходження значення синаптичної ваги γ_i через мультиплексор 20, оскільки на його адресний вхід подається значення нуля, що означає дозвіл для проходження сигналу з входу 2_i на вихід мультиплексора 20. Отже, блок 3_i готовий до прийому двійкового коду вхідного сигналу x_i і значення синаптичної ваги γ_i, які поступають відповідно на інформаційні входи 1_i і 2_i пристрою. Значення синаптичної ваги γ_i з виходу мультиплексора 20 надходить на вхід помножувального елемента 19, в якому воно перемножується зі значенням вхідного сигналу x_i, тобто формується добуток зваженого вхідного сигналу a_i вигляду (1), який знімається з виходу 16_i блока 3_i зміни синаптичних ваг.

При настроюванні пристрою на режим цифрового інтегратора на установний вхід 4 і керуючий вхід 5 пристрою подаються одиничні потенціали (табл. 1). Блок 3_i готовий до прийому двійкового коду вхідного сигналу x_i, який подається на інформаційний вхід 1_i пристрою. Одиничний сигнал з установного входу 4 пристрою подається на D-вхід D-тригера 21 і встановлює його в одиничний стан. Одиничний сигнал на керуючому вході 5 пристрою забороняє проходження значення синаптичної ваги γ_i через мультиплексор 20 і дозволяє проходження на його вихід одиничного сигналу з виходу D-тригера 21. Через мультиплексор 20 одиничний сигнал надходить на другий вхід помножувального елемента 19, в якому він перемножується зі значенням вхідного сигналу x_i. Отриманий результат вигляду x_i знімається з виходу 16_i блока 3_i зміни синаптичних ваг.

Суть робота суматора 6 (Фіг.3) полягає в тому, що порогове оброблення n чисел зводиться до обчислення і підсумовування N часткових сум, де N - кількість різноманітних вхідних величин a_i, порівняння цих сум з порогом Θ і формування підсумкового сигналу вигляду

$$Y = \begin{cases} 1, \text{якщо } S = \sum_{i=1}^{n} a_i = \sum_{j=1}^{N} q_j d_j \geq \Theta, \\ 0 \text{ у протилежному випадку,} \end{cases} \quad (8)$$

де Y - результуючий сигнал пристрою, q_j - загальна значуща частина доданків (мінімальний елемент) j-го етапу, d_j - кратність загальної частини q на j-му етапі, Θ - значення порогу оброблення, j - етап оброблення.

Процес підсумовування у суматорі 6 має такий вигляд.

Спочатку визначається загальна значуща частина всіх доданків на j-му етапі, тобто

$$q_j = \min\{a_{i,j-1}\}_{i=1}^{n}, \; j = \overline{1,N}, \quad (9)$$

де $a_{i,0}$ - і-й доданок на вході суматора 6, і перевіряється умова

$$q_j = 0. \quad (10)$$

Якщо умова (10) виконується, то процес підсумовування припиняється. У протилежному випадку виділяється різницевий зріз A_j, тобто сукупність величин різниці всіх доданків j-го етапу з їхньою загальною частиною q_j, тобто

$$A_j = \{a_{i,j}\}_{i=1}^{n} = \{a_{i,j-1} - q_j\}_{i=1}^{n}. \quad (11)$$

В подальшому отриманий різницевий зріз A_j є вхідною множиною доданків для наступного (j+1)-го етапу.

Далі формується часткова сума S_j як кратне загальної частини q_j, де кратність d_j визначається кількістю додатних доданків j-го етапу:

$$S_j = q_j d_j. \quad (12)$$

Після цього відбувається підсумовування часткових сум S_j за формулою (2). Виконання умови (10) свідчить про закінчення підсумовування і про формування остаточного результату S підсумовування вигляду (4).

Отже, суматор 6 (Фіг.3) працює таким чином.

На вхід 16_i і-ої комірки 22 надходить і-ий операнд $a_{i,0}$ з групи операндів, кількість яких n. Запис операндів в комірки 22 виконується паралельно. Через мультиплексор 23 і-ий операнд $a_{i,0}$ надходить в регістр 24 і-ої комірки 22, після чого виконується послідовне виділення загальної (мінімальної значущої) частини двох операндів - (і-1)-го та і-го мініматором 28 і запис результату в регістр 29 і-ої комірки 22. Згідно з виразом (9) ця операція виконується послідовно, починаючи з другої комірки 22. Кінцевий результат q_1 виділення загальної частини всіх n операндів на першому етапі формується в n-ій комірці 22 і з виходу 46 мініматора 28 цієї комірки 22 записується в регістри 30 всіх n комірок 22 паралельно по входу 45.

Після цього в і-й комірці відбувається порівняння в АЛП 25 і-го операнда $a_{i,0}$, що

надходить з регістра 24, та загальної частини q_1 всіх операндів, що надходить з регістра 30. Порівняння відбувається в процесі віднімання від величини операнда загальної частини всіх величин операндів згідно з виразом (11) і ця різниця записується з виходу 36 АЛП 25 через мультиплексор 23 в регістр 24. При цьому на виході 37 знака АЛП 25 формується знак різниці. При відсутності одиничного сигналу знака від'ємного результату одиничний сигнал з інверсного виходу D-тригера 27 подається на керуючий вхід комутатора 31 і дозволяє проходження в і-й комірці через комутатор 31 загальної частини q_1 операндів з регістра 30 в суматор 26 (і-1)-ої комірки 22, де відбувається накопичування загальної частини операндів. У випадку, якщо на виході 37 знака АЛП 25 і-ої комірки 22 з'явиться одиничний сигнал знака від'ємного результату, то наявність нульового сигналу на інверсному виході D-тригера 27, а отже, на керуючому вході комутатора 31 заборонить надходження загальної частини q_1 операндів на даному етапі оброблення через комутатор 31 на вхід суматора 26 (і-1)-ої комірки 22.

В суматорі 26 кожної комірки 22 відбувається послідовне підсумовування загальних частин q_1 групи з n операндів, а в результаті на виході 17 суматора 26 (n-1)-ої комірки 22 формується часткова сума S_1 операндів згідно з виразом (12). Так виконується перший етап оброблення. В подальшому процес підсумовування виконується аналогічно першому етапу оброблення згідно з формулами (9)-(12). Процес підсумовування припиняється тоді, коли загальна значуща частина q_j всіх поточних доданків на j-му етапі дорівнює нулю, тобто присутній одиничний сигнал на виході ознаки нуля мініматора 28 n-ої комірки 22, а отже на виході 13 n-ої комірки 22.

Суть роботи логічного блока 10 (Фіг.4) полягає в тому, що після сформування часткової суми S_1 за формулою (12) на першому етапі формується різниця між заданим порогом Θ та частковою сумою S_1, отриманою на цьому етапі, тобто

$$\Delta_1=\Theta-S_1, \quad (13)$$

перевіряється умова

$$\Delta_1\leq 0 \quad (14)$$

і в разі її виконання формується одиничний результуючий сигнал Y пристрою і порогове оброблення припиняється. В протилежному випадку процес порогового оброблення продовжується і в подальшому поточна різниця Δ_{j-1} є поточним значенням порогу на наступному j-му етапі оброблення згідно з формулою (3).

На j-му етапі перевіряється умова

$$\Delta_j\leq 0. \quad (15)$$

Процес порогового оброблення повторюється до виконання умови (15) або до визначення нульової величини q_j (10).

Отже, логічний блок 10 (Фіг.4) працює таким чином.

За одиничним сигналом на вході 7 скидання пристрою, який подається на R-вхід RS-тригера 55, він встановлюється у нульовий стан, тобто на його прямому виході, а отже, і на виході 15 результуючого сигналу Y пристрою встановлюється нульовий сигнал, а на інверсному виході - одиничний сигнал. Потім на вхід мультиплексора 50 надходить значення порогу Θ з входу 11 порогу пристрою, яке при наявності одиничного сигналу на адресному вході 8 пристрою через мультиплексор 50 надходить у регістр 51. Перед початком роботи на керуючий вхід 12 подається одиничний сигнал, а на вхід 17 послідовно надходять часткові суми S_j вигляду (12).

В результаті на першому етапі на інформаційному виході 57 АЛП 53 формується поточна різниця Δ_1 згідно із виразом (13), яка через мультиплексор 50 при наявності нульового сигналу на адресному вході 8 пристрою знову записується у регістр 51, оскільки вона буде поточним значенням порогу на наступному етапі оброблення згідно із виразом (3). При цьому сигнали з виходів 58 знака і 59 ознаки нуля АЛП 53 надходять на входи елемента АБО 54. Це необхідно для перевірки умови (14). Вихід елемента АБО 54 формує результуючий сигнал Y, який буде одиничним в разі виконання умови (14) і нульовим в протилежному випадку, і який надходить на S-вхід RS-тригера 55. При наявності нульового сигналу на виході елемента АБО 54, а отже і на прямому виході RS-тригера 55, на інверсному виході RS-тригера 55 присутній одиничний сигнал, який надходить на другий вхід елемента І 56 і при наявності одиничного сигналу на керуючому вході 12 пристою надходить на керуючий вхід комутатора 52 і дозволяє проходження на його вихід часткової суми S_j з його інформаційного входу 17.

При появі одиничного сигналу на виході елемента АБО 54, а потім на прямому виході RS-тригера 55, на інверсному виході RS-тригера 55 з'являється нульовий сигнал, який надходить на другий вхід елемента І 56 і проходить на керуючий вхід комутатора 52, що забороняє проходження часткових сум S_j вигляду (12) з інформаційного входу 17. Отже, присутність одиничного сигналу хоча б на одному з виходів 58 знака чи 59 ознаки нуля АЛП 53, тобто наявність нульової чи від'ємної різниці Δ_1 призведе до появи одиничного сигналу на виході 15 результуючого сигналу Y пристрою, в результаті чого порогове оброблення припиняється, оскільки не будуть надходити часткові суми S_j з інформаційного входу 17. Так виконується перший етап порогового оброблення.

У випадку нульового сигналу на виході 15 результуючого сигналу Y пристрою виконуються процес наступного етапу оброблення. На всіх етапах, починаючи з другого, виконується операція (3) і перевіряється умова (15). У випадку, якщо умова (15) на всіх етапах не виконується, тобто на виході 15 результуючого сигналу Y пристрою присутній нульовий сигнал, процес порогового оброблення закінчується тоді, коли загальна частина q_j всіх поточних доданків дорівнює нулю, тобто присутній одиничний сигнал на виході ознаки нуля суматора 6. При появі

нульового сигналу на керуючому вході 12 порогове оброблення також припиняється.

У табл. 2 наведено приклад реалізації роботи суматора 6 і логічного блока 10, в яких відбувається підсумовування і порогове оброблення п'яти чисел: 11, 3, 5, 8, 15. Знак (-) у таблиці означає від'ємний різницевий елемент, який не враховується у подальшому розгляді.

Таблиця 2

Різницевий зріз A_j / Елементи різницевого зрізу $a_{i,j}$	A_0	A_1	A_2	A_3	A_4	A_5
$a_{1,j}$	11	8	6	3	0	-
$a_{2,j}$	3	0	-	-	-	-
$a_{3,j}$	5	2	0	-	-	-
$a_{4,j}$	8	5	3	0	-	-
$a_{5,j}$	15	12	10	7	4	0
Поточний поріг Δ_j оброблення	36	21	13	4	-2	-
Результуючий сигнал Y	0	0	0	0	1	1
Етапи оброблення t_j	0	1	2	3	4	5
Мінімальний елемент q_j	3	2	3	3	4	
Кратність мінімальних елементів d_j	5	4	3	2	1	
Часткова сума S_j	15	8	9	6	4	
Накопичення часткових сум S_i	15	23	32	38	42	

Час підсумовування залежить від розмірності вхідної множини чисел. За рахунок виконання суматора у вигляді просторово-часового суматора, який працює за методом різницевих зрізів, задіяно всі n операндів, що значно збільшує паралелізм оброблення. Розглянемо часові співвідношення для всіх режимів функціонування пристрою:

$$\begin{cases} T_{sm} = t_{ac} + t_c \cdot N = (n-1)t_{com} + (t_{sub} + n \cdot t_{sm}) \cdot N, \\ T_{mul} = t_{mul} + T_{sm}, \\ T_{\Theta} = t_{mul} + t_{ac} + \sum_{j=1}^{N} \left(t_{com} + T_{sm}^{j}\right), \end{cases} \quad (16)$$

де T_{sm}, T_{mul}, T_{Θ} - час виконання операцій у режимах цифрового інтегратора, скалярного добутку векторів і формального нейрона відповідно; t_{ac} - час розгону суматора; t_c - час тіла цикла; N - кількість етапів оброблення; t_{com} - час виконання операції порівняння двох чисел; t_{sub} - час виконання віднімання двох чисел; t_{sm} - час підсумовування двох чисел; t_{mul} - час виконання операції множення двох чисел виду $x_i \cdot \gamma_i, i = \overline{1,n}$; $T_{sm}^{j} = (t_{sub} + n \cdot t_{sm})$ - час формування часткової суми S_j на j-му етапі.

Отже, мінімальний і максимальний час виконання операції підсумовування можна визначити таким чином:

$$T_{sm}^{min} = t_{ac} + T_{sm}^{j} \cdot N_{min},$$

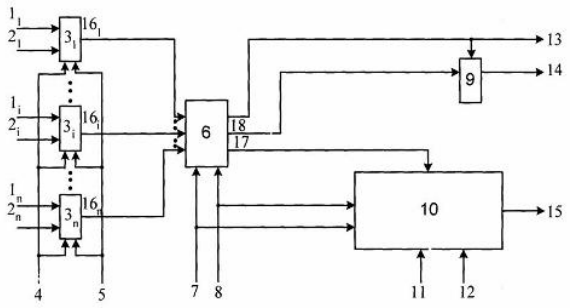
$$T_{sm}^{max} = t_{ac} + T_{sm}^{j} \cdot N_{max},$$

де N_{max}=n, N_{min}=1.

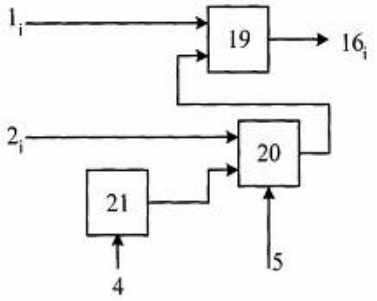
Відомо, що особливістю порогового оброблення векторного масиву чисел за методом різницевих зрізів є нефіксоване (нестале) значення часу оброблення. Це значення залежить від кількості елементів на вході і кількості однакових елементів у масиві. Тому кількість етапів оброблення можна визначити за формулою:

$$N = n - \sum_{r=1}^{R} (m_r - 1), \quad (17)$$

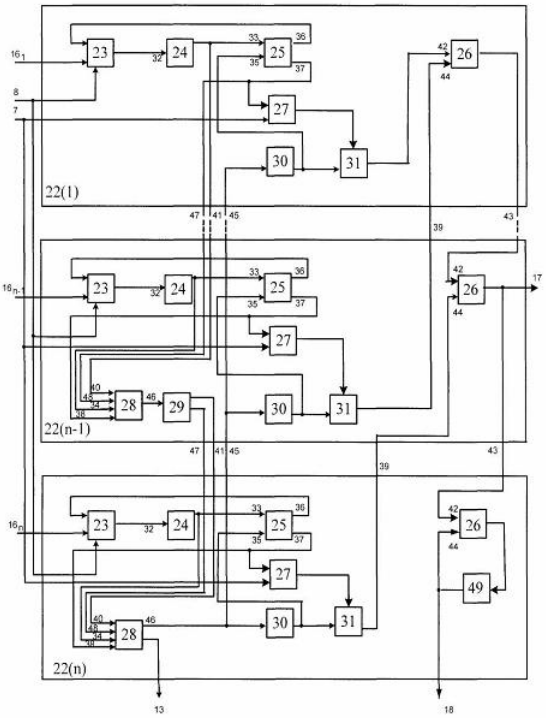
де n - кількість елементів вхідного вектора; R - кількість груп з кількістю m_r однакових чисел; m_r, R - випадкові величини. Отже, принцип роботи пристрою для моделювання нейрона наближається до роботи біологічного нейрона, час спрацювання якого залежить від кількості вхідних елементів і закону їх розподілу.



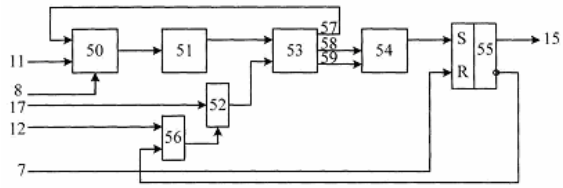
Фіг. 1



Фіг. 2



Фіг. 3



Фіг. 4