



УКРАЇНА

(19) **UA** (11) **112938** (13) **U**
(51) МПК
Н03М 1/18 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2016 05258	(72) Винахідник(и): Бортник Геннадій Григорович (UA), Бортник Олександр Геннадійович (UA), Стальченко Олександр Володимирович (UA)
(22) Дата подання заявки: 16.05.2016	
(24) Дата, з якої є чинними права на корисну модель: 10.01.2017	
(46) Публікація відомостей про видачу патенту: 10.01.2017, Бюл.№ 1	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)

(54) ПРИСТРІЙ ДЛЯ АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЕННЯ

(57) Реферат:

Пристрій для аналого-цифрового перетворення містить аналого-цифровий перетворювач, тактовий вхід, вихідну шину, яка під'єднана до виходів першого постійного запам'ятовуючого пристрою, причому введено аналоговий комутатор, перший елемент затримки, цифровий комутатор, цифровий суматор, буферний регістр, другий елемент затримки, першу та другу керувальні шини, причому блок тестових сигналів містить перший двійковий лічильник, другий постійний запам'ятовуючий пристрій та цифро-аналоговий перетворювач, вихід якого з'єднаний з другим входом аналогового комутатора, першій вхід аналогового комутатора під'єднано до вхідної шини $U_{вх}$ пристрою для аналого-цифрового перетворення, а вихід - з аналоговим входом аналого-цифрового перетворювача, а тактовий вхід "ТІ" пристрою для аналого-цифрового перетворення з'єднано з входом першого елемента затримки, входом першого двійкового лічильника та входом другого елемента затримки, а виходи першого двійкового лічильника з'єднані з адресними входами другого постійного запам'ятовуючого пристрою, виходи якого з'єднані з входами цифро-аналогового перетворювача, а блок визначення нелінійності містить оперативний запам'ятовуючий пристрій, третій постійний запам'ятовуючий пристрій, перемножувач, накопичувальний суматор, другий двійковий лічильник та четвертий постійний запам'ятовуючий пристрій, перші виходи якого з'єднані з адресними входами оперативного запам'ятовуючого пристрою, другі входи - з адресними входами третього постійного запам'ятовуючого пристрою, треті входи - з керувальними входами накопичувального суматора, а друга керувальна шина з'єднана з входом "запис/читання" оперативного запам'ятовуючого пристрою, входи якого з'єднані з цифровими виходами аналого-цифрового перетворювача, а виходи - з першими входами перемножувача та входами буферного регістра, виходи якого з'єднані з другими входами цифрового комутатора та першими входами цифрового суматора, виходи якого з'єднані з інформаційними входами першого постійного запам'ятовуючого пристрою, а виходи третього постійного запам'ятовуючого пристрою з'єднані з другими входами перемножувача, виходи якого з'єднані з входами накопичувального суматора, виходи якого з'єднані з другими входами цифрового суматора, а вихід другого елемента затримки з'єднано з входом другого двійкового лічильника, виходи якого з'єднані з адресними входами четвертого постійного запам'ятовуючого пристрою, а перша керувальна шина пристрою для аналого-цифрового перетворення з'єднана з керувальним входом аналогового комутатора, керувальним входом цифрового комутатора та входом "запис/читання" першого постійного запам'ятовуючого пристрою, а вихід першого елемента затримки з'єднано з тактовим входом аналого-цифрового перетворювача, а виходи

UA 112938 U

цифрового комутатора під'єднані до адресних входів першого постійного запам'ятовуючого пристрою.

Корисна модель належить до автоматики і обчислювальної техніки і призначена для перетворення швидкозмінних аналогових сигналів у цифровий код.

Відомий пристрій для аналого-цифрового перетворення, який містить групу компараторів старших розрядів і групу компараторів молодших розрядів, перші входи яких підключені до джерел опорних напруг, сигнальні входи групи компараторів старших розрядів підключені до джерела сигналу, який перетворюється, а виходи компараторів в кожній групі, крім компараторів старших розрядів, об'єднані попарно і підключені до керуючих входів елементів пам'яті, і резистивні підсилювачі, перші входи яких підключені до джерел струмів зміщення, другі через повторювач та інвертор підключені до джерела сигналу, який перетворюється, а виходи попарно зі зсувом на один підключені до входів елемента, виходи яких через елемент АБО з'єднані з сигнальними входами компараторів молодших розрядів, входи стробування елементів пам'яті підключені до джерела стробуючого сигналу (А.с. СРСР № 879771, МКИ Н 03 К 5/22, бюлетень № 41, 1981 р.).

Недоліками даного перетворювача є низька точність.

Відомий пристрій для аналого-цифрового перетворення, який містить малорозрядний аналого-цифровий перетворювач (АЦП), виходи якого підключені до шин старших розрядів, ЦАП, вихід якого з'єднаний з входом подільника напруги, до виходів подільника під'єднані компаратори, другі входи яких під'єднані до шини вхідної напруги, виходи компараторів під'єднані до шин молодших розрядів [заявка ФРН № 274316, кл. Н 03 К 13/05].

Недоліком даного пристрою для аналого-цифрового перетворення є низька точність.

Найбільш близьким є пристрій для аналого-цифрового перетворення, який містить аналого-цифровий перетворювач, тактові і опорні входи якого є відповідно тактовою і опорною шиною, а інформаційний вхід з'єднаний з виходом блока зміни координати положення, інформаційний вхід якого є вхідною шиною, група керуючих входів з'єднана відповідно з першими входами блока керування, постійний запам'ятовуючий пристрій, перші і другі входи якого під'єднані відповідно до відповідних виходів аналого-цифрового перетворювача і до відповідних других виходів блока керування, а вихід є вихідною шиною, причому тактовий вхід блока керування з'єднаний з тактовою шиною, інформаційні входи - з відповідними виходами аналого-цифрового перетворювача, опорний вхід блока зміни координати положення з'єднаний з шиною опорної напруги, сам блок зміни координати положення виконаний на підсумовуючому підсилювачі і трьох ключах, виходи яких з'єднані відповідно з першим, другим і третім входами підсумовуючого підсилювача, четвертий вхід якого є інформаційним входом блока керування, групою керуючих входів якого є керуючі входи відповідно першого, другого і третього ключів, інформаційні входи яких об'єднані і є опорним входом блока, а його виходом є вихід підсумовуючого підсилювача, блок керування виконаний на двох постійних запам'ятовуючих пристроях і регістрі пам'яті, перша і друга групи інформаційних входів якого з'єднані з відповідними виходами першої і другої групи виходів першого постійного запам'ятовуючого пристрою, і перша група виходів є першими виходами блока керування, другими виходами якого є третя група виходів першого постійного запам'ятовуючого пристрою, перша група входів якого з'єднана з відповідними виходами регістра пам'яті, а друга група входів - з відповідними виходами другого постійного запам'ятовуючого пристрою, входи якого є інформаційними входами блока керування, тактовим входом якого є вхід синхронізації регістра пам'яті [Патент SU № 1425828, М.кл. А1 - Н03М1/18, Бюл. № 35 1988 р.].

Недоліками даного пристрою є недостатня точність, обумовлена тим, що при аналого-цифровому перетворенні сигналів не враховується нелінійність передатної характеристики АЦП, що призводить до збільшення похибки пристрою для аналого-цифрового перетворення.

В основу корисної моделі поставлено задачу створення пристрою для аналого-цифрового перетворення, в якому за рахунок введення нових блоків та зв'язків підвищується точність перетворення шляхом коригування результатів аналого-цифрового перетворення.

Поставлена задача вирішується тим, що в пристрій для аналого-цифрового перетворення, який містить вхідну шину, аналого-цифровий перетворювач, тактовий вхід, перший постійний запам'ятовуючий пристрій, виходи якого з'єднані з вихідною шиною пристрою для аналого-цифрового перетворення, введені аналоговий комутатор, перший елемент затримки, цифровий комутатор, цифровий суматор, буферний регістр, другий елемент затримки, першу та другу керувальні шини, а блок тестових сигналів виконаний на першому двійковому лічильнику, другому постійному запам'ятовуючому пристрої та цифро-аналоговому перетворювачі, вихід якого з'єднаний з другим входом аналогового комутатора, перший вхід аналогового комутатора під'єднано до вхідної шини $U_{вх}$ пристрою для аналого-цифрового перетворення, а вихід - з аналоговим входом аналого-цифрового перетворювача, а тактовий вхід "Т1" пристрою для аналого-цифрового перетворення з'єднано з входом першого елемента затримки, входом

першого двійкового лічильника та входом другого елемента затримки, а виходи першого двійкового лічильника з'єднані з адресними входами другого постійного запам'ятовуючого пристрою, виходи якого з'єднані з входами цифро-аналогового перетворювача, а блок визначення нелінійності виконаний на оперативному запам'ятовуючому пристрої, третьому постійному запам'ятовуючому пристрої, перемножувачі, накопичувальному суматорі, другому двійковому лічильнику та четвертому постійному запам'ятовуючому пристрої, перші виходи якого з'єднані з адресними входами оперативного запам'ятовуючого пристрою, другі входи - з адресними входами третього постійного запам'ятовуючого пристрою, треті входи - з керувальними входами накопичувального суматора, а друга керувальна шина з'єднана з входом "запис/читання" оперативного запам'ятовуючого пристрою, входи якого з'єднані з цифровими виходами аналого-цифрового перетворювача, а виходи - з першими входами перемножувача та входами буферного регістра, виходи якого з'єднані з другими входами цифрового комутатора та першими входами цифрового суматора, виходи якого з'єднані з інформаційними входами першого постійного запам'ятовуючого пристрою, а виходи третього постійного запам'ятовуючого пристрою з'єднані з другими входами перемножувача, виходи якого з'єднані з входами накопичувального суматора, виходи якого з'єднані з другими входами цифрового суматора, а вихід другого елемента затримки з'єднано з входом другого двійкового лічильника, виходи якого з'єднані з адресними входами четвертого постійного запам'ятовуючого пристрою, а перша керувальна шина пристрою для аналого-цифрового перетворення з'єднана з керувальним входом аналогового комутатора, керувальним входом цифрового комутатора та входом "запис/читання" першого постійного запам'ятовуючого пристрою, а вихід першого елемента затримки з'єднано з тактовим входом аналого-цифрового перетворювача, а виходи цифрового комутатора під'єднані до адресних входів першого постійного запам'ятовуючого пристрою, що дає при однаковій кількості розрядів пристрою для аналого-цифрового перетворення, який пропонується, і прототипу підвищення точності шляхом коригування результатів аналого-цифрового перетворення.

На кресленні наведена структурна електрична схема пристрою для аналого-цифрового перетворення.

Пристрій містить першу керувальну шину 1, вхідну шину 2, аналоговий комутатор 3, аналого-цифровий перетворювач 4, перший елемент затримки 5, тактову шину 6, блок тестових сигналів 7, який виконаний на першому двійковому лічильнику 8, другому постійному запам'ятовуючому пристрої 9 та цифро-аналоговому перетворювачі 10, другий елемент затримки 11, блок визначення нелінійності 12, який виконаний на оперативному запам'ятовуючому пристрої 13, другому двійковому лічильнику 14, третьому постійному запам'ятовуючому пристрої 15, четвертому постійному запам'ятовуючому пристрої 16, перемножувачі 17 та накопичувальному суматорі 18, другу керувальну шину 19, цифровий комутатор 20, цифровий суматор 21, буферний регістр 22, перший постійний запам'ятовуючий пристрій 23, вихідну шину 24, причому перша керувальна шина 1 під'єднана: до керувального входу аналогового комутатора 3, до керувального входу цифрового комутатора 20 та до входу "запис/читання" першого запам'ятовуючого пристрою 23, а вхідна шина 2 з'єднана з першим входом аналогового комутатора 3, вихід якого під'єднано до аналогового входу аналого-цифрового перетворювача 4, цифрові виходи якого під'єднані до перших входів цифрового комутатора 20 та до інформаційних входів оперативного запам'ятовуючого пристрою 13, виходи якого під'єднані до перших входів перемножувачів 17 та входів буферного регістра 22, виходи якого під'єднані до перших входів цифрового суматора 21 та других входів цифрового комутатора 20, виходи якого з'єднані з входами першого постійного запам'ятовуючого пристрою 23, в свою чергу виходи першого постійного запам'ятовуючого пристрою 23 з'єднані з вихідною шиною 24, а тактовий вхід тактової шини 6 з'єднано: з входом першого елемента затримки 5, входом першого двійкового лічильника 8 та входом другого елемента затримки 11, а друга керувальна шина 19 з'єднана зі входом "запис/читання" операційного запам'ятовуючого пристрою 13, адресні входи якого під'єднані до перших виходів четвертого постійного запам'ятовуючого пристрою 16, другі виходи якого під'єднані до адресних входів третього постійного запам'ятовуючого пристрою 15, а треті виходи - до керувальних входів накопичувального суматора 18, в свою чергу вихід другого елемента затримки 11 з'єднаний з входом другого двійкового лічильника 12, виходи якого під'єднані до адресних входів четвертого постійного запам'ятовуючого пристрою 16, в свою чергу виходи першого двійкового лічильника 8 під'єднані до адресних входів другого постійного запам'ятовуючого пристрою 9, виходи якого під'єднані до входів цифро-аналогового перетворювача 10, вихід якого з'єднаний з другим входом аналогового комутатора 3, в свою чергу вихід першого елемента затримки 5 з'єднано з тактовим входом аналого-цифрового перетворювача 4, а виходи цифрового суматора 21

під'єднано до інформаційних входів першого постійного запам'ятовуючого пристрою 23, адресні входи якого під'єднані до виходів цифрового комутатора 20, в свою чергу виходи третього постійного запам'ятовуючого пристрою 15 з'єднані з другими входами перемножувачів 17, виходи якого з'єднані з входами накопичувального суматора 18, виходи якого з'єднані з другими входами цифрового суматора 21.

Пристрій для аналого-цифрового перетворення працює наступним чином.

В режимі калібрування встановлюється сигнал "запис" на другій керувальній шині 19, що з'єднана з входом "запис/читання" операційного запам'ятовуючого пристрою 13, а на першій керувальній шині 1 - сигнал "калібрування". На тактову шину 6 подаються тактові імпульси, які дають змогу у блоці тестових сигналів 7 за допомогою послідовно ввімкнених двійкового лічильника 8, постійного запам'ятовуючого пристрою 9 та цифро-аналогового перетворювача 10, сформувати лінійно наростаючий тестовий сигнал, який подається на другий вхід аналогового комутатора 3. З виходу аналогового комутатора 3 тестовий сигнал подається на аналоговий вхід аналого-цифрового перетворювача 4. У першому елементі затримки 5 здійснюється затримка тактових імпульсів, які є імпульсами дискретизації аналого-цифрового перетворювача, на часовий інтервал, що необхідний для формування тестового сигналу у блоці тестових сигналів 7. Цифровий сигнал з виходів аналого-цифрового перетворювача 4 подається до інформаційних входів операційного запам'ятовуючого пристрою 13. У другому елементі затримки 11 здійснюється затримка тактових імпульсів, які є керувальними імпульсами блока визначення нелінійності 12, на часовий інтервал, що необхідний для формування цифрового сигналу на виході аналого-цифрового перетворювача 4. Ці керувальні імпульси за допомогою послідовно ввімкнених двійкового лічильника 14 та постійного запам'ятовуючого пристрою 16 формуються у кодовій послідовності для формування адресних сигналів операційного запам'ятовуючого пристрою 13 і постійного запам'ятовуючого пристрою 15 та керувальних сигналів накопичувального суматора 18. Цифрові сигнали з виходів аналого-цифрового перетворювача записуються у послідовно розташованих комірках операційного запам'ятовуючого пристрою 13 під керуванням адресних сигналів з перших виходів постійного запам'ятовуючого пристрою 16. Загальний об'єм записаної інформації в операційний запам'ятовуючий пристрій 13 з цифрових виходів аналого-цифрового перетворювача 4 дорівнює: $N=2^n-1$, де n - число двійкових розрядів аналого-цифрового перетворювача 4. Після проходження тактовою шиною 6 2^n-1 імпульсів на другій керувальній шині 19 встановлюється сигнал "читання". Далі у блоці визначення нелінійності 12 здійснюється визначення нелінійності та формування поправок для кожного цифрового сигналу аналого-цифрового перетворювача.

Для цього використовується вираз $X_W(k) = \sum_{m=0}^{N-1} x(m) \cdot \text{Wal}(k,m)$, де $\text{Wal}(k,m)$ - функції Уолша, що

набувають значень ± 1 і зберігаються у постійному запам'ятовуючому пристрої 15. Під дією адресних сигналів з других виходів постійного запам'ятовуючого пристрою 16 здійснюється вибірка відповідних значень функції Уолша з постійного запам'ятовуючого пристрою 15, які перемножуються у перемножувачах 17 з відповідними значеннями цифрових сигналів аналого-цифрового перетворювача, що за адресними сигналами з перших виходів постійного запам'ятовуючого пристрою 16 викликаються з комірок операційного запам'ятовуючого пристрою 13. Добуток цих сигналів з виходу перемножувачів 17 подається на входи накопичувального суматора 18. В результаті підсумовування 2^n-1 добутків на виході накопичувального суматора 18 формується кінцевий результат, який є поправкою $\Delta u(i)$ для i -го цифрового сигналу аналого-цифрового перетворювача. Значення поправки $\Delta u(i)$ подається на другий вхід цифрового суматора 21, а на перший вхід цифрового суматора 21 подається i -й цифровий сигнал аналого-цифрового перетворювача з виходу буферного регістра 22. У буферному регістрі 22 i -й цифровий сигнал зберігався протягом інтервалу часу, що необхідний був для формування поправки $\Delta u(i)$ за допомогою постійного запам'ятовуючого пристрою 15, помножувачів 17 та накопичувального суматора 18. Окрім того, i -й цифровий сигнал аналого-цифрового перетворювача з виходу буферного регістра 22 подається на другі входи цифрового комутатора 20. На виході цифрового суматора 21 формується скоригований сигнал $y_c(i) = y_r(i) + \Delta u(i)$, який у свою чергу записується в постійний запам'ятовуючий пристрій 23 за адресою, сформованою вихідним сигналом цифрового комутатора 20. Калібрування виконується у всіх N точках цифрового тестового сигналу, записаного в постійний запам'ятовуючий пристрій 9. На вихідній шині 24 пристрою для аналого-цифрового перетворення в режимі калібрування встановлено третій високоімідансний стан, тому що постійний запам'ятовуючий пристрій 23 за сигналом "калібрування" з шини 1 працює в режимі запису.

У робочому режимі на першій керувальній шині 1 встановлюється сигнал "робота", який активізує перший вхід аналогового комутатора 3 та перші входи цифрового комутатора 20, а постійний запам'ятовуючий пристрій 23 за цим сигналом з шини 1 працює в режимі "читання", тому вихідний сигнал з цифрового суматора 21 буде заблокований. На вхідну шину 2 надходить

5

сигнал, який перетворюється в цифровий код на виході аналого-цифрового перетворювача 4. Вихідний код цифрового комутатора 20 утворює адресу вибірки скоригованого сигналу $u_c(i)$, який з виходу постійного запам'ятовуючого пристрою 23 надходить на вихідну шину 24 пристрою для аналого-цифрового перетворення.

10

Таким чином пристрій для аналого-цифрового перетворення дає можливість підвищити точність за рахунок коригування результатів аналого-цифрового перетворення з урахуванням нелінійності передатної характеристики пристрою.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

15

Пристрій для аналого-цифрового перетворення, який містить аналого-цифровий перетворювач, тактовий вхід, вихідну шину, яка під'єднана до виходів першого постійного запам'ятовуючого пристрою, який **відрізняється** тим, що введено аналоговий комутатор, перший елемент затримки, цифровий комутатор, цифровий суматор, буферний регістр, другий елемент затримки, першу та другу керувальні шини, причому блок тестових сигналів містить перший

20

двійковий лічильник, другий постійний запам'ятовуючий пристрій та цифро-аналоговий перетворювач, вихід якого з'єднаний з другим входом аналогового комутатора, перший вхід аналогового комутатора під'єднано до вхідної шини $U_{вх}$ пристрою для аналого-цифрового перетворення, а вихід - з аналоговим входом аналого-цифрового перетворювача, а тактовий

25

вхід "Т1" пристрою для аналого-цифрового перетворення з'єднано з входом першого елемента затримки, входом першого двійкового лічильника та входом другого елемента затримки, а виходи першого двійкового лічильника з'єднані з адресними входами другого постійного

30

запам'ятовуючого пристрою, виходи якого з'єднані з входами цифро-аналогового перетворювача, а блок визначення нелінійності містить оперативний запам'ятовуючий пристрій, третій постійний запам'ятовуючий пристрій, перемножувач, накопичувальний суматор, другий

35

двійковий лічильник та четвертий постійний запам'ятовуючий пристрій, перші виходи якого з'єднані з адресними входами оперативного запам'ятовуючого пристрою, другі входи - з адресними входами третього постійного запам'ятовуючого пристрою, треті входи - з керувальними входами накопичувального суматора, а друга керувальна шина з'єднана з входом

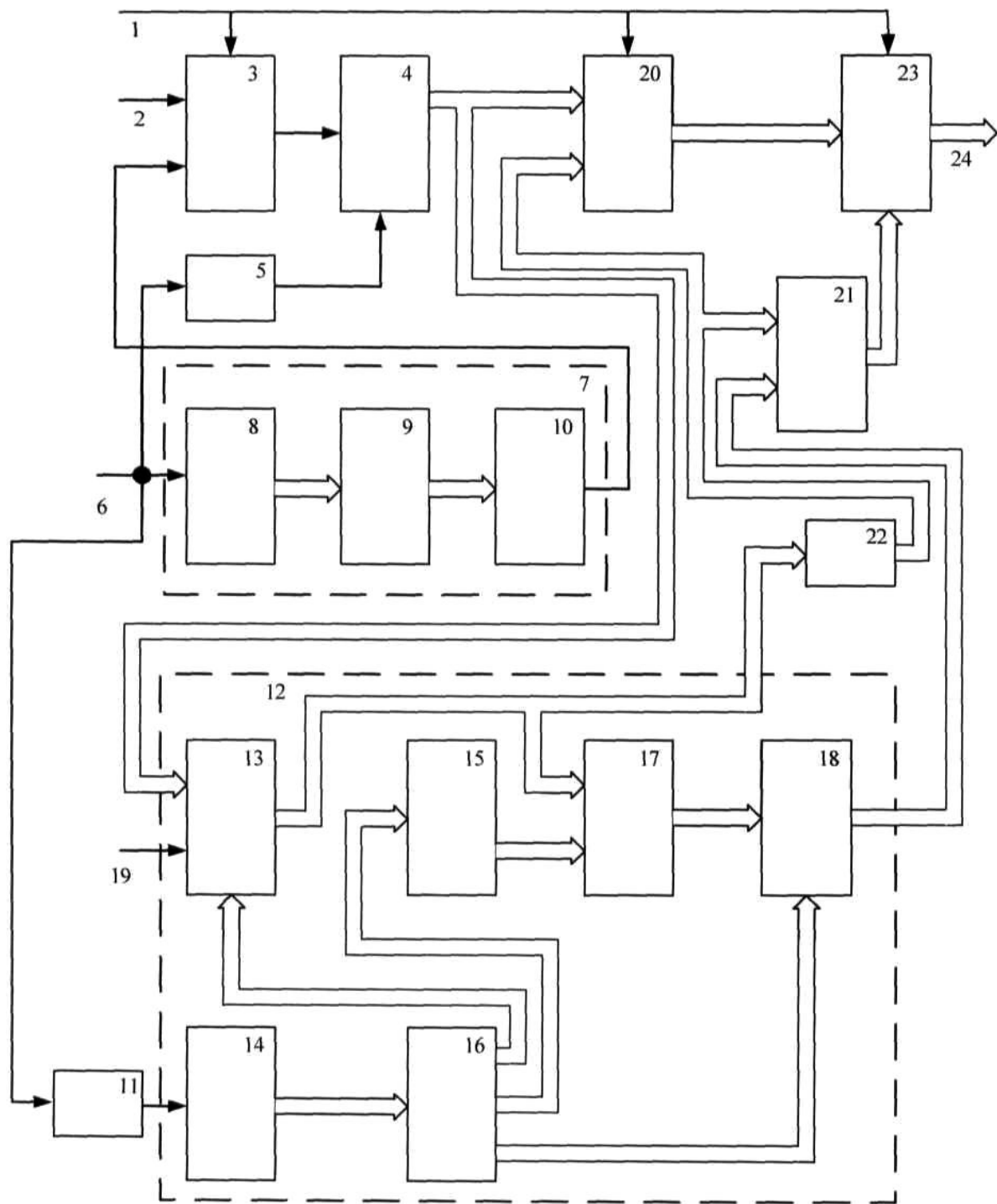
40

"запис/читання" оперативного запам'ятовуючого пристрою, входи якого з'єднані з цифровими виходами аналого-цифрового перетворювача, а виходи - з першими входами перемножувача та входами буферного регістра, виходи якого з'єднані з другими входами цифрового комутатора та

45

першими входами цифрового суматора, виходи якого з'єднані з інформаційними входами першого постійного запам'ятовуючого пристрою, а виходи третього постійного запам'ятовуючого пристрою з'єднані з другими входами перемножувача, виходи якого з'єднані з входами накопичувального суматора, виходи якого з'єднані з другими входами цифрового суматора, а вихід другого елемента затримки з'єднано з входом другого двійкового лічильника, виходи якого з'єднані з адресними входами четвертого постійного запам'ятовуючого пристрою, а перша керувальна шина пристрою для аналого-цифрового перетворення з'єднана з керувальним входом аналогового комутатора, керувальним входом цифрового комутатора та входом

"запис/читання" першого постійного запам'ятовуючого пристрою, а вихід першого елемента затримки з'єднано з тактовим входом аналого-цифрового перетворювача, а виходи цифрового комутатора під'єднані до адресних входів першого постійного запам'ятовуючого пристрою.



Комп'ютерна верстка Л. Ціхановська

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601