



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 1254469

На основании полномочий, предоставленных Правительством СССР, Государственный комитет СССР по делам изобретений и открытий выдал настоящее авторское свидетельство на изобретение:
"Устройство для умножения"

Автор (авторы): Стахов Алексей Петрович, Лужецкий Владимир Андреевич, Черняк Александр Иванович и Андреев Александр Евстигнеевич

Заявитель: ВИННИЦКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ И СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОЕ БЮРО "МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА

Заявка № 3826641 Приоритет изобретения 18 декабря 1984г.

Зарегистрировано в Государственном реестре изобретений СССР
1 мая 1986г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела



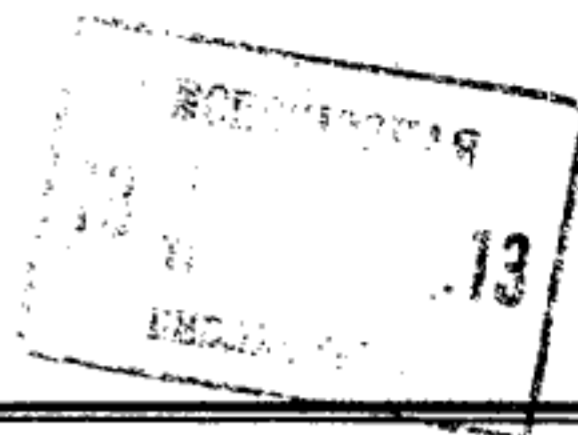
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1254469 A1

(5D) 4 G 06 F 7/49

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3826641/24-24
(22) 18.12.84
(46) 30.08.86. Бюл. № 32
(72) А.П.Стахов, В.А.Лужецкий,
А.И.Черняк и А.Е.Андреев
(53) 681.325(088.8)
(56) Авторское свидетельство СССР
№ 1137459, кл. G 06 F 7/49, 1980.
Авторское свидетельство СССР
№ 662941, кл. G 06 F 7/52, 1976.

(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ
(57) Изобретение относится к области
вычислительной техники и может быть
использовано для умножения многораз-
рядных чисел в р-кодах Фибоначчи.
Цель изобретения - повышение быстро-
действия устройства. Поставленная цель
достигается тем, что множимое умножает-
ся одновременно на два разряда множите-
ля, для чего в устройство вводится блок
удвоения, коммутатор, второй сумма-
тор и регистр. Устройство является
неотъемлемой частью цифрового, вычис-
лительного и измерительного оборудо-
вания, использующего коды с иррацио-
нальными основаниями. 2 ил., 3 табл.

(19) SU (11) 1254469 A1

Изобретение относится к вычислительной технике и может быть использовано для умножения многоразрядных чисел в r -кодах Фибоначчи.

Цель изобретения - повышение быстродействия устройства.

Если множитель A представить в виде

$$A = a_n \varphi_p(n) + a_{n-1} \varphi_p(n-1) + \dots + a_0 \varphi_p(0),$$

то произведение множителя A на множимое B будет равно

$$A \cdot B = B \cdot a_n \varphi_p(n) + B \cdot a_{n-1} \varphi_p(n-1) + \dots + B \cdot a_0 \varphi_p(0),$$

где $\varphi_p(i)$ - обобщенное число Фибоначчи, которое определяется следующим образом:

$$\varphi_p(i) = \begin{cases} 0 & \text{при } i < 0 \\ 1 & \text{при } i = 0 \\ \varphi_p(i-1) + \varphi_p(i-p-1) & \text{при } i > 0 \end{cases} \quad a_i \in \{0, 1\} \quad (1)$$

Частичное произведение $B \cdot \varphi_p(i)$ с учетом соотношения (1) определяется так

$$B \cdot \varphi_p(i) = B \cdot \varphi_p(i-1) + B \cdot \varphi_p(i-p-1).$$

Отсюда вытекает следующий алгоритм умножения целых чисел в r -кодах Фибоначчи.

Образуют два столбца чисел, в левом из которых помещается последовательность обобщенных чисел Фибоначчи с начальным условием, равным 1, в ней выделяют r -числа Фибоначчи, составляющие минимальный r -код Фибоначчи множителя A . Во втором столбце помещается последовательность обобщенных чисел Фибоначчи с начальным условием, равным множимому B . Результат умножения $A \cdot B$ образуют путем сложения всех чисел второго столбца, соответствующих выделенным r -числам Фибоначчи первого столбца. При этом контролируют, чтобы любое выделенное для сложения число второго столбца отстояло от предыдущего и следующего за ним выделенных для сложения чисел не менее, чем на r последовательно расположенных чисел второго столбца.

Для r -чисел справедливо следующее соотношение:

$$\varphi_p(i+r+1) = 2\varphi_p(i) + \sum_{j=1}^r \varphi_p(i-j) \quad (2)$$

При $r = 1$ формула (2) принимает вид

$$\varphi_p(i+2) = 2\varphi_p(i) + \varphi_p(i-1). \quad (3)$$

Исходя из выражения (3), и так как в минимальной форме представление чисел в двух соседних разрядах не могут быть две единицы, можно добиться быстродействия устройства для умножения целых чисел в 1-кодах Фибоначчи за счет одновременного рассмотрения двух соседних разрядов множителя, из которых только один разряд может содержать единицу.

На фиг.1 показана функциональная схема устройства для умножения целых чисел; на фиг.2 - то же, блока микропрограммного управления.

Устройство (фиг.1) содержит генератор 1 последовательности обобщенных чисел Фибоначчи, блок 2 удвоения, сумматор 3, регистр 4, сумматор 5, регистр 6 частичных произведений, коммутатор 7, регистр 8 множителя, блок 9 микропрограммного управления.

Блок 9 микропрограммного управления (фиг.2) содержит элемент ИЛИ 10, блок 11 памяти, регистр 12, дешифратор 13, i -й разряд блока удвоения реализует следующую логическую функцию:

$$B_i = A_i A_{i+3} \bar{A}_{i+6} + \bar{A}_{i-1} A_{i+2} \bar{A}_{i+5} + A_{i+2} A_{i+1} \bar{A}_{i+4} + A_{i-1} \bar{A}_{i+2} + A_{i-1} A_{i+2} A_{i+5} \bar{A}_{i+8},$$

где A_i - значение i -го разряда числа; B_i - удвоенное значение i -го разряда числа.

Устройство для умножения работает следующим образом.

Рассмотрим работу устройства для умножения целых чисел на примере умножения в 1-кодах Фибоначчи числа 60 на число 37.

В исходном состоянии в регистре 8 записан код числа 37 в минимальной форме представления. Код числа 60 задает начальное условие (нулевое число) последовательности обобщенных чисел Фибоначчи, которая совместно формируется генератором 1 и блоком 2 удвоения вместе с вторым сумматором 3, в регистре 8 частичных произведений записан код нуля.

По сигналу, поступающему из блока 9 микропрограммного управления, генератор 1 и блок 2 удвоения вместе с вторым сумматором 3 начинают формировать последовательность обобщенных чисел Фибоначчи. После того, как сформированы два очередных числа,

блоком 9 микропрограммного управления анализируются состояния двух младших разрядов регистра 8 множителя. Если в этой группе разрядов в младшем разряде записана единица, то первый сумматор 5 производит сложение кода, поступающего с выхода генератора 1 через коммутатор 7 и кода, поступающего с выхода регистра 6 частичных произведений. Если же в этой группе разрядов в старшем разряде записана единица, то первый сумматор производит сложение кода, поступающего с выхода регистра 4 через коммутатор 7 и кода, поступающего с выхода регистра 6 частичных произведений. Затем происходит сдвиг кода на два разряда в сторону младших разрядов в регистре 8 множителя и формирование очередной пары обобщенных чисел Фибоначчи генератором 1 и блоком 2 удвоения совместно с вторым сумматором 3.

Если в группе младших разрядов регистра 8 записаны два нуля, то блок 9 микропрограммного управления вырабатывает управляющие сигналы, по которым происходит только лишь сдвиг кода на два разряда в регистре 8 и формирование очередной пары чисел в генераторе 1 и в блоке 2 удвоения совместно с вторым сумматором 3. Процесс умножения оканчивается после того, как будут выдвинуты из регистра 8 все разряды кода множителя. При этом результат умножения будет находиться в регистре 6, откуда он поступает на выход устройства умножения.

Состояния генератора 1, блока 2 удвоения, регистра 4, коммутатора 7, регистра 8 множителя и регистра 6 частичных произведений, соответствующие каждому такту работы, приведены в табл. 1.

Блок 9 микропрограммного управления работает в соответствии с табл. 2.

Необходимые для функционирования устройства управляющие сигналы приведены в табл. 3.

Ф о р м у л а и з о б р е т е н и я

Устройство для умножения, содержащее регистр множителя, регистр частичных произведений, первый сумматор, генератор последовательности обобщенных чисел Фибоначчи и блок микропрограммного управления, выход регистра,

частичных произведений соединен с выходом устройства и первым входом первого сумматора, выход которого подключен к информационному входу регистра частичных произведений, вход регистра множителя соединен с входом множителя устройства, вход множителя которого соединен с первым информационным входом генератора последовательности обобщенных чисел Фибоначчи, выходы регистра множителя соединены с входом начальной установки блока микропрограммного управления, отсюда следует, что, с целью повышения быстродействия, в него дополнительно введены блок удвоения, коммутатор, второй сумматор, регистр, вход установки в "0" регистра множителя соединен с входами установки в "0" регистра частичных произведений и регистра и подключен к первому выходу блока микропрограммного управления, второй выход которого соединен с входом записи в регистр множителя, вход множителя устройства соединен с первым информационным входом блока удвоения, управляющий вход которого подключен к управляющему входу генератора последовательности обобщенных чисел Фибоначчи и соединен с третьим выходом блока микропрограммного управления, четвертый выход которого соединен с входом записи регистра, выход которого подключен к вторым информационным входам генератора последовательности обобщенных чисел Фибоначчи, блока удвоения и к первому информационному входу коммутатора, выход блока удвоения соединен с первым входом второго сумматора, второй вход которого соединен с выходом генератора последовательности обобщенных чисел Фибоначчи и вторым информационным входом коммутатора, первый и второй управляющие входы которого соединены соответственно с пятым и шестым выходами блока микропрограммного управления, седьмой выход которого соединен с входом записи регистра частичных произведений, выход второго сумматора соединен с информационным входом регистра, выход коммутатора подключен к второму входу первого сумматора, вход управления сдвигом регистра множителя соединен с восьмым выходом блока микропрограммного управления.

Т а б л и ц а 1

№ так- та	Гене- ратор 1	Блок. 2 удво- ения	Регистр 4	Комму- татор 7	Регистр 8 вес разряда 34:21:13:8:5:3:2:1	Регистр 6
0	60	120	120	-	1 0 0 0 0 1 0 0	0
1	180	240	300	180	0 0 1 0 0 0 0 1	180
2	480	600	780	-	0 0 0 0 1 0 0 0	180
3	1260	1560	2040	2220	0 0 0 0 0 0 1 0	2220

Т а б л и ц а 2

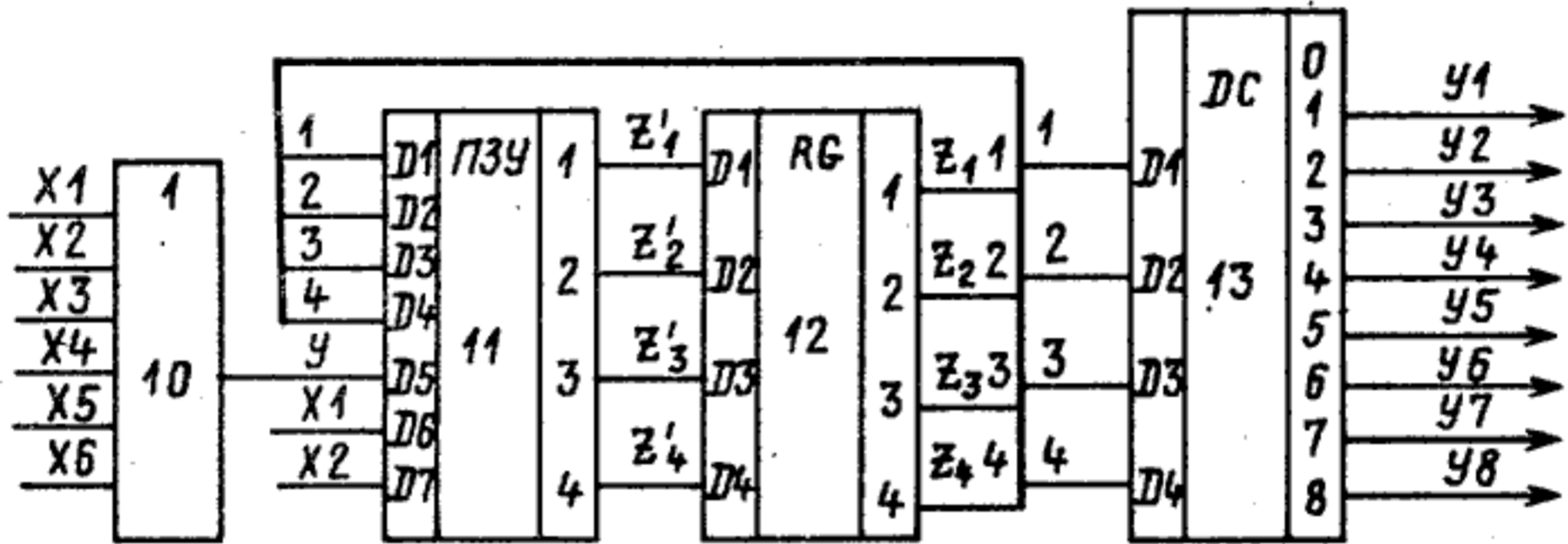
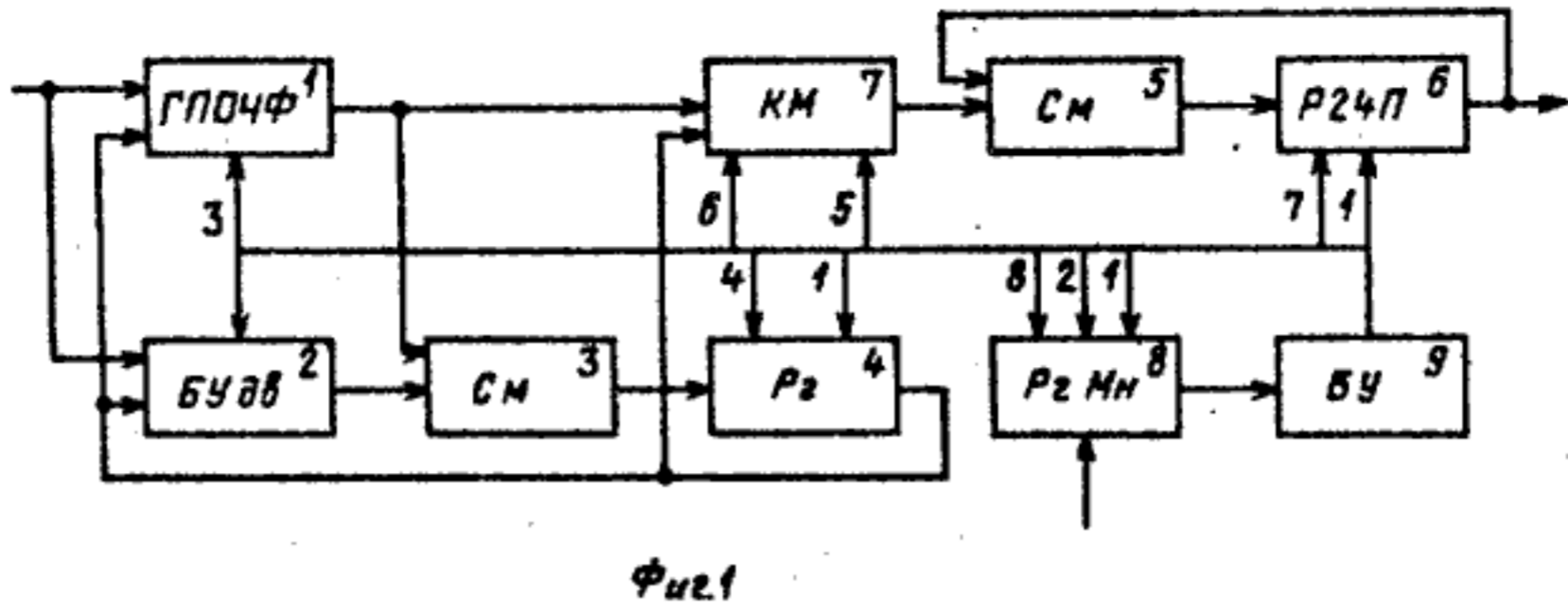
$z_4 z_3 z_2 z_1 y x_2 x_1$	$z'_4 z'_3 z'_2 z'_1$	$z_4 z_3 z_2 z_1 y x_2 x_1$	$z'_4 z'_3 z'_2 z'_1$	$z_4 z_3 z_2 z_1 y x_2 x_1$	$z'_4 z'_3 z'_2 z'_1$
1	2	3	4	5	6
0 0 0 0 0 0 0	0 0 0 1	0 1 1 0 1 1 0	1 0 0 0	1 1 0 1 1 0 0	0 0 0 0
0 0 0 0 0 0 1	0 0 0 1	0 1 1 0 1 1 1	1 0 0 0	1 1 0 1 1 0 1	0 0 0 0
0 0 0 0 0 1 0	0 0 0 1	0 1 1 1 0 0 0	0 1 1 0	1 1 0 1 1 1 0	0 0 0 0
0 0 0 0 0 1 1	0 0 0 1	0 1 1 1 0 0 1	0 1 1 0	1 1 0 1 1 1 1	0 0 0 0
0 0 0 0 1 0 0	0 0 0 1	0 1 1 1 0 1 0	0 1 1 0	1 1 1 0 0 0 0	0 0 0 0
0 0 0 0 1 0 1	0 0 0 1	0 1 1 1 0 1 1	0 1 1 0	1 1 1 0 0 0 1	0 0 0 0
0 0 0 0 1 1 0	0 0 0 1	0 1 1 1 1 0 0	0 1 1 0	1 1 1 0 0 1 0	0 0 0 0
0 0 0 0 1 1 1	0 0 0 1	0 1 1 1 1 0 1	0 1 1 0	1 1 1 0 0 1 1	0 0 0 0
0 0 0 1 0 0 0	0 0 1 0	0 1 1 1 1 1 0	0 1 1 0	1 1 1 0 1 0 0	0 0 0 0
0 0 0 1 0 0 1	0 0 1 0	0 1 1 1 1 1 1	0 1 1 0	1 1 1 0 1 0 1	0 0 0 0
0 0 0 1 0 1 0	0 0 1 0	1 0 0 0 0 0 0	0 0 0 0	1 1 1 0 1 1 0	0 0 0 0
0 0 0 1 0 1 1	0 0 1 0	1 0 0 0 0 0 1	0 0 0 0	1 1 1 0 1 1 1	0 0 0 0
0 0 0 1 1 0 0	0 0 1 0	1 0 0 0 0 1 0	0 0 0 0	1 1 1 1 0 0 0	0 0 0 0
0 0 0 1 1 0 1	0 0 1 0	1 0 0 0 0 1 1	0 0 0 0	1 1 1 1 0 0 1	0 0 0 0
0 0 0 1 1 1 0	0 0 1 0	1 0 0 0 1 0 0	0 0 1 1	1 1 1 1 0 1 0	0 0 0 0
0 0 0 1 1 1 1	0 0 1 0	1 0 0 0 1 0 1	0 0 1 1	1 1 1 1 0 1 1	0 0 0 0
0 0 1 0 0 0 0	0 0 1 1	1 0 0 0 1 1 0	0 0 1 1	1 1 1 1 1 0 0	0 0 0 0
0 0 1 0 0 0 1	0 0 1 1	1 0 0 0 1 1 1	0 0 1 1	1 1 1 1 1 0 1	0 0 0 0

1	2	3	4	5	6
0 0 1 0 0 1 0	0 0 1 1	1 0 0 1 0 0 0	0 0 0 0	1 1 1 1 1 1 0	0 0 0 0
0 0 1 0 0 1 1	0 0 1 1	1 0 0 1 0 0 1	0 0 0 0	<u>1 1 1 1 1 1 1</u>	<u>0 0 0 0</u>
0 0 1 0 1 0 0	0 0 1 1	1 0 0 1 0 1 0	0 0 0 0		
0 0 1 0 1 0 1	0 0 1 1	1 0 0 1 0 1 1	0 0 0 0		
0 0 1 0 1 1 0	0 0 1 1	1 0 0 1 1 0 0	0 0 0 0		
0 0 1 0 1 1 1	0 0 1 1	1 0 0 1 1 0 1	0 0 0 0		
0 0 1 1 0 0 0	0 1 0 0	1 0 0 1 1 1 0	0 0 0 0		
0 0 1 1 0 0 1	0 1 0 0	1 0 0 1 1 1 1	0 0 0 0		
0 0 1 1 0 1 0	0 1 0 0	1 0 1 0 0 0 0	0 0 0 0		
0 0 1 1 0 1 1	0 1 0 0	1 0 1 0 0 0 1	0 0 0 0		
0 0 1 1 1 0 0	0 1 0 0	1 0 1 0 0 1 0	0 0 0 0		
0 0 1 1 1 0 1	0 1 0 0	1 0 1 0 0 1 1	0 0 0 0		
0 0 1 1 1 1 0	0 1 0 0	1 0 1 0 1 0 0	0 0 0 0		
0 0 1 1 1 1 1	0 1 0 0	1 0 1 0 1 0 1	0 0 0 0		
0 1 0 0 0 0 0	1 0 0 0	1 0 1 0 1 1 0	0 0 0 0		
0 1 0 0 0 0 1	0 1 0 1	1 0 1 0 1 1 1	0 0 0 0		
0 1 0 0 0 1 0	0 1 1 1	1 0 1 1 0 0 0	0 0 0 0		
0 1 0 0 0 1 1	0 1 0 1	1 0 1 1 0 0 1	0 0 0 0		
0 1 0 0 1 0 0	1 0 0 0	1 0 1 1 0 1 0	0 0 0 0		
0 1 0 0 1 0 1	0 1 0 1	1 0 1 1 0 1 1	0 0 0 0		
0 1 0 0 1 1 0	0 1 1 1	1 0 1 1 1 0 0	0 0 0 0		
0 1 0 0 1 1 1	0 1 0 1	1 0 1 1 1 0 1	0 0 0 0		
0 1 0 1 0 0 0	0 1 1 0	1 0 1 1 1 1 0	0 0 0 0		
0 1 0 1 0 0 1	0 1 1 0	1 0 1 1 1 1 1	0 0 0 0		
0 1 0 1 0 1 0	0 1 1 0	1 1 0 0 0 0 0	0 0 0 0		
0 1 0 1 0 1 1	0 1 1 0	1 1 0 0 0 0 1	0 0 0 0		
0 1 0 1 1 0 0	0 1 1 0	1 1 0 0 0 1 0	0 0 0 0		

1	2	3	4	5	6
0 1 0 1 1 0 1	0 1 1 0	1 1 0 0 0 1 1	0 0 0 0		
0 1 0 1 1 1 0	0 1 1 0	1 1 0 0 1 0 0	0 0 0 0		
0 1 0 1 1 1 1	0 1 1 0	1 1 0 0 1 0 1	0 0 0 0		
0 1 1 0 0 0 0	1 0 0 0	1 1 0 0 1 1 0	0 0 0 0		
0 1 1 0 0 0 1	1 0 0 0	1 1 0 0 1 1 1	0 0 0 0		
0 1 1 0 0 1 0	1 0 0 0	1 1 0 1 0 0 0	0 0 0 0		
0 1 1 0 0 1 1	1 0 0 0	1 1 0 1 0 0 1	0 0 0 0		
0 1 1 0 1 0 0	1 0 0 0	1 1 0 1 0 1 0	0 0 0 0		
0 1 1 0 1 0 1	1 0 0 0	1 1 0 1 0 1 1	0 0 0 0		

Т а б л и ц а 3

Номер связи	Обозначения	Наименование	Примечание
1	Y1	Обнуление Rг, RгМн, RгЧП	
2	Y2	Запись множителя в RгМн	
3	Y3	Управление работой ГПОЧФ и БУДв.	
4	Y4	Запись результата сложения в Rг	
5	Y5	Коммутация Км	При Y5 = 1 коммутируется выход ГПОЧФ
6	Y6	Коммутация Км	При Y6 = 1 коммутируется выход Rг
7	Y7	Запись результата сложения в RгЧП	
8	Y8	Сдвиг на два разряда содержимого RгМн	



Фиг. 2

Редактор Н. Слободяник Составитель А. Жижин
 Техред Л. Сердюкова Корректор А. Зимокосов

Заказ 4721/52

Тираж 671

Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4