



УКРАЇНА

(19) UA (11) 46470 (13) U  
(51) МПК  
G06G 7/60 (2009.01)

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ

## ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під  
відповідальність  
власника  
патенту

### (54) ПРИСТРІЙ ДЛЯ МОДЕЛЮВАННЯ НЕЙРОНА

1

2

(21) u200906415

(22) 19.06.2009

(24) 25.12.2009

(46) 25.12.2009, Бюл.№ 24, 2009 р.

(72) МАРТИНЮК ТЕТЯНА БОРИСІВНА, ХАЇМЗОН ІГОР ІЗЄВИЧ, КУПЕРШТЕЙН ЛЕОНІД МИХАЙЛОВИЧ, БОТВИН РОМАН ІГОРОВИЧ

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) Пристрій для моделювання нейрона, який містить формувачі вхідних сигналів, входи яких є входами пристрою, блоки задання вагових коефіцієнтів, два тригери, генератор імпульсів, два елементи І, два елементи АБО, елемент затримки, два формувачі спайок, причому вхід лічби першого тригера з'єднаний з першим входом першого елемента І, його вхід встановлення нуля з'єднаний з виходом першого елемента І, а вихід тригера підключений до першого входу другого елемента І, другий вхід якого з'єднаний з виходом генератора, а вихід підключений до перших входів першого і другого елементів АБО і до входу елемента затримки, вихід якого з'єднаний з другим входом

першого елемента АБО і входом першого формувача спайок, вихід якого є аксонним виходом пристрою, а вихід другого елемента АБО з'єднаний з входом другого формувача спайок, вихід якого є соматичним виходом пристрою, вихід першого елемента АБО з'єднаний з входом лічби другого тригера, вихід якого з'єднаний з другим входом першого елемента І, який **відрізняється** тим, що в нього введено перетворювачі частоти в код, перетворювач коду в частоту і адаптивний суматор, входи якого з'єднані відповідно з виходами блоків задання вагових коефіцієнтів, а вихід з'єднаний з входом перетворювача коду в частоту, вхід задання порогу, адресний вхід та вхід керування адаптивного суматора з'єднані з відповідними входами пристрою, виходи формувачів вхідних сигналів з'єднані відповідно з входами перетворювачів частоти в код, виходи яких з'єднані відповідно з входами блоків задання вагових коефіцієнтів, вихід перетворювача коду в частоту з'єднаний з входом лічби першого тригера і другим входом другого елемента АБО

Корисна модель відноситься до нейрокібернетики і може бути використана в модельних експериментах при дослідженні деяких функцій нервової системи, а також як функціональний елемент у системах штучного інтелекту.

Відомий пристрій для моделювання нейрона (а.с. СРСР № 1645973, кл. G 06 G 7/60, 1991 р., Бюл. № 16), який містить блоки моделювання синапсів, що складаються з послідовно з'єднаних узгоджувачів елементів, елементів затримки і масштабуючих резисторів, виходи яких є виходами блоків моделювання синапсів, входами яких є входи узгоджувачів елементів, адитивний суматор, блок моделювання викликаних постсинаптичних потенціалів, елемент порівняння, блок завдання порогу і формувач імпульсів, послідовно з'єднані перший перетворювач частоти в напругу, компаратор, другий перетворювач частоти в напругу, релейний елемент, причому виходи блоків моделювання синапсів з'єднані з входами адитивного суматора, вихід якого з'єднаний з першим входом

блока моделювання викликаних постсинаптичних потенціалів, вихід якого з'єднаний з першим входом елемента порівняння, вихід якого з'єднаний з входом формувача імпульсів і блоком завдання порогу, вихід якого з'єднаний з другим входом елемента порівняння, вихід формувача імпульсів є виходом пристрою і з'єднаний з другим входом блока моделювання викликаних постсинаптичних потенціалів, вхід першого перетворювача частоти в напругу з'єднаний з виходом формувача вихідних імпульсів, а вихід релейного елемента з'єднаний з третім входом блока моделювання викликаних постсинаптичних потенціалів.

Недоліком даного пристрою є складність його реалізації.

Найбільш близьким за технічної суттю є пристрій для моделювання нейрона (а.с. СРСР № 1642485, кл. G 06 G 7/60, 1991, Бюл. № 14), який містить послідовно з'єднані формувачі вхідних сигналів, входи яких є входами пристрою, перетворювачі частоти в напругу і блоки завдання ваго-

(13) U

(11) 46470

(19) UA

вих коефіцієнтів, виходи яких з'єднані з входами суматора, функціональний перетворювач з трапецеїдальною амплітудною характеристикою і перетворювач напруги в частоту, вихід якого є виходом пристрою, а вхід з'єднаний з виходом функціонального перетворювача, вхід якого з'єднаний з виходом суматора, два тригера, генератор імпульсів, два елементи І, два елементи АБО, елемент затримки, два формувачі спайків, причому вхід лічби першого тригера з'єднаний з виходом перетворювача напруги в частоту і першим входом першого елемента І, його вхід встановлення нуля з'єднаний з виходом елемента І, а вихід тригера підключений до першого входу другого елемента І, другий вхід якого з'єднаний з виходом генератора, а вихід підключений до перших входів першого і другого елементів АБО і до входу елемента затримки, вихід якого з'єднаний з другим входом першого елемента АБО і входом першого формувача спайків, вихід якого є аксонним виходом пристрою, другий вхід другого елемента АБО з'єднаний з виходом перетворювача напруги в частоту, а вихід другого елемента АБО з'єднаний з входом другого формувача спайків, вихід якого є соматичним виходом пристрою, вихід першого елемента АБО з'єднаний з входом лічби другого тригера, вихід якого з'єднаний з другим входом першого елемента І.

Недоліком даного пристрою є складність його реалізації.

В основу корисної моделі поставлено задачу створення пристрою для моделювання нейрона, в якому за рахунок введення нового блока з розширеними функціональними можливостями та нових зв'язків досягається спрощення структури пристрою.

Поставлена задача вирішується тим, що у пристрій для моделювання нейрона, який містить формувачі вхідних сигналів, входи яких є входами пристрою, блоки завдання вагових коефіцієнтів, два тригера, генератор імпульсів, два елементи І, два елементи АБО, елемент затримки, два формувачі спайків, причому вхід лічби першого тригера з'єднаний з першим входом першого елемента І, його вхід встановлення нуля з'єднаний з виходом першого елемента І, а вихід тригера підключений до першого входу другого елемента І, другий вхід якого з'єднаний з виходом генератора, а вихід підключений до перших входів першого і другого елементів АБО і до входу елемента затримки, вихід якого з'єднаний з другим входом першого елемента АБО і входом першого формувача спайків, вихід якого є аксонним виходом пристрою, а вихід другого елемента АБО з'єднаний з входом другого формувача спайків, вихід якого є соматичним виходом пристрою, вихід першого елемента АБО з'єднаний з входом лічби другого тригера, вихід якого з'єднаний з другим входом першого елемента І, введено перетворювачі частоти в код, перетворювач коду в частоту і адаптивний суматор, входи якого з'єднані відповідно з входами блоків завдання вагових коефіцієнтів, а вихід з'єднаний з входом перетворювача коду в частоту, вхід завдання порогу, адресний вхід та вхід керування адаптивного суматора з'єднані з відповідними входами пристрою, виходи форму-

вачів вхідних сигналів з'єднані відповідно з входами перетворювачів частоти в код, виходи яких з'єднані відповідно з входами блоків завдання вагових коефіцієнтів, вихід перетворювача коду в частоту з'єднаний з входом лічби першого тригера і другим входом другого елемента АБО.

На фіг. 1 представлено структурну схему пристрою для моделювання нейрона, на фіг. 2 наведено функціональну схему адаптивного суматора.

Пристрій для моделювання нейрона (фіг. 1) містить формувачі  $1_1, \dots, 1_n$  вхідних сигналів, перетворювачі  $2_1, \dots, 2_n$  частоти в код, блоки  $3_1, \dots, 3_n$  завдання вагових коефіцієнтів, де  $n$  - кількість вхідних сигналів пристрою, адаптивний суматор 4, інформаційні входи  $5_1, \dots, 5_n$  пристрою, перетворювач 6 коду в частоту, перший тригер 7, другий елемент І 8, генератор 9 імпульсів, другий елемент АБО 10, другий формувач 11 спайків, соматичний вихід 12 пристрою, елемент 13 затримки, аксонний вихід 14 пристрою, перший формувач 15 спайків, перший елемент АБО 16, другий тригер 17 і перший елемент І 18. Адаптивний суматор 4 має входи  $19_1, \dots, 19_n$ , вхід 20 завдання порогу, адресний вхід 21, вхід 22 керування і вихід 23.

Формувачі  $1_1, \dots, 1_n$  вхідних сигналів, входи яких є інформаційними входами  $5_1, \dots, 5_n$  пристрою відповідно, послідовно з'єднані з перетворювачами  $2_1, \dots, 2_n$  частоти в код і блоками  $3_1, \dots, 3_n$  завдання вагових коефіцієнтів, виходи яких з'єднані відповідно з входами  $19_1, \dots, 19_n$  адаптивного суматора 4, вихід 23 якого з'єднаний з входом перетворювача 6 коду в частоту. Вхід лічби першого тригера 7 з'єднаний з виходом перетворювача 6 коду в частоту і першим входом першого елемента І 18, його вхід встановлення нуля з'єднаний з виходом першого елемента І 18, а вихід тригера 7 підключений до першого входу другого елемента І 8. Другий вхід другого елемента І 8 з'єднаний з виходом генератора 9 імпульсів, а вихід підключений до перших входів першого 16 і другого 10 елементів АБО і до входу елемента 13 затримки. Вихід елемента 13 затримки з'єднаний з другим входом першого елемента АБО 16 і входом першого формувача 15 спайків, вихід якого є аксонним виходом 14 пристрою. Другий вхід другого елемента АБО 10 з'єднаний з виходом перетворювача 6 коду в частоту, а вихід другого елемента АБО 10 з'єднаний з входом другого формувача 11 спайків, вихід якого є соматичним виходом 12 пристрою. Вихід першого елемента АБО 16 з'єднаний з входом лічби другого тригера 17, вихід якого з'єднаний з другим входом першого елемента І 18.

Адаптивний суматор 4 (фіг. 2) містить  $(n+1)$  комірок 24, причому  $i$  - та комірка 24 містить мультиплексор 25, регістр 26, суматор - віднімач 27, суматор 28, D - тригер 29, мініматор 30, два регістри 31, 32, комутатор 33. Перший інформаційний вхід мультиплексора 25 з'єднаний з входом 19;  $i$ -ої комірки 24, керуючий вхід з'єднаний з адресним входом 21 пристрою, а його вихід підключено до входу 34 регістра 26, в якого вихід з'єднаний з прямим входом 35 суматора - віднімача 27 та інформаційним входом 36 мініматора 30. Вихід регістра 32  $i$ -ої комірки 24 з'єднаний з інформаційним входом комутатора 33 та інверсним входом 37

суматора - віднімача 27, вихід 38 якого з'єднаний з другим інформаційним входом мультиплексора 25, а вихід 39 знака суматора - віднімача 27 з'єднаний зі знаковим входом 40 мініматора 30 і D - входом D - тригера 29, інверсний вихід якого з'єднаний з керуючим входом комутатора 33. Вихід комутатора 33 підключено до виходу 41 і-ої комірки 24, крім того, інформаційний вхід 42 мініматора 30 і-ої комірки 24 з'єднаний з виходом 43 (i-1) - ої комірки 24, вхід 44 суматора 28 і-ї комірки 24 з'єднаний з виходом 45 (i-1) - ої комірки 24, а вхід 46 підключено до виходу 41 (i+1) - ої комірки 24.

В і-й комірці 24 вхід регістра 32 підключено до входу 47 цієї комірки 24, вихід 48 мініматора 30 з'єднаний з входом регістра 31 цієї комірки, інформаційний вихід якого є виходом 43 і-ої комірки 24, а його вихід знака є виходом 49 і-ої комірки 24, який з'єднаний зі знаковим входом 50 мініматора 30 (i+1) - ої комірки 24, а вихід 48 мініматора 30 n-ої комірки 24 підключений до входів 47 всіх (n-1) молодших комірок 24. У першій комірці 24 вихід регістра 26 є виходом 43 першої комірки 24, вихід 39 знака суматора - віднімача 27 є її виходом 49, а вхід 44 суматора 28 з'єднаний з виходом комутатора 33 цієї ж комірки 24. Вихід 48 мініматора 30 n-ої комірки 24 з'єднаний з входом регістра 32 цієї комірки, а його вихід ознаки нуля є виходом 51 n-ої комірки 24.

Старша (n+1) - а комірка 24 містить мультиплексор 25, регістр 26, суматор - віднімач 27, D - тригер 29, комутатор 33, елементи АБО 52 і I 53, комутатор 54. Перший інформаційний вхід мультиплексора 25 (n+1) - і комірки 24 з'єднаний з входом 20 завдання порогу пристрою, керуючий вхід з'єднаний з адресним входом 21 пристрою, а його вихід підключено до входу 34 регістра 26, вихід якого з'єднаний з прямим входом 35 суматора - віднімача 27 цієї комірки 24, вихід 38 якого з'єднаний з другим інформаційним входом мультиплексора 25 цієї комірки 24. Вихід 45 (n-1) - і комірки 24 з'єднаний з інформаційним входом комутатора 33 (n+1) - і комірки 24, його керуючий вхід з'єднаний з керуючим входом 22 пристрою, а його вихід з'єднаний з інверсним входом 37 суматора - віднімача 27 цієї комірки 24, вихід 39 знака якого з'єднаний з першим входом елемента АБО 52, а вихід 55 ознаки нуля з'єднаний з другим входом елемента АБО 52. Вихід елемента АБО 52 з'єднаний 3D - входом D - тригера 29 (n+1) - ої комірки 24, прямий вихід якого з'єднаний з першим входом елемента I 53 цієї комірки 24, другий вхід якого з'єднаний з виходом 51 n-ої комірки 24, а його вихід підключений до керуючого входу комутатора 54. Інформаційний вхід комутатора 54 (n+1) - ої комірки 24 з'єднаний з виходом регістра 26 цієї комірки 24, а його вихід є виходом 23 адаптивного суматора 4.

Пристрій для моделювання нейрона (фіг. 1) працює таким чином. На збуджуючі входи формувачів  $1_1, \dots, 1_n$  вхідних сигналів поступають відповідно вхідні імпульсні послідовності спайків з інформаційних входів  $5_1, \dots, 5_n$  пристрою. У формувачах  $1_1, \dots, 1_n$  вхідних сигналів відбувається їх стандартизація за амплітудою і тривалістю, далі відбувається відповідно перетворення їх в код, величина якого пропорційна частоті, в перетворювачах

$2_1, \dots, 2_n$  частоти в код, і масштабування в блоках  $3_1, \dots, 3_n$  завдання вагових коефіцієнтів відповідно до ваги синапсу. Перетворені таким чином сигнали подаються на відповідні входи  $19_1, \dots, 19_n$ , підсумовуються і обробляються за порогом зі входу 20 в адаптивному суматорі 4. При цьому задіяно адресний вхід 21 і вхід 22 керування адаптивного суматора 4. Результуючий сигнал з виходу 23 адаптивного суматора 4 поступає на вхід перетворювача 6 коду в частоту, при цьому на його виході з'являються прямокутні імпульси, частота яких пропорційна величині коду на виході 23 адаптивного суматора 4.

Імпульс, сформований на виході перетворювача 6 коду в частоту, подається на вхід лічби першого тригера 7 і встановлює його в одиничний стан. В результаті одиничний сигнал з виходу першого тригера 7 подається на перший вхід другого елемента I 8 і є дозволяючим для напруги з виходу генератора 9 імпульсів, яка у вигляді послідовності прямокутних імпульсів проходить на вихід другого елемента I 8. Ця послідовність, надходячи через перший вхід другого елемента АБО 10 і доповнюючись в ньому з імпульсами з виходу перетворювача 6 коду в частоту, подається на вхід другого формувача 11 спайків, де перетворюється в імпульси, близькі за формою до спайків, і поступає на соматичний вихід 12 пристрою.

Сигнали з виходу другого елемента I 8 також, затримуючись в елементі 13 затримки на час  $\tau$ , поступають на аксонний вихід 14 пристрою через перший формувач 15 спайків, і є аксонними розрядами пристрою. Крім того, ця аксонна послідовність розрядів з виходу елемента 13 затримки поступає на другий вхід першого елемента АБО 16, на перший вхід якого поступають імпульси з виходу другого елемента I 8. Під час подачі імпульсу з виходу другого елемента I 8 через перший вхід першого елемента АБО 16 на вхід лічби другого тригера 17 відбувається встановлення його в одиничний стан переднім фронтом імпульсу. Через час затримки  $\tau$  елемента 13 затримки цей імпульс з'являється на його виході і також поступає на вхід лічби другого тригера 17, встановлюючи його переднім фронтом в нульовий стан.

Далі, з виходу другого елемента I 8 подається наступний імпульс через час  $T$  щодо першого, визначеного частотою генерації генератора 9 імпульсів, і процеси повторюються. При цьому другий тригер 17 перемикається по черзі імпульсами з виходу другого елемента I 8 і виходу елемента 13 затримки. Під час подачі на вхід лічби першого тригера 7 наступного імпульсу з виходу перетворювача 6 коду в частоту, викликаного синаптичним збудженням через час  $T_1$ , яке є обернено пропорційним величині коду з виходу 23 адаптивного суматора 4, можливі два випадки.

До подачі імпульсу після чергового затриманого імпульсу на виході елемента 13 затримки і до моменту надходження наступного імпульсу з виходу другого елемента I 8, імпульс з виходу перетворювача 6 коду в частоту поступає на перший вхід першого елемента I 8, на другому вході якого напруга з виходу першого тригера 17 у цей момент дорівнює нулю, в наслідок чого сигнал на виході

першого елемента І 18 також рівний нулю і скидання першого тригера 7 в нульовий стан не відбувається. У зв'язку з цим описані процеси продовжують повторюватися, оскільки імпульс, що прийшов з виходу перетворювача 6 коду у частоту, не впливає на них. При цьому на соматичному виході 12 пристрою формується імпульсна послідовність з частотою імпульсів з генератора 9 імпульсів, з накладеною на неї послідовністю імпульсів з виходу перетворювача 6 коду в частоту, а на аксонному виході 14 пристрою - послідовність з виходу другого елемента І 8, але зміщена на  $\tau = \frac{T}{2}$ .

Таким чином, між двох тригерних зон виникає автогенерація спайків, імпульс синаптичного походження (з виходу перетворювача 6 коду в частоту) є таким, що лише запускає процес. В даному випадку новий імпульс з виходу перетворювача 6 коду в частоту приходить в момент, коли черговий аксонний імпульс вже виник в аксонній зоні і рухається йому назустріч у бік соми. Оскільки зворотне розповсюдження аксонного імпульсу електротонічне, тобто зі значним згасанням, то блокування соматичного імпульсу з виходу перетворювача 6 коду в частоту не відбувається, а результуючий імпульс від взаємодії цих двох імпульсів зберігає напрям руху імпульсу з виходу перетворювача 6 коду в частоту, тобто убик аксонної тригерної зони, і знов запускає її, внаслідок чого процеси генерації між двома зонами не зриваються.

Суть роботи адаптивного суматора 4 (фіг. 2) полягає в тому, що порогове оброблення  $n$  чисел зводиться до обчислення і підсумовування  $N$  часткових сум  $S_j$ , де  $N$  - кількість різноманітних вхідних величин  $a_i$ , порівняння цих сум з порогом  $\Theta$  і формування вихідних даних вигляду:

$$Y = \begin{cases} \Theta - S_j, \text{ якщо } S = \sum_{i=1}^n a_i = \sum_{j=1}^N S_j = \sum_{j=1}^N q_j d_j \geq \Theta, \\ 0 \text{ у протилежному випадку.} \end{cases} \quad (1)$$

де  $Y$  - результат оброблення пристрою;  $q_j$  - загальна значуща частина доданків (мінімальний елемент)  $j$ -го етапу;  $d_j$  - кратність загальної частини  $q$  на  $j$ -му етапі;  $\Theta$  - значення порогу оброблення,  $j$  - етап оброблення.

Процес порогового оброблення в адаптивному суматорі 4 має такий вигляд.

Спочатку визначається загальна значуща частина  $q_j$  всіх доданків на  $j$ -му етапі оброблення, тобто:

$$q_j = \min_{i=1, \dots, n} a_{i,j-1}^n, j = 1, \dots, N, \quad (2)$$

де  $a_{i,0}$  -  $i$ -й доданок на вході суматора 4, і перевіряється умова:

$$q_j = 0. \quad (3)$$

Якщо умова (3) виконується, то процес оброблення припиняється. У протилежному випадку виділяється різницевий зріз  $A_j$ , тобто сукупність величин різниці всіх доданків  $j$ -го етапу з їхньою загальною частиною  $q_j$ :

$$A_j = a_{i,j}^n - q_j = a_{i,j-1}^n - q_j, \quad (4)$$

В подальшому отриманий різницевий зріз  $A_j$  є вхідною множиною доданків для наступного  $(j+1)$ -го етапу оброблення.

Далі формується часткова сума  $S_j$  як кратне загальної частини  $q_j$  де кратність  $d_j$  визначається кількістю додатних доданків  $j$ -го етапу:

$$S_j = q_j d_j \quad (5)$$

Після сформування часткової суми  $S_1$ , за формулою (5) на першому етапі формується різниця між заданим порогом  $\Theta$  та частковою сумою  $S_1$ , отриманою на цьому етапі, тобто:

$$\Delta_1 = \Theta - S_1, \quad (6)$$

перевіряється умова

$$\Delta_1 \leq 0 \quad (7)$$

і в разі її виконання перевіряється виконання умови (3). Якщо обидві умови виконуються, то формується відповідний результат  $Y$  пристрою (1) і порогове оброблення припиняється. Якщо умова (3) не виконується, то процес порогового оброблення продовжується і в подальшому поточна різниця  $\Delta_{j-1}$ , є поточним значенням порогу на наступному  $j$ -му етапі оброблення, тобто

$$\Delta_j = \Delta_{j-1} - S_j \quad (8)$$

На  $j$ -му етапі перевіряється умова

$$\Delta_j \leq 0. \quad (9)$$

Процес порогового оброблення повторюється до визначення нульової величини  $q_j$  (3). Виконання умови (3) свідчить про закінчення процесу і про формування остаточного результату  $Y$  порогового оброблення (1).

Отже, адаптивний суматор 4 (фіг. 2) працює таким чином.

На вхід 19;  $i$ -ої комірки 24 надходить  $i$ -й операнд  $a_{i,0}$  з групи операндів, кількість яких  $n$ . Запис операндів в комірки 24 виконується паралельно за наявності одиничного сигналу на адресному вході 21 адаптивного суматора 4. Через мультиплексор 25  $i$ -й операнд  $a_{i,0}$  надходить на вхід 34 регістра 26  $i$ -ої комірки 24. Одночасно на вхід 20 порогу подають зовнішній поріг 0, який через мультиплексор 25  $(n+1)$  - ої комірки 24 надходить по входу 34 в регістр 26 цієї комірки 24. Після цього виконується послідовне виділення загальної (мінімальної значущої) частини двох операндів -  $(i-1)$ -го та  $i$ -го - мініматором 30 і запис результату в регістр 31  $i$ -ої

комірки 24 з виходу 48 мініматора 30,  $i = 2, \dots, n$ . Згідно з виразом (2) ця операція виконується послідовно, починаючи з другої комірки 24. Кінцевий результат  $q_1$  виділення загальної частини всіх  $n$  операндів на першому етапі формується в  $n$ -ій комірці 24 і з виходу 48 мініматора 30 цієї комірки 24 записується в регістри 32 всіх  $n$  комірок 24 паралельно по входу 47.

Після цього в  $i$ -ій комірці 24 відбувається порівняння в суматорі - віднімачі 27  $i$ -го операнда  $a_{i,0}$ , що надходить з регістра 26 на його прямий вхід 35, та загальної частини  $q_1$  всіх операндів, що надходить з регістра 32 на його інверсний вхід 37. Порівняння відбувається в процесі віднімання від величини операнда загальної частини всіх величин операндів згідно з виразом (4) і ця різниця записується з виходу 38 суматора - віднімача 27 через мультиплексор 25 в регістр 26 по його входу 34 за наявності нульового сигналу на адресному вході

21 адаптивного суматора 4. При цьому на виході 39 знака суматора - віднімача 27 формується знак різниці. Перед початком роботи регістри 26, 31, 32 і тригер 29 всіх комірок 24 занулені.

При відсутності одиничного сигналу знака від'ємного результату одиничний сигнал з інверсного виходу D - тригера 29 подається на керуючий вхід комутатора 33 і дозволяє проходження в i - й комірці через комутатор 33 загальної частини  $q_1$  операндів з регістра 32 на вхід 46 суматора 28 (i-1) - ої комірки 24, де відбувається накопичування загальної частини операндів. У випадку, якщо на виході 39 знака суматора - віднімача 27 i-ої комірки 24 з'явиться одиничний сигнал знака від'ємного результату, то наявність нульового сигналу на інверсному виході D - тригера 29, а отже, на керуючому вході комутатора 33 заборонить надходження загальної частини  $q_1$  операндів на даному етапі оброблення через комутатор 33 на вхід 46 суматора 28 (i-1) - ої комірки 24.

В суматорі 28 кожної комірки 24, крім n-ої і (n+1) - ої комірок 24, відбувається послідовне підсумовування загальних частин  $q_1$  групи з n операндів, в результаті чого на виході суматора 28 (n-1) - ої комірки 24, тобто на виході 45 цієї комірки 24 формується часткова сума  $S_1$  операндів згідно з виразом (5). Після цього відбувається порівняння в суматорі-віднімачі 27 (n+1) - ї комірки 24 зовнішнього порогу  $\Theta$ , що надходить по його прямому входу 35 з регістра 26, та часткової суми  $S_1$ , що надходить по його інверсному входу 37 з виходу комутатора 33. Порівняння відбувається в процесі віднімання у першому циклі від зовнішнього порогу  $\Theta$  часткової суми  $S_1$  згідно з виразом (6) за наявністю одиничного сигналу на вході 22 керування.

Різниця  $\Delta_1$  записується з виходу 38 суматора - віднімача 27 (n+1) - ої комірки 24 через мультиплексор 25 у регістр 26 по його входу 34 за наявністю нульового сигналу на адресному вході 21 адаптивного суматора 4.

Сигнали з виходу 39 знака і виходу 55 ознаки нуля суматора-віднімача 27 (n+1) - ої комірки 24 подаються через елемент АБО 52 на D - вхід D - тригера 29 (n+1) - ої комірки 24. При цьому при наявності одиничного сигналу на одному з виходів: виході 39 знака або виході 55 ознаки нуля суматора - віднімача 27 одиничний сигнал з прямого виходу D - тригера 29 подається на один з входів елемента І 53.

В подальшому процес порогового оброблення виконується аналогічно першому етапу оброблення згідно з формулами (2) - (5) та (8), (9) і припиняється тоді, коли загальна значуща частина  $q_j$  всіх поточних доданків на j - му етапі дорівнює нулю за виразом (3), а саме, коли присутній одиничний сигнал на виході 51 n - ої комірки 24, тобто на виході ознаки нуля мініматора 30 цієї комірки 24. При виконанні умови (3) після виконання N етапів оброблення у регістрі 26 (n+1) - ої комірки 24 формується результат Y оброблення вигляду (1), який з'являється на виході 23 адаптивного суматора 4, оскільки на обидва входи елемента І 53 (n+1) - ої комірки 24 надходять одиничні сигнали, які формують одиничний сигнал на керуючому вході комутатора 54 цієї комірки 24.

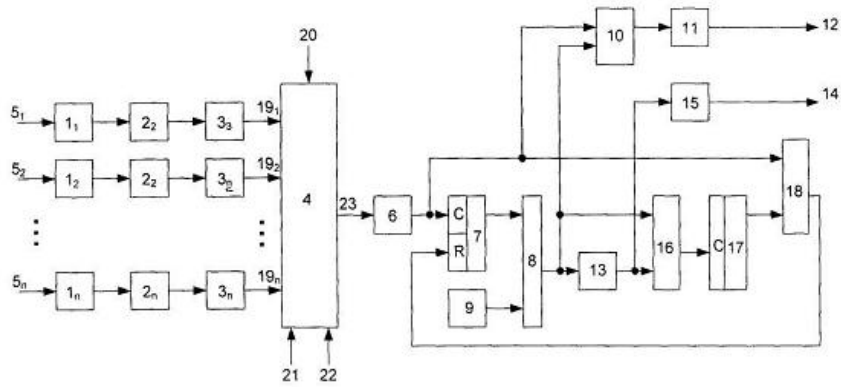
У табл. 1 наведено приклад порогового оброблення чисел масиву {13, 8, 3, 11}, а саме часткових сум  $S_j$ , поточного порогу  $\Delta_j$ , результату Y.

Таблиця 1.

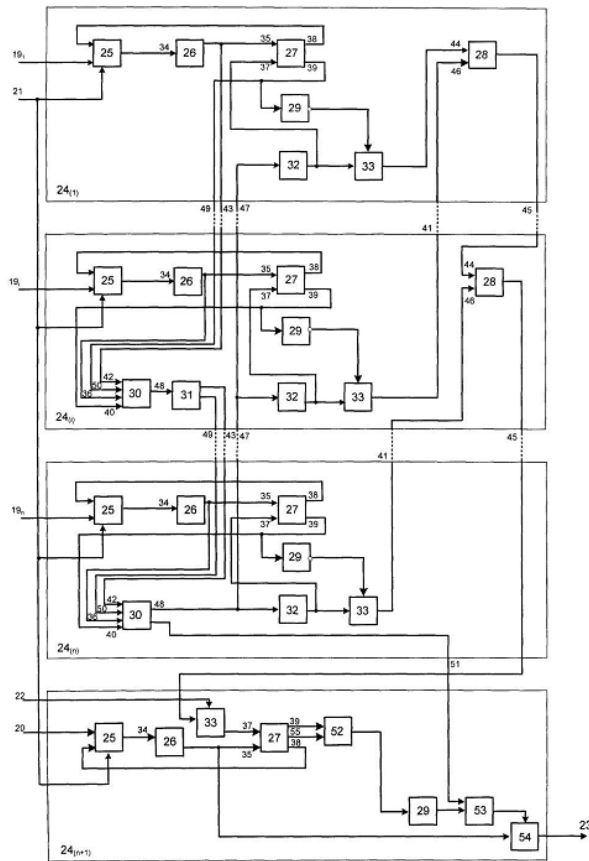
Різницеві зрізи $A_j$	$A_0$	$A_1$	$A_2$	$A_3$	$A_4$	$A_5$
Елементи $a_{i,j}$ зрізів						
$a_{1,j}$	13	10	5	2	0	0
$a_{2,j}$	8	5	0	-	-	-
$a_{3,j}$	3	0	-	-	-	-
$a_{4,j}$	11	8	3	0	-	-
Етапи оброблення	0	1	2	3	4	5
Найменше число $q_j$	0	3	5	3	2	0
Часткова сума $S_j$	0	$3 \times 4 = 12$	$5 \times 3 = 15$	$3 \times 2 = 6$	$2 \times 1 = 2$	0
Поточний поріг $\Delta_j$	30	$30 - 12 = 18$	$18 - 15 = 3$	$3 - 6 = -3$	$-3 - 2 = -5$	-5
Результат Y	0	0	0	0	0	5

Пропонований пристрій для моделювання нейрона має спрощену структуру, оскільки введення адаптивного суматора з розширеними функціональними можливостями, який крім підсумовування виконує також порівняння результату

підсумовування з порогом, знімає потребу у наявності суматора і функціонального перетворювача з трапецеїдальною амплітудною характеристикою, який має складну структуру та значні апаратні затрати.



Фиг. 1



Фиг. 2