



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№

1444754

На основании полномочий, предоставленных Правительством СССР, Государственный комитет СССР по делам изобретений и открытий выдал настоящее авторское свидетельство на изобретение:
"Последовательное устройство для умножения"

Автор (авторы): Стахов Алексей Петрович, Лужецкий Владимир Андреевич, Черняк Александр Иванович, Малиночка Виктор Петрович и Андреев Александр Евстигнеевич

Заявитель: СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНИЧЕСКОЕ БЮРО
"МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА

Заявка № 4276300

Приоритет изобретения 6 ИЮЛЯ 1987г.

Зарегистрировано в Государственном реестре изобретений СССР

15 августа 1988г.
Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела



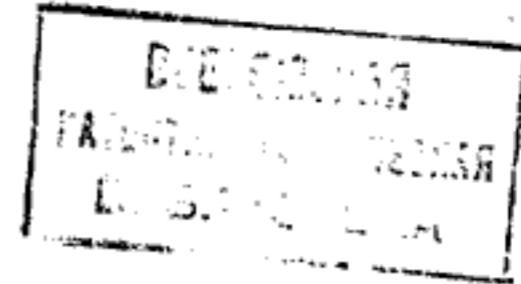
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1444754 A1

(51) 4 G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4276300/24-24
(22) 06.07.87
(46) 15.12.88, Бюл. № 46
(72) А.П.Стахов, В.А.Лужецкий,
А.И.Черняк, В.П.Малиночка и А.Е.Анд-
реев
(53) 681.325(088.8)
(56) Авторское свидетельство СССР
№ 1130859, кл. G 06 F 7/49, 1983.
Авторское свидетельство СССР
№ 1200280, кл. G 06 F 7/49, 1983.
Стахов А.П. Коды золотой пропор-
ции. М.: Радио и связь, 1984.
Титце У., Шенк К. Полупроводнико-
вая схемотехника. М.: Мир, 1982,
с. 318.
Авторское свидетельство СССР
№ 1262482, кл. G 06 F 7/52, 1985.

(54) ПОСЛЕДОВАТЕЛЬНОЕ УСТРОЙСТВО ДЛЯ
УМНОЖЕНИЯ

(57) Изобретение относится к области
вычислительной техники и может быть
использовано для умножения многораз-
рядных последовательных кодов с ирра-
циональными основаниями кодов золотой
пропорции. Цель изобретения - по-
вышение быстродействия. Цель достига-
ется путем уменьшения величины за-
держки и устранения зависимости задерж-
ки устройства от разрядности сомножите-
лей за счет разбиения последовательнос-
ти последовательных сумматоров на К по-
следовательных ветвей. 1 з.п. ф-лы,
2 ил. 2 табл.

(19) SU (11) 1444754 A1

Изобретение относится к вычислительной технике и может быть использовано для умножения многоразрядных последовательных кодов с иррациональными основаниями, кодов золотой пропорции.

Цель изобретения - повышение быстродействия устройства.

На фиг.1 изображена функциональная схема n-разрядного последовательного устройства для умножения (для n=10); на фиг.2 - функциональная схема последовательного сумматора для трех слагаемых.

Последовательное устройство для умножения содержит регистр 1 последовательного приближения множителя, регистр 2 последовательного приближения множимого, динамический регистр 3, элементы 4 и 5 задержки, первую группу элементов И 6.1 - 6.10, вторую группу элементов И 7.1 - 7.10, последовательные сумматоры 8.1 - 8.10, элементы 9-12 задержки, последовательные сумматоры 13 и 14, вход 15 множимого устройства, вход 16 множителя устройства и выход 17 произведения устройства.

Каждый последовательный сумматор 8.1 - 8.10, 13 и 14 содержит регистр 18, предназначенный для хранения промежуточных значений суммы и переноса, блок 19 формирования сигналов суммы и переноса, входы 20 - 22 слагаемых, предназначенные для поступления последовательных кодов слагаемых начиная со старшего разряда, и выход 23 суммы последовательного сумматора.

Динамический регистр 3 предназначен для запрещения поступления на

входы последовательных сумматоров одного из двух произведений одноименных разрядов сомножителей, причем выход каждого (i+1)-го разряда динамического регистра 3 соединен с i-ым выходом динамического регистра 3.

Элементы 4 и 5 задержки предназначены для задержки на один такт последовательно поступающих разрядов множимого и множителя соответственно, а элементы 9-12 задержки предназначены для задержки на два, один, четыре и три такта соответственно выходных сумм частичных произведений последовательных сумматоров 8.6; 8.7; 8.9 и 8.10.

Последовательные сумматоры 8.1-8.10, 13 и 14 предназначены для сложения трех последовательных кодов золотой пропорции, начиная со старших разрядов (в соответствии с правилами Фибоначчиевой арифметики).

Блок 19 формирования сигналов суммы и переноса может быть реализован на постоянном запоминающем устройстве, программируемой логической матрице или наборе дискретных логических элементов по существующей методике в соответствии с заданной таблицей.

Сущность умножения последовательных кодов золотой пропорции заключается в следующем. В общем виде получение произведения двух кодов A и B можно представить как сумму частичных произведений вида $\Pi = \sum_{i=1}^n A \cdot b_i$, где b_i - значение i-го разряда сомножителя B; i - номер разряда; i=1, 2, 3, ..., n; n - разрядность.

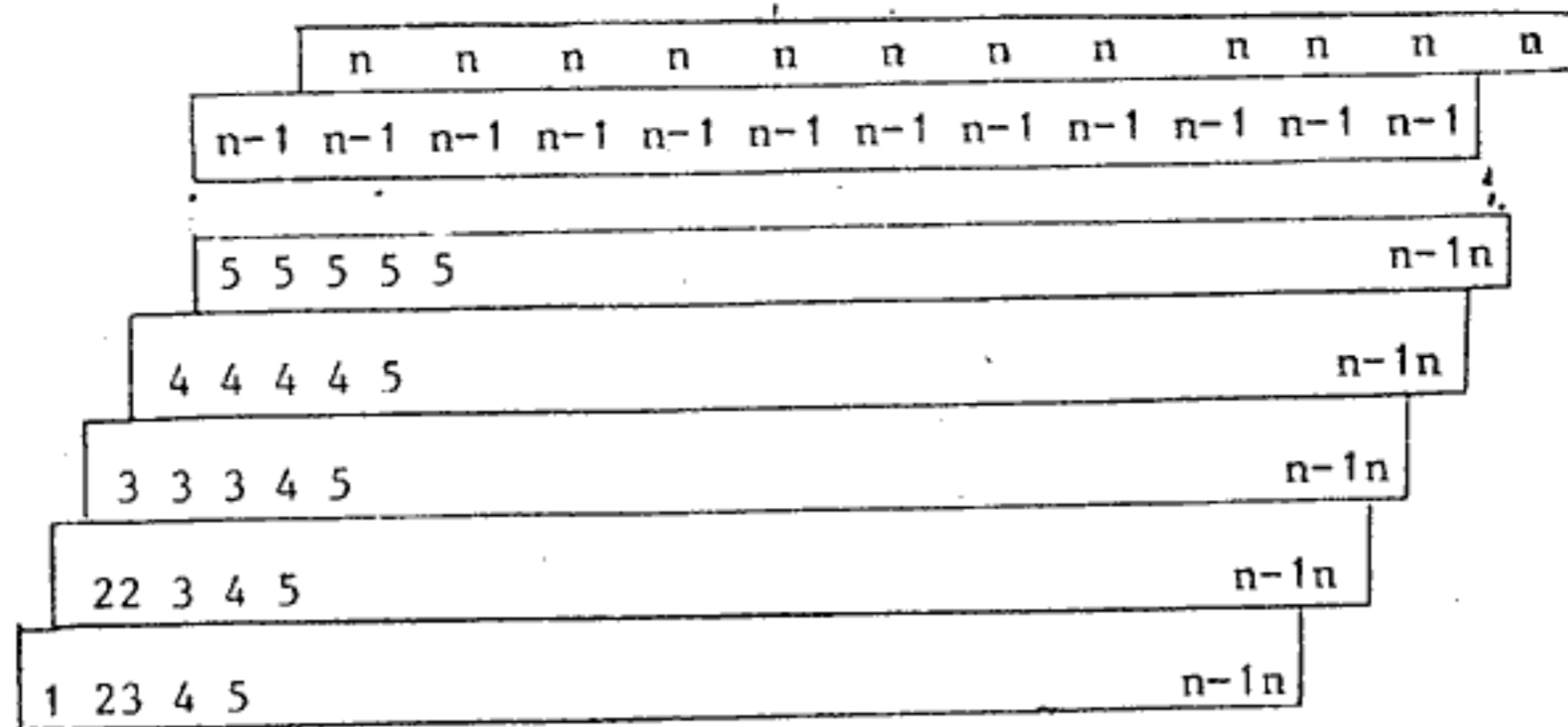
Произведение двух кодов можно представить и в следующем виде:

$$\begin{array}{r}
 a_1 a_2 a_3 \dots a_{n-1} a_n \\
 \times \\
 b_1 b_2 b_3 \dots b_{n-1} b_n \\
 \hline
 + a_1 b_n a_2 b_{n-1} a_3 b_{n-2} \dots a_{n-1} b_n a_n b_n \\
 a_1 b_{n-1} a_2 b_{n-2} a_3 b_{n-3} \dots a_n b_{n-1} \\
 + \dots \\
 + \dots \\
 + \dots
 \end{array}$$

$$a_1 b_1 a_2 b_1 a_3 b_1 \dots a_{n-2} b_1 a_{n-1} b_1 a_n b_1$$

Результат произведения получается при сложении всех столбцов полученных частичных произведений разрядов.

Коды сомножителей поступают последовательно старшими разрядами вперед. Ниже приведена диаграмма, которая отражает последовательность получения частичных произведений.



где 1 - соответствующее частичное произведение при поступлении первых разрядов сомножителей;

2 - соответствующие частичные произведения при поступлении вторых разрядов сомножителей;

n - соответствующие частичные произведения при поступлении n-х разрядов сомножителей.

Таким образом, за n тактов получаются все частичные произведения i-х разрядов сомножителей.

Для сложения n получаемых "углов" частичных произведений необходимо иметь n последовательно соединенных последовательных сумматора. На первые входы сумматоров поступают частичные произведения одной стороны "угла", на вторые входы - другой стороны "угла". На третьи входы последовательных сумматоров поступают выходы сумм из предыдущего сумматора. С каждым тактом (по мере поступления очередных разрядов слагаемых) происходит одновременный сдвиг промежуточных сумм последовательных сумматоров, причем n последовательных сумматоров разбиты на k последовательных ветвей. Выходы первых k сумматоров поступают на последовательный сумматор для k слагаемых, причем выход каждого i-го последовательного сумматора ($i \leq k$) задерживается на (i-1) такт.

На выходе последовательного сумматора для k слагаемых формируется последовательный код результата произведения.

Последовательное устройство для умножения работает следующим образом.

На вход начальной установки устройства поступает единичный сигнал, который устанавливает регистры 1-3 и последовательные сумматоры 8.1-8.10, 13 и 14 в нулевое состояние. После снятия сигнала начальной установки на входы 15 и 16 множителя поступают последовательные коды сомножителей старшими разрядами вперед.

С приходом первого тактового импульса старшие разряды множителя записываются в элемент 4 задержки и в первый разряд регистра 2 последовательного приближения множителя, а множителя - в элемент 5 задержки и в первый разряд регистра 1 последовательного приближения множителя. В первый разряд динамического регистра 3 записывается единица. Выход каждого (i+1)-го разряда динамического регистра 3 соединен с i-ым выходом динамического регистра 3. На входы элементов И 6.10 и 7.10 поступают значения старших разрядов множителя и множителя. На третьем входе элемента И 6.10 присутствует нулевой потенциал с первого выхода динамического регистра 3. На второй вход последовательного сумматора 8.10 поступает значение произведения старших разрядов a, b, c выхода элемента И 7.10.

С приходом второго тактового импульса второй разряд кода множителя записывается в элемент 4 задержки и во второй разряд регистра 2 последовательного приближения, а второй разряд кода множителя записывается в элемент 5 задержки и во второй разряд регистра 1 последовательного приближения множителя. Единичный потенциал устанавливается на первом

выходе динамического регистра 3. На элементе И 6.10 формируется произведение $a_2 b_1$ первого разряда множителя на второй разряд множимого, на элементе И 7.10 формируется произведение $a_1 b_2$ второго разряда множителя на первый разряд множимого, на элементе И 7.9 формируется произведение $a_2 b_2$ вторых разрядов множимого и множителя. Произведения разрядов сомножителей с выходов элементов И 6.10 и 7.10 поступают на первый и второй входы последовательного сумматора 8.10, а с выхода элемента И 7.9 - на второй вход последовательного сумматора 8.9.

С приходом третьего тактового импульса третий разряд кода множимого записывается в элемент 4 задержки и третий разряд регистра 2 последовательного приближения, а третий разряд кода множителя записывается в элемент 5 задержки и в третий разряд регистра 1 последовательного приближения. Единичный потенциал устанавливается на первом и втором выходах динамического регистра 3. На выходах элементов И 6.10; 6.9; 7.10; 7.9 и 7.8 получаются произведения разрядов сомножителей

$$a_3 b_1; a_3 b_2; \\ a_1 b_3; a_2 b_3; a_3 b_3,$$

которые поступают на входы соответствующих последовательных сумматоров 8.10, 8.9 и 8.8.

В следующем такте на элементах И 6.10; 6.9; 6.8; 7.10; 7.9; 7.8 и 7.7 формируются произведения разрядов следующего "угла"

$$a_4 b_1; a_4 b_2; a_4 b_3; \\ a_1 b_4; a_2 b_4; a_3 b_4; a_4 b_4,$$

которые поступают на соответствующие входы последовательных сумматоров 8.8; 8.10; 8.9 и 8.7.

В остальных тактах происходит аналогичное формирование "углов" и сложение их значений с содержимыми последовательных сумматоров 8.10-8.1.

Частичные произведения с выходов последовательных сумматоров 8.10-8.6 через соответствующие элементы 9-12 задержки поступают на входы последовательных сумматоров 13 и 14, в результате чего на выходе последова-

тельного сумматора 14 формируется последовательный код произведения.

Последовательные сумматоры работают следующим образом.

При поступлении слагаемых на входы 30-32 блока 19 формирования сигналов суммы и переноса и сигналов с выходов регистра 18 на входах 24-29 блока 19 формирования сигналов суммы и переноса на его выходах 33-39 формируется код, формирование которого характеризуется данными, приведенными в табл.3. Код с выходов 33-39 блока 19 формирования сигналов суммы и переноса поступает на соответствующие входы регистра 18 и при поступлении синхроимпульса на тактирующий вход сумматора записывается в регистр 18.

Таким образом, в следующем такте происходит сложение следующих разрядов слагаемых с состоянием регистра 18.

Более подробно работа последовательного устройства для умножения показана на примере умножения двух кодов $A = 1001101001$ и $B = 1010000110$, приведенном в табл.1-3.

Ф о р м у л а и з о б р е т е н и я

1. Последовательное устройство для умножения, содержащее статический регистр последовательного приближения множителя, динамический регистр, группу из n элементов И (n - разрядность множителя), p последовательных сумматоров ($1 \leq p \leq n$), причем вход множителя устройства соединен с информационным входом статического регистра последовательного приближения множителя, выход i -го разряда которого соединен соответственно с первым входом i -го элемента И ($i=1, \dots, n$) первой группы, второй вход которого соединен соответственно с выходом i -го разряда динамического регистра, вход синхронизации которого соединен с входами синхронизации статического регистра последовательного приближения множителя, p последовательных сумматоров и входом синхронизации устройства, вход начальной установки которого соединен с входами начальной установки динамического регистра, статического регистра последовательного приближения множителя и p после-

довательных сумматоров, отличающемся с тем, что, с целью повышения быстродействия, в него введены статический регистр последовательного приближения множимого, вторая группа из n элементов И, шесть элементов задержки и $n-p+2$ последовательных сумматоров, причем вход множимого устройства соединен с входом первого элемента задержки и информационным входом статического регистра последовательного приближения множимого, выход i -го разряда которого соединен соответственно с первым входом i -го элемента И второй группы, второй вход которого через второй элемент задержки соединен с входом множителя устройства, вход логической единицы которого соединен с информационным входом динамического регистра, выход первого элемента задержки соединен с третьим входом каждого i -го элемента И первой группы, выход которого соединен соответственно с первым информационным входом i -го последовательного сумматора, второй информационный вход которого соединен соответственно с выходом i -го элемента И второй группы, выходы первого и второго последовательных сумматоров соответственно через третий и четвертый элементы задержки соединены с первым и вторым информационными входами $(n+1)$ -го последовательного сумматора, третий информационный вход которого соединен с выходом $(n+2)$ -го последовательного сумматора, первый и второй информационные входы которого соединены соответственно с выходами пятого и шестого элементов задержки, входы которых соединены соответственно с выходами четвертого и пятого последовательных сумматоров, выход третьего последовательного сумматора соединен с третьим информационным входом $(n+2)$ -го последовательного суммато-

ра, выход j -го последовательного сумматора $(j-6, \dots, n)$ соединен соответственно с третьим информационным входом $(j-5)$ -го последовательного сумматора, третий информационный вход каждого j -го последовательного сумматора соединен с входом логического нуля устройства, выход результата которого соединен с выходом $(n+1)$ -го последовательного сумматора, входы синхронизации статического регистра последовательного приближения множимого и каждого из $n-p+2$ последовательных сумматоров соединены с входом синхронизации устройства, вход начальной установки которого соединен с входами начальной установки статического регистра последовательного приближения множимого и каждого из $n-p+2$ последовательных сумматоров.

2. Устройство по п.1, отличающемся с тем, что последовательный сумматор содержит регистр и блок формирования сигналов суммы и переноса, причем входы синхронизации и начальной установки последовательного сумматора соединены соответственно с входами синхронизации и начальной установки регистра, первый, второй, третий, четвертый, пятый, шестой и седьмой информационные входы которого соединены соответственно с первым, вторым, третьим, четвертым, пятым, шестым и седьмым выходами блока формирования сигналов суммы и переноса, первый, второй, третий, четвертый, пятый и шестой входы которого соединены соответственно с первым, вторым, третьим, четвертым, пятым и шестым выходами регистра, седьмой выход которого соединен с выходом последовательного сумматора, первый, второй и третий информационные входы которого соединены соответственно с седьмым, восьмым и девятым входами блока формирования сигналов суммы и переноса.

№ так-та	Коды		Элементы задержки					Регистры (Рг)		
	А	В	4	5	1	2	3			
0	1	1	0	0						
1	0	0	1	1		1		1		
2	0	1	0	0	10	10		11		
3	1	0	0	0	101	100		111		
4	1	0	1	0	1010	1001		1111		
5	0	0	1	0	10100	10011		11111		
6	1	0	0	0	101000	100110		111111		
7	0	1	1	0	1010000	1001101		1111111		
8	0	1	0	1	10100001	11011010		11111111		
9	1	0	0	1	101000011	100110100		111111111		
10			1	0	1010000110	1001101001		1111111111		

Т а б л и ц а 2

№ так-та	Σ 10	Σ 9	Σ 8	Σ 7	Σ 6	Σ 5	Σ 4	Σ 3	Σ 2	Σ 1	н 12	н 11	н 10	н 9	Σ 13	Σ 14
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
0																
1																
2																
3																
4																
5	1															
6	0	0														
7	0	0	0													
8	0	0	0	0							1					
9	1	0	0	0	0						0		0			
10	0	0	0	0	0	0					0	0	0			
11	0	0	0	0	0	0	0				0	0	0	0		
12	0	0	1	1	1	0	1	0			1	0	0	0	0	
13	1	0	0	0	0	0	0	0	0		0	0	1	0	1	1
14	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
15	0	0	1	0	0	0	0	1	1		0	0	0	0	0	0
16	0	0	0	0	0	0	0	0			1	0	0	0	1	1
17	0	1	0	0	0	0	0				0	0	0	0	0	0
18	0	0	0	0	0	0					0	0	0	0	1	0
19	0	0	0	0	0						0	0	0	0	0	0
20	0	0	1	1							0	0	0	0	0	1
21	0	0	0								0	1	1	0	0	0
22	0	0									0	0		0	0	1
23	0										0	0			0	0
24											0	0			1	1

Продолжение табл.2

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
25											0	0			0	0
26											0	0			0	0
27																0
28																0
29																1

Т а б л и ц а 3

№ так-та	Входы блока 19									Выходы блока 19							Выход сум-матого-ра 23
	32	31	30	29	28	27	26	25	24	39	38	37	36	35	34	33	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
3	0	1	1	0	0	0	0	0	1	0	0	0	0	1	1	0	0
4	0	1	1	0	0	0	1	1	0	1	0	0	1	1	1	1	0
5	1	1	0	0	0	1	1	1	1	0	0	0	0	1	1	0	1
6	0	0	1	0	0	0	1	1	0	1	0	0	1	1	1	0	0
7	0	0	1	0	0	1	1	1	0	0	0	0	0	0	0	1	1
8	1	0	0	0	0	0	0	0	1	0	0	0	0	1	0	1	0
9	0	1	1	0	0	0	1	0	1	0	1	0	1	0	1	1	0
10	0	1	1	1	0	1	0	1	1	0	1	0	1	0	1	0	0
11	1	0	1	1	0	1	0	1	0	1	0	0	0	1	1	0	1
12	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	1	1
13	0	1	1	1	0	1	1	0	1	1	1	0	0	1	1	1	0
14	1	1	1	1	0	0	1	1	1	1	0	0	0	1	1	0	1
15	1	1	0	0	0	0	1	1	0	1	0	0	1	1	1	1	1
16	0	0	0	0	0	1	1	1	1	0	0	0	0	1	0	0	1
17	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	1	0
18	0	0	0	0	0	0	1	0	1	0	1	0	1	0	0	1	0

№ такта	Входы блока 19									Выходы блока 19						Выход сумматора 23	
	32	31	30	29	28	27	26	25	24	39	38	37	36	35	34		33
19	0	0	0	1	0	1	0	0	1	1	0	0	0	0	0	0	0
20	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
21	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

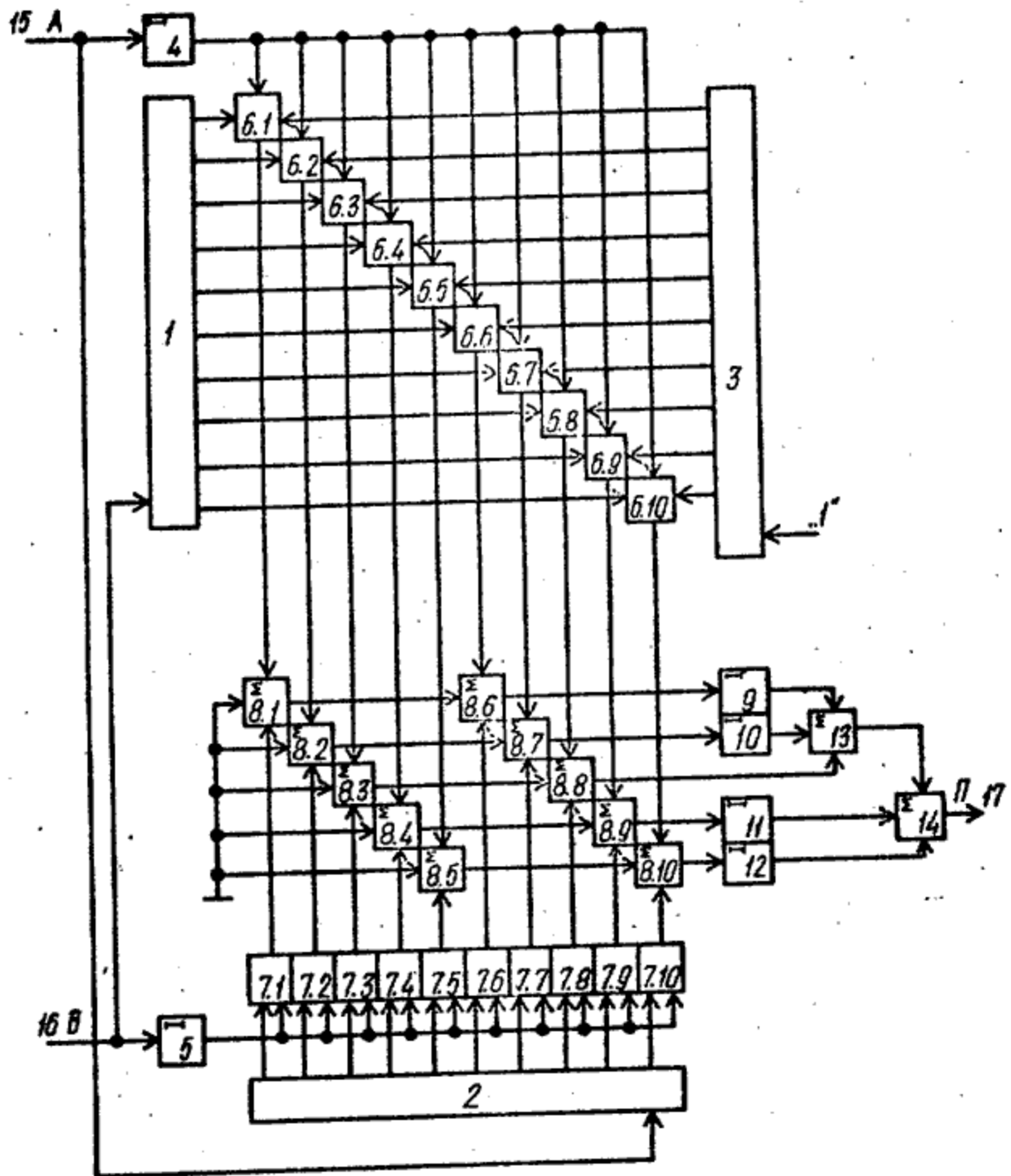
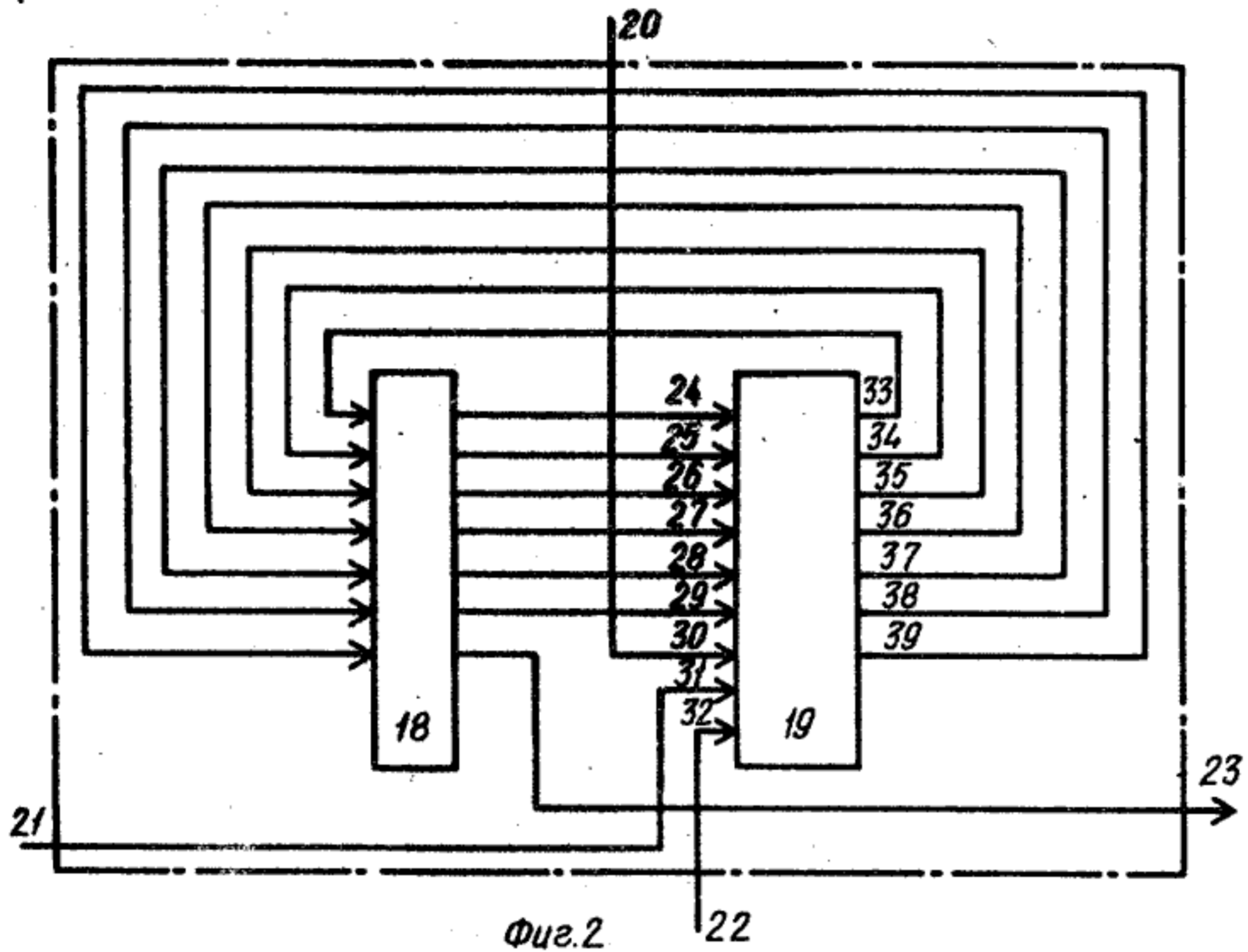


Fig. 1



Редактор А.Ревин Составитель Е.Мурзина
 Техред М.Ходанич Корректор В.Бутяга

Заказ 6506/47 Тираж 704 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4