



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№

1444751

На основании полномочий, предоставленных Правительством СССР,
Государственный комитет СССР по делам изобретений и открытий
выдал настоящее авторское свидетельство на изобретение:
"Устройство для умножения"

Автор (авторы): Стаков Алексей Петрович, Козак Андрей
Андреевич, Лужецкий Владимир Андреевич, Черняк
Александр Иванович, Малиночка Виктор Петрович и
Андреев Александр Евстигнеевич

Заявитель: СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОЕ
БЮРО "МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА

Заявка № 4276427

Приоритет изобретения

6 июля 1987 г.
Зарегистрировано в Государственном реестре
изобретений СССР

15 августа 1988 г.

Действие авторского свидетельства распро-
страняется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела



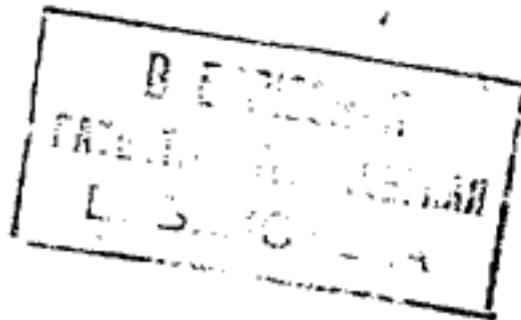
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1444751

A1

(50) 4 G 06 F 7/49

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4276427/24-24

(22) 06.07.87

(46) 15.12.88. Бюл. № 46

(72) А.П.Стахов, А.А.Козак, В.А.Лу-
жецкий, А.И.Черняк, В.П.Малиночка
и А.Е.Андреев

(53) 681.325(088.8)

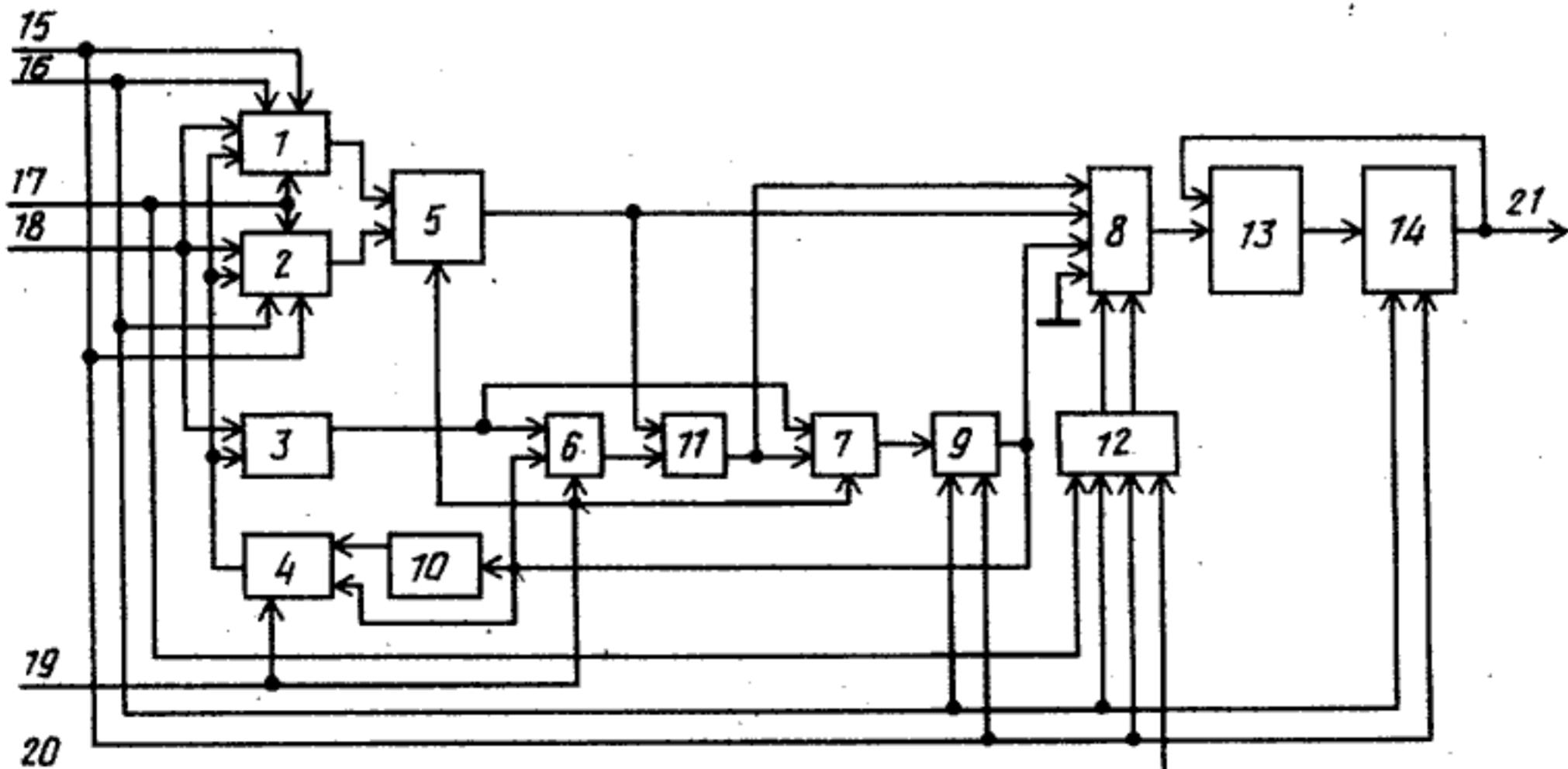
(56) Авторское свидетельство СССР
№ 1137459, кл. G 06 F 7/49, 1983.

Авторское свидетельство СССР
№ 1254469, кл. G 06 F 7/49, 1984.

(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ

(57) Изобретение относится к области
вычислительной техники и может быть
использовано для умножения m-разряд-
ных чисел, представленных в кодах
Фибоначчи, или чисел, в которых мно-
жимое представлено в коде Фибоначчи,
а множитель - в двоичном коде. Цель

изобретения - расширение функциональ-
ных возможностей за счет выполнения
умножения чисел, представленных
в 1 коде Фибоначчи, на числа, пред-
ставленные в двоичном коде. Устрой-
ство содержит два регистра 1, 9, гене-
ратор 2 последовательности обобщен-
ных чисел Фибоначчи, два блока 3, 10
удвоения, пять коммутаторов 4-8,
регистр 12 множителя, два суммато-
ра 11, 13, регистр 14 частичных
произведений. Введение второго блока
удвоения и трех коммутаторов позволя-
ет осуществлять умножение чисел, пред-
ставленных в 1 коде Фибоначчи, на
числа, представленные в двоичном ко-
де без их предварительного преобра-
зования в 1 код Фибоначчи. 2 табл.,
1 ил.



(19) SU (11) 1444751 A1

Изобретение относится к вычислительной технике и может быть использовано для умножения n -разрядных чисел, представленных в I коде Фибоначчи, на n -разрядное двоичное число и на n -разрядное число, представленное в I коде Фибоначчи.

Цель изобретения - расширение функциональных возможностей устройства за счет выполнения умножения чисел, представленных в I коде Фибоначчи, на числа, представленные в двоичном коде.

На чертеже изображена функциональная схема предлагаемого устройства. Устройство содержит первый регистр (Р₁) 1, предназначенный для записи удвоенных частичных произведений, генератор 2 последовательности обобщенных чисел Фибоначчи (ГПОЧФ), предназначенный для последовательного формирования обобщенных чисел Фибоначчи с нечетными номерами, первый блок 3 удвоения (Б Удв), предназначенный для удвоения обобщенных чисел Фибоначчи с четными номерами и первого члена последовательности обобщенных чисел Фибоначчи или для удвоения предыдущего частичного произведения, коммутаторы (КМ) 4-8, предназначенные для коммутации информационных сигналов при умножении на двоичный множитель или на фибоначчевый множитель, второй регистр (Р_г) 9, предназначенный для хранения сформированной сумматором и блоком 3 удвоения последовательности обобщенных чисел Фибоначчи, второй блок 10 удвоения (Б Удв), предназначенный для удвоения содержимого второго регистра, первый сумматор (СМ) 11, предназначенный для формирования последовательности обобщенных чисел Фибоначчи с четными номерами или суммы двух частичных произведений, регистр 12 множителя (РГМН), в котором хранится код множителя, второй сумматор (СМ) 13, предназначенный для получения суммы частичных произведений, регистр 14 частичных произведений (РГЧП), предназначенный для хранения промежуточных сумм, вход 15 начальной установки устройства, вход 16 синхронизации устройства, вход 17 записи кода устройства, вход 18 множимого устройства, вход 19 признака кода устройства, вход 20

множителя устройства и выход 21 устройства.

Устройство работает следующим образом.

Рассмотрим работу устройства для умножения целых чисел на примерах умножения числа 60, представленного в I коде Фибоначчи, на число 37, представленного в одном варианте в I коде Фибоначчи, а во втором - в двоичном коде.

Рассмотрим работу устройства при умножении числа 60 на число 37, представленных в I коде Фибоначчи, при этом на входе 19 признака кода устройства находится сигнал логической единицы, который подключает выход генератора 2 последовательности обобщенных чисел Фибоначчи к входу сумматора 11, выход блока удвоения - к входу сумматора 11, выход сумматора 11 - к выходу регистра 9, выход регистра - к входу блока 3 удвоения.

В исходном состоянии на входе 20 множителя находится код множителя, на входе 18 множимого находится код множимого, на выходе генератора 2 последовательности обобщенных чисел Фибоначчи, регистра 9, сумматора 13 и регистра 14 частичных произведений находится код нуля, на входе 17 записи кода находится сигнал разрешения записи кодов сомножителей в генератор 2 обобщенных чисел Фибоначчи и в регистр 12 множителя, на выходе блока 3 удвоения и сумматора 11 находится код удвоенного множимого. С приходом на вход 16 синхронизации первого синхронизирующего импульса генератор 2 обобщенных чисел Фибоначчи формирует первое число последовательности чисел Фибоначчи, при этом в регистр 9 записывается код удвоенного множимого, а регистр 12 множителя записывается код множителя. Если в младшем n -ом разряде регистра 12 множителя записана единица, то сумматор 13 производит сложение кода, поступающего с выхода генератора 2 последовательности обобщенных чисел Фибоначчи и кода, поступающего с выхода регистра 14 частичных произведений. Если в $(n-1)$ -ом разряде записана единица, то сумматор 13 производит сложение кода, поступающего с выхода регистра 9 и кода, поступающего с выхода регист-

ра 14 частичных произведений. Если в двух младших разрядах регистра 12 множителя записаны два нуля, то коммутатор 8 пропускает нулевой сигнал на вход сумматора 13. Затем под действием следующего синхроимпульса происходит сдвиг кода множителя на два разряда в сторону младших разрядов в регистре 12 множителя и формирование очередной пары обобщенных чисел Фибоначчи генератором 2 обобщенных чисел Фибоначчи и блоком 3 удвоения совместно с сумматором 11.

Процесс умножения оканчивается после того, как будут выдвинуты из регистра 12 множителя все разряды кода множителя. При этом результат умножения будет находиться в регистре 14 частичных произведений, откуда он поступает на выход 21 устройства. Состояния генератора 2 обобщенных чисел Фибоначчи, блока 3 удвоения, сумматора 11, регистра 9, сумматора 13, регистра 12 множителя и регистра 14 частичных произведений, соответствующие каждому такту работы устройства, приведены в табл.1.

Рассмотрим работу устройства при умножении числа 60 на число 37, которое представлено в двоичном коде. При этом на входе 19 признака кода устройства находится сигнал логического нуля, который подключает выход регистра 1 к входу сумматора 11 и к входу коммутатора 8, выход блока 10 удвоения - к выходу регистра 1 и к входу блока 3 удвоения, выход блока 3 удвоения - к выходу регистра 9. В исходном состоянии на входе 20 множителя находится код множителя, на входе 18 множимого находится код множимого, на выходе регистра 1, на выходе блока 10 удвоения, на выходе сумматора 11, на выходе регистра 9, на выходе сумматора 13 и на выходе регистра 14 частичных произведений находится код нуля, на входе 17 записи кода находится сигнал разрешения записи кодов сомножителей в регистр 1 и в регистр 12, на выходе блока 3 удвоения находится код удвоенного множимого. С приходом на вход 16 синхронизации первого синхронизирующего импульса в регистр 1 записывается код множимого, а в регистр 12 - код множителя. Если в младшем n-ом разряде регистра 12 множителя записана единица, то сум-

матор 13 производит сложение кода, поступающего с выхода «регистра 1, и кода, поступающего с выхода регистра 14 частичных произведений. Если в (n-1)-ом разряде записана единица, то сумматор 13 производит сложение кода, поступающего с выхода регистра 9, и кода, поступающе-го с выхода регистра 14 частичных произведений. Если в двух младших разрядах регистра 12 множителя записаны две единицы, то сумматор 13 производит сложение кода, поступающего с выхода сумматора 11, и кода, по-ступающего с выхода регистра 14 час-тичных произведений. Если же в двух младших разрядах регистра 12 множите-ля записаны два нуля, то коммута-тор 8 пропускает нулевой сигнал на вход сумматора 13. Затем под дейст-вием следующего синхроимпульса проис-ходит сдвиг кода множителя на два разряда в регистре 12 множителя и форми-рование соответствующих значений ко-да множимого для следующего такта ра-боты устройства. Процесс умножения оканчивается после того, как будут выдвинуты из регистра 12 множителя все разряды кода множителя. При этом результат умножения будет находиться в регистре 14 частичных произведений, откуда он поступает на выход 21 уст-ройства. Состояние регистра 1, бло-ков 3 и 10 удвоения, сумматора 11, ре-гистра 9, сумматора 13, регистра 12 множителя и регистра 14 частичных про-изведений, соотвествующие каждому такту работы устройства, приведены в табл.2.

Ф о р м у л а и з о б р е т е н и я

Устройство для умножения, содер-жащее генератор последовательности обобщенных чисел Фибоначчи, первый блок удвоения, первый коммутатор, пер-вый регистр, первый и второй сумма-тор, регистр множителя и регистр час-тичных произведений, выход которого соединен с выходом устройства и вхо-дом первого слагаемого первого сумма-тора, выход которого соединен с ин-формационным входом регистра частич-ных произведений, вход начальной ус-тановки которого соединен с входами начальной установки регистра множи-теля и первого регистра, выход кото-

рого соединен с первым информационным входом первого коммутатора, выход которого соединен с входом второго слагаемого первого сумматора, информационный вход регистра множителя соединен с входом множителя устройства, вход множимого которого соединен с первыми информационными входами генератора последовательности обобщенных чисел Фибоначчи и первого блока удвоения, отличающееся тем, что, с целью расширения функциональных возможностей за счет выполнения умножения чисел, представленных в I коде Фибоначчи, на числа, представленные в двоичном коде, в него введены второй регистр, второй блок удвоения, второй, третий, четвертый и пятый коммутаторы, причем вход начальной установки устройства соединен с входами начальной установки второго регистра, генератора последовательности обобщенных чисел Фибоначчи и первого регистра, вход синхронизации которого соединен с входами синхронизации устройства, регистра частичных произведений, генератора последовательности обобщенных чисел Фибоначчи и второго регистра, первый информационный вход которого соединен с входом множимого устройства, вход записи кода которого соединен с входами записи кода регистра множителя, генератора последовательности обобщенных чисел Фибоначчи и второго регистра, второй информационный вход которого соединен с вторым информационным входом первого блока удвоения, выходом второго коммутатора и вторым информационным вхо-

дом генератора последовательности обобщенных чисел Фибоначчи, выход которого соединен с первым информационным входом третьего коммутатора, выход которого соединен с вторым информационным входом первого коммутатора и входом первого слагаемого второго сумматора, выход которого соединен с третьим информационным входом первого коммутатора и первым информационным входом четвертого коммутатора, выход которого соединен с информационным входом первого регистра, выход которого соединен с первыми информационными входами второго блока удвоения, выход которого соединен с вторым информационным входом второго коммутатора, управляющий вход которого соединен с входом признака кода устройства и управляющими входами третьего, четвертого и пятого коммутатора, второй информационный вход которого соединен с выходом первого блока удвоения и вторым информационным входом четвертого коммутатора, вторые информационные входы второго и третьего коммутаторов соединены соответственно с выходами второго блока удвоения и второго регистра, выход пятого коммутатора соединен с входом второго слагаемого второго сумматора, выходы последнего и предпоследнего младших разрядов регистра множителя соединены соответственно с первым и вторым управляющими входами первого коммутатора, четвертый информационный вход которого соединен с входом нулевого потенциала устройства.

Т а б л и ц а 1

Т а б л и ц а 2

№ так- та	Вход 18	РГ 1	Б Удв 3	Б Удв 10	СМ 11	РГ 9	СМ 13	Рг 12 множителя		РгЧп 14		
								32	16	8	4	2
0	60	0	120	0	0	0	0	0	0	0	0	0
1	0	60	480	240	180	120	60	1	0	0	1	0
2	0	240	1920	960	720	480	300	0	0	1	0	1
3	0	960	7680	3840	2880	1920	2220	0	0	0	0	1
4	0	3840	30720	15360	46080	7680	2220	0	0	0	0	0
												2220

Редактор А. Ревин

Составитель Е. Мурзина

Техред М. Ходанич

Корректор М. Пожо

Заказ 6506/47

Тираж 704

Подписанное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4