



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 1495782

На основании полномочий, предоставленных Правительством СССР, Государственный комитет СССР по делам изобретений и открытий выдал настоящее авторское свидетельство на изобретение:
"Арифметико-логическое устройство"

Автор (авторы): Стахов Алексей Петрович, Квитка Николай Андреевич, Лужецкий Владимир Андреевич и Глебова Майя Васильевна

Заявитель: СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОЕ БЮРО "МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА И ВИННИЦКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

Заявка № 4345382 Приоритет изобретения 17 декабря 1987г.

Зарегистрировано в Государственном реестре изобретений СССР

22 марта 1989г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

A handwritten signature in black ink, appearing to be "Глебова", written over a horizontal line.

Начальник отдела

A handwritten signature in black ink, appearing to be "Лужецкий", written over a horizontal line.



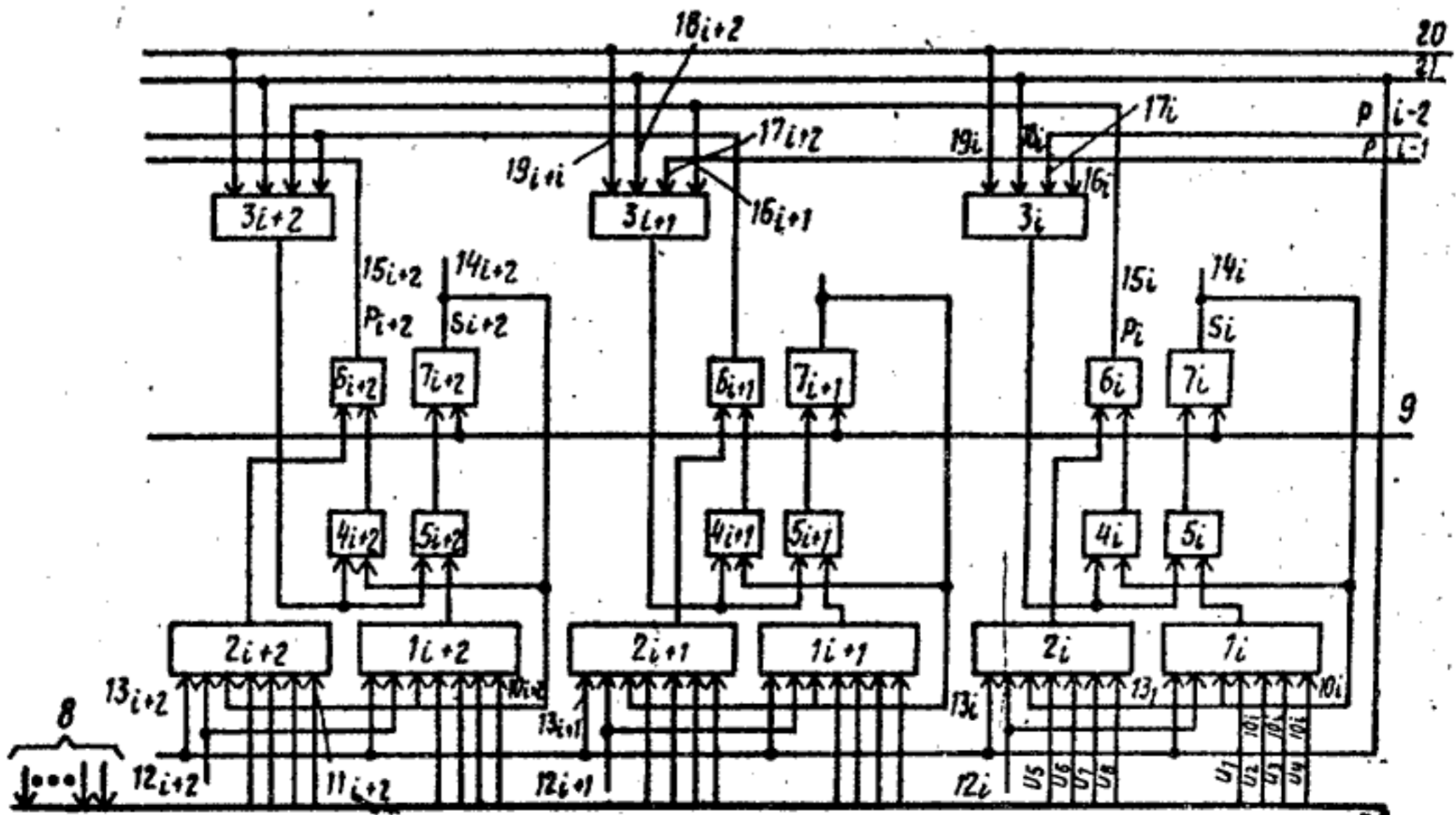
ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ВСЕСОЮЗНАЯ
ПАТЕНТНО-ТЕХНИЧЕСКАЯ
БИБЛИОТЕКА

(21) 4345382/24-24
 (22) 17.12.87
 (46) 23.07.89. Бюл. № 27
 (71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института и Винницкий политехнический институт
 (72) А.П. Стахов, Н.А. Квитка, В.А. Лужецкий и М.В. Глебова
 (53) 681.325(088.8)
 (56) Авторское свидетельство СССР № 1309017, кл. G 06 F 7/38, 1975.
 Авторское свидетельство СССР № 920708, кл. G 06 F 7/50, 1979.
 (54) АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО

(57) Изобретение относится к вычислительной технике и может использоваться для построения устройств арифметической и логической обработки двоичных чисел и чисел с иррациональным основанием, а также в устройствах обработки графической информации. Цель изобретения - расширение функциональных возможностей за счет выполнения операций в кодах с иррациональным основанием $\sqrt{2}$. Арифметико-логическое устройство содержит в каждом разряде мультиплексоры 1-3, элемент И 4, элементы ИЛИ 5 и 6 и триггер 7 с соответствующими связями. 1 ил., 5 табл.



(19) **SU** (11) **1495782** **A1**

Изобретение относится к вычислительной технике и может использоваться для построения устройств арифметической и логической обработки двоичных чисел и чисел с иррациональным основанием $\sqrt{2}$, а также в устройствах обработки графической информации.

Целью изобретения является расширение функциональных возможностей за счет выполнения операций в кодах с иррациональным основанием.

На чертеже представлена схема арифметико-логического устройства (для трех разрядов).

Устройство содержит в каждом i -м разряде с первого по третий мультиплексоры $1_i, 2_i$; соответственно, элемент И 4_i , первый и второй элемент ИЛИ $5_i, 6_i$; соответственно, триггер 7_i , вход 8 задания вида операции устройства, вход 9 начальной установки устройства, информационные входы 10_i ; первого мультиплексора 1_i , информационные входы 11_i ; второго мультиплексора 2_i ; информационный вход 12 устройства, стробирующий вход 13 ; мультиплексоров $1_i, 2_i$; выход 14 результата устройства, выход 15 ; переноса разряда устройства, первый и второй информационные входы 16_i ; и 17_i ; третьего мультиплексора 3_i ; соответственно, стробирующий вход 18_i ; третьего мультиплексора 3_i ; управляющий вход 19_i ; третьего мультиплексора 3_i ; вход 20 задания режима работы устройства, вход 21 разрешения работы устройства. В системе счисления с основанием $\sqrt{2}$ числа D и E изображаются следующим образом

$$D = d_{n-1} (\sqrt{2})^{n-1} + \dots + d_1 (\sqrt{2})^1 + d_0 (\sqrt{2})^0; \quad (1)$$

$$E = e_{n-1} (\sqrt{2})^{n-1} + \dots + e_1 (\sqrt{2})^1 + e_0 (\sqrt{2})^0. \quad (2)$$

Весы разрядов кода с основанием $\sqrt{2}$ составляют последовательность

$$\dots, 4\sqrt{2}, 4, 2\sqrt{2}, 2, \sqrt{2}, 1. \quad (3)$$

Из выражения (3) следует, что четные степени являются весами разрядов двоичного кода, а нечетные - весами двоичного кода, умноженными на $\sqrt{2}$. С учетом этого числа (1) и (2) можно записать

$$D = \sqrt{2} \sum_{j=1}^{n-1} d_j 2^{\frac{j-1}{2}} + \sum_{i=0}^{n-2} d_i 2^{\frac{i}{2}}; \quad (4)$$

$$E = \sqrt{2} \sum_{j=1}^{n-1} e_j 2^{\frac{j-1}{2}} + \sum_{i=0}^{n-2} e_i 2^{\frac{i}{2}}, \quad (5)$$

где $d_i, d_j, e_i, e_j \in \{0, 1\}$ и являются цифрами двоично-кодированной системы счисления с основанием $\sqrt{2}$, а i, j для n -разрядных чисел принимают значения

$$j \in \{1, 3, 5, \dots, n-1\}, \quad i \in \{0, 2, 4, 6, \dots, n-2\}.$$

Первые члены формул (4) и (5) составляют суммы нечетных разрядов кода, а вторые члены - суммы четных разрядов кода с основанием $\sqrt{2}$. Несмотря на то, что члены выражений (4) и (5) объединены общим основанием, они независимы друг от друга, а это позволяет осуществить одновременную независимую параллельную реализацию операции сложения четных и нечетных разрядов операндов, представленных в кодах с основанием $\sqrt{2}$.

Сложение двух одноименных разрядов в двоичной системе счисления с иррациональным основанием $\sqrt{2}$ выполняется согласно табл. 1.

Т а б л и ц а 1

$$\begin{aligned} 0 + 0 &= 0 \\ 0 + 1 &= 1 \\ 1 + 1 &= 100 \end{aligned}$$

Если в i -х разрядах (четных или нечетных) слагаемых имеются единицы, то как это следует из табл. 1, единица переноса поступит в $(i+2)$ -й разряд кода, в отличие от традиционной двоичной системы счисления, где единица поступает в $(i+1)$ -й разряд.

По сигналам на входе 8 реализуются различные логические функции переменных D и E , благодаря которым возможно выполнение 256 различных математических операций.

Арифметико-логическое устройство может работать в двух режимах: в режиме выполнения математических операций над операндами, представленными в коде с основанием $\sqrt{2}$; в режиме выполнения математических операций при двоичном представлении операндов.

Первый режим обеспечивается подачей единичного сигнала на вход 20 , второй - подачей нулевого сигнала на вход 20 устройства.

Рассмотрим работу устройства в режиме сложения чисел в коде с иррациональным основанием на примере i -го разряда.

Перед началом выполнения любой математической операции на вход 22 подается команда "Сброс", которая устанавливает триггер 7_i в состояние "0".

В триггер 7_i заносится i -й разряд кода одного из двух чисел D и E , участвующих в операции, например числа D , для чего этот разряд подается на информационный вход 12_i . На вход 20 поступает единичный сигнал. Мультиплексор 1_i настраивается с помощью сигналов с входа 8 I_{1i} - I_{4i} , подаваемых на группу входов 10_i , на реализацию логической функции возбуждения триггера $\bar{D} \vee \bar{Q} D$ - сигнал с триггера 7_i . Под действием импульсного сигнала, поступившего в вход 21, подается на вход 13_i сигнал разрешения выполнения операции, на выходе мультиплексора 1 вырабатывается сигнал возбуждения триггера 7_i и происходит запись в триггер 7_i i -го разряда кода числа D через первый элемент ИЛИ 5_i . После записи в триггер 7_i разряда нечетных весов кода числа D на информационный вход 12_i поступает i -й разряд кода второго числа E . Сигнал переноса P_{i-2} поступает из $(i-2)$ -го разряда на вторые входы первого элемента ИЛИ 5_i и элемента I_4 через мультиплексор 3_i . Настройка на выполнение требуемой математической операции осуществляется с помощью сигналов I_{7i} - I_{9i} с входа 8. Причем, если реализуемая операция является только логической, то сигналы I_{5i} - I_{8i} , поступающие на мультиплексор 2_i равны нулю. В этом случае выходной сигнал переноса P_i не формируется. Для выполнения произвольной математической операции из набора реализуемых код настройки устройства находится по табл.2 истинности этой операции.

Табл.2 истинности операции $S=D+E$ имеет вид.

Т а б л и ц а 2

P_{i-2}	D_i	E_i	S_i	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Для перевода триггера 7_i из состояния начального, соответствующего коду E , в состояние конечное S_i необходимо выработать сигнал возбуждения

триггера - сигнал Φ_i , логическая функция которого находится по табл.3 истинности операции с учетом того, что триггер по счетному входу реализует операцию сложения по модулю два.

Т а б л и ц а 3

P_{i-2}	D_i	E_i	S_i	Φ_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	1
0	1	1	0	1
1	0	0	1	1
1	0	1	0	1
1	1	0	0	0
1	1	1	1	0

Для настройки устройство на выполнение операции $S=D+E$ необходимо подать коды $\Phi=0011$ и $P=0001$, которые являются значениями сигналов Φ_i и P_i табл.3 при $P_{i-2}=0$, в качестве сигналов управления соответственно I_{1i} - I_{4i} и I_{5i} - I_{9i} на входы 10_i и 11_i мультиплексоров 1_i и 2_i .

После подачи на вход 13_i разрешения выполнения операции импульсного сигнала мультиплексором 2_i вырабатывается сигнал переноса P_{i+2} , который поступает на вход третьего мультиплексора 3_{i+2} $(i+2)$ -го разряда сумматора, а мультиплексором 1_i вырабатывается сигнал возбуждения триггера.

Отличительной особенностью выполнения математических операций в данном режиме является то, что перенос P_i распространяется в $(i+2)$ -й разряд сумматора, а поразрядные операции над D и E выполняются в четных и нечетных разрядах одновременно и независимо друг от друга.

При выполнении математических операций с двоичным представлением операндов перенос единиц из i -го разряда происходит в разряд $i+1$, т.е. в слева стоящий. Для обеспечения выполнения таких операций на вход 20 поступает нулевой сигнал, который включает в работу первый вход мультиплексора 3_i .

В остальном процесс выполнения операций во втором режиме ничем не отличается от ранее рассмотренного.

Рассмотрим пример выполнения операции $S=D+(E \vee D)$, таблица истинности которой имеет вид (см. табл.4).

Т а б л и ц а 4

P_{i-1}	D_i	E_i	S_i	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	1	1
1	1	1	1	1

Для перевода триггера 7_i из начального состояния, например, соответствующего коду E , в конечном состоянии S_i необходимо выработать сигнал возбуждения триггера - сигнал Φ_i , логическую функцию которого можно найти по табл. 5 истинности операции с учетом того, что триггер по счетному входу выполняет логическую операцию сложения по модулю два.

Т а б л и ц а 5

P_{i-1}	D_i	E_i	S_i	Φ_i
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	0	1
1	0	0	1	1
1	0	1	0	1
1	1	0	1	1
1	1	1	1	0

Для настройки устройства на реализацию заданной операции необходимо подать коды $\Phi=0001$ и $P=0011$, которые представляют собой значения сигналов Φ_i и P_i таблицы при $P_{i-1}=0$, в качестве сигналов соответственно $I_{3i}-I_{4i}$ и $I_{5i}-I_{6i}$ на входы мультиплексоров 10_i и 11_i . Следует отметить, что к повышению быстродействия приводит то, что при выполнении операций над числами в кодах с основанием $\sqrt{2}$ осуществляется одновременное и независимое суммирование информации одноименных четных и нечетных разрядов.

Ф о р м у л а и з о б р е т е н и я

Арифметико-логическое устройство, содержащее в каждом разряде первый и второй мультиплексоры, триггер, элемент И, первый и второй элементы ИЛИ, причем выход первого элемента ИЛИ соединен со счетным входом триггера, выход которого является выходом разряда результата устройства и соединен с первым входом элемента И, выход которого соединен с первым входом второго элемента ИЛИ, второй вход которого соединен с выходом второго мультиплексора, выход первого мультиплексора соединен с первым входом первого элемента ИЛИ, входы разрядов информационного входа устройства соединены с первыми управляющими входами первого и второго мультиплексоров соответствующих разрядов устройства, вторые управляющие входы которых соединены с выходами триггеров соответствующих разрядов устройства, вход разрешения работы которого соединен со стробирующими входами первых и вторых мультиплексоров разрядов устройства, входы разрядов входа задания вида операции устройства соединены соответственно с информационными входами первых и вторых мультиплексоров разрядов устройства, о т л и ч а ю щ е е с я тем, что, с целью расширения функциональных возможностей за счет выполнения операций в кодах с иррациональным основанием $\sqrt{2}$, каждый разряд устройства содержит третий мультиплексор, причем выход третьего мультиплексора соединен с вторыми входами первого элемента ИЛИ и элемента И соответствующего разряда, входы задания режима работы и разрешения работы устройства соединены соответственно с управляющими и стробирующими входами третьих мультиплексоров разрядов устройства, вход начальной установки которого соединен с входами установки в "0" триггеров разрядов устройства, первый и второй информационные входы третьего мультиплексора $(i+2)$ -го разряда устройства $(i=1, \dots, n-2, n - \text{количество разрядов})$ соединены соответственно с выходами вторых элементов ИЛИ $(i+1)$ -го и i -го разрядов устройства.