



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК  
ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГОСУДАРСТВЕННОМ КОМИТЕТЕ СССР ПО НАУКЕ И ТЕХНИКЕ  
(ГОСКОМИЗОБРЕТЕНИЙ)

## АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№

1546970

На основании полномочий, предоставленных Правительством СССР, Госкомизобретений выдал настоящее авторское свидетельство на изобретение:

**"Последовательный сумматор"**

Автор (авторы):

Стахов Алексей Петрович, Лужецкий Владимир Андреевич, Черняк Александр Иванович, Малиночка Виктор Петрович, Андреев Александр Евстигнеевич и Кондратенко Валерий Владимирович

Заявитель: СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОЕ БЮРО "МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА И ВИННИЦКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

Заявка №

4457135 Приоритет изобретения

9 июня 1988г.

Зарегистрировано в Государственном реестре изобретений СССР

1 ноября 1989г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела

*Ю. Зелен*  
*Зинин*



(51) G 06 F 7/49

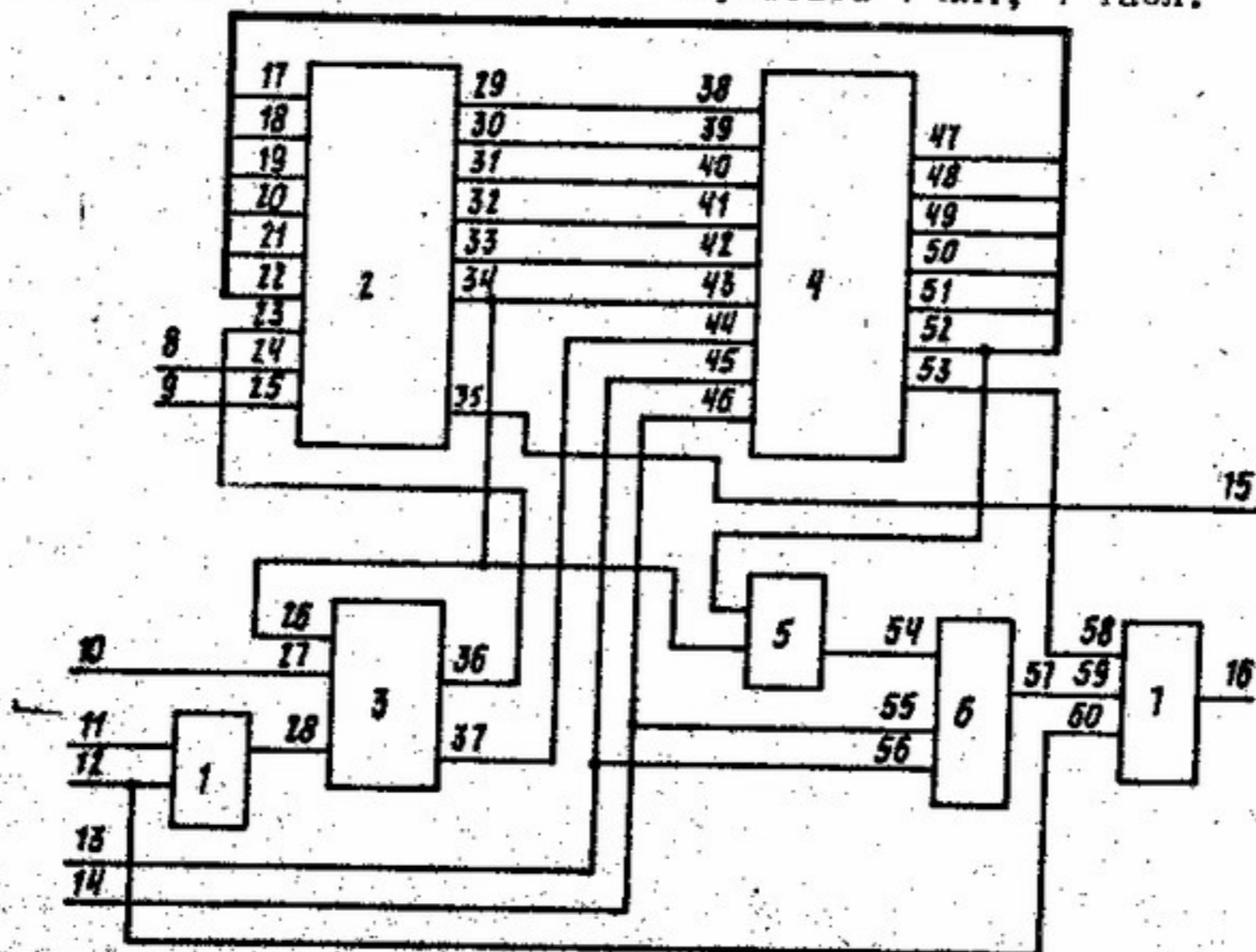
ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4457135/24-24  
(22) 09.06.88  
(46) 28.02.90. Бюл. № 8  
(71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института и Винницкий политехнический институт  
(72) А.П.Стахов, В.А.Луцкий, А.И.Черняк, В.П.Малиночка, А.Е. Андреев и В.В.Кондратенко  
(53) 681.325.5(088.8)  
(56) Авторское свидетельство СССР № 1411735, кл. G 06 F 7/49, 1987.  
Авторское свидетельство СССР № 1259249, кл. G 06 F 7/40, 1985.  
(54) ПОСЛЕДОВАТЕЛЬНЫЙ СУММАТОР  
(57) Изобретение относится к вычислительной технике и может быть ис-

пользовано для построения специализированных вычислительных устройств. Цель изобретения - расширение функциональных возможностей за счет выделения большего по модулю числа. Последовательный сумматор содержит первый элемент ИЛИ 1, регистр 2, блок 3 формирования знаковых сигналов, блок 4 формирования дополнительных сигналов, второй элемент ИЛИ 5, первый коммутатор 6, второй коммутатор 7, тактовый вход 8, вход 9 начальной установки, вход 10 знака первого операнда сумматора, вход 11 знака второго операнда, вход 12 задания вида операции, вход 13 первого операнда, вход 14 второго операнда, выход 15 знака, выход 16 результата 1 ил., 1 табл.



Изобретение относится к вычислительной технике и может быть использовано для суммирования, вычитания, выделения большего числа из модулей двух чисел, представленных много-разрядным последовательным кодом золотой пропорции.

Цель изобретения - расширение функциональных возможностей за счет выделения большего по модулю числа.

На чертеже приведена структурная схема последовательного сумматора.

Последовательный сумматор содержит первый элемент ИЛИ 1, регистр 2, блок 3 формирования знаковых сигналов (БФЗС), блок 4 формирования дополнительных сигналов (БФДС), второй элемент ИЛИ 5, первый и второй коммутаторы 6 и 7, тактовый вход 8 сумматора, вход 9 начальной установки сумматора, входы 10 и 11 знаков первого и второго операндов сумматора, вход 12 задания вида операции сумматора, входы 13 и 14 первого и второго операндов сумматора, выход 15 знака сумматора, выход 16 результата сумматора, входы 17-23 разрядов с первого по седьмой регистра 2 соответственно, вход 24 разрешения записи регистра 2, вход 25 установки в нуль регистра 2, управляющий вход 26 блока 3 формирования знаковых сигналов, первый и второй информационные входы 27 и 28 блока 3 формирования знаковых сигналов, выходы 29-35 разрядов с первого по седьмой регистра 2 соответственно, второй и первый выходы 36 и 37 блока 3 формирования знаковых сигналов соответственно, входы 38-46 разрядов с первого по девятый блока 4 формирования дополнительных сигналов соответственно, выходы 47-53 разрядов с первого по седьмой блока 4 формирования дополнительных сигналов соответственно, управляющий вход 54 коммутатора 6, второй и первый информационные входы 55 и 56 коммутатора 6 соответственно, выход 57 коммутатора 6, первый и второй информационные входы 58 и 59 коммутатора 7, управляющий вход 60 коммутатора 7.

Сущность и физическая возможность выделения большего из модулей двух чисел, представленных последовательными кодами золотой пропорции, поступающих со старших разрядов, заключается в следующем. Любое число

в коде золотой пропорции имеет несколько форм представлений. Поэтому по первой старшей значащей цифре из двух чисел нельзя достоверно определить, какое число больше. Известный последовательный сумматор при сложении чисел с разными знаками вырабатывает сигнал, определяющий, какое из двух чисел больше по абсолютной величине в старших разрядах. Изменение этого сигнала с единицы на ноль или с нуля на единицу свидетельствует о том, что в старших разрядах числа имеют одинаковые значения. Таким образом, коммутируя на выход разряда одно или другое число, в зависимости от значения этого сигнала, выделяется большее из двух чисел. При этом оно может иметь другую форму представления, что не влияет на его абсолютную величину.

Рассмотрим работу последовательного сумматора при выполнении операции сложения (вычитания). Для выполнения этой операции требуется на вход 12 устройства подать нулевой сигнал, который не влияет на знак второго операнда и управляет вторым коммутатором 7, при этом подключая выход 16 устройства к выходу 53 разряда блока 4 формирования дополнительных сигналов.

Рассмотрим более подробно работу последовательного сумматора при выполнении операции выделения большего числа из модулей двух чисел:

$$x = 1000111001010000;$$

$$y = 0111000111100000.$$

Для выполнения этой операции на входы 10, 11 устройства поступают нулевые сигналы (положительные знаки модулей чисел), а на вход 12 устройства поступает единичный сигнал, который через элемент ИЛИ 1 поступает на вход 28 блока 3 формирования знаковых сигналов, на выходе 37 которого формируется единичный сигнал (операция вычитания), который поступает на вход 44 разряда блока 4 формирования дополнительных сигналов. Таким образом, на входы 38-46 разрядов блока 4 формирования дополнительных сигналов поступает код 000000110. На выходах 47-53 блока 4 формирования дополнительных сигналов устанавливается код 0010000. Код с выходов 47-52 разрядов блока 4

формирования дополнительных сигналов поступает на входы 17-22 разрядов регистра 2. На входы второго элемента ИЛИ 5 поступают нулевые сигналы с выхода 52 разряда блока 4 формирования дополнительных сигналов и с выхода 34 разряда регистра 2. Таким образом, на выходе первого коммутатора 6 устанавливается единичный разряд первого операнда и поступает на вход второго коммутатора 7, который под действием единичного сигнала с входа 12 устройства подключает выход 16 устройства к выходу 57 первого коммутатора 6. Дальнейшая работа устройства представлена в таблице.

#### Ф о р м у л а и з о б р е т е н и я

Последовательный сумматор, содержащий блок формирования дополнительных сигналов, блок формирования знаковых сигналов и регистр, причем выходы с первого по шестой разрядов блока формирования дополнительных сигналов соединены с входами соответствующих разрядов регистра, выходы с первого по шестой разрядов которого соединены с входами соответствующих разрядов блока формирования дополнительных сигналов, первый информационный вход блока формирования знаковых сигналов соединен с входом знака первого операнда сумматора, выход шестого разряда регистра соединен с управляющим входом блока формирования знаковых сигналов, первый выход которого соединен с входом седьмого разряда блока формирования дополнительных сигналов, а второй выход - с входом седьмого разряда регистра, выход седьмого раз-

ряда которого является выходом знака сумматора, входы восьмого и девятого разрядов блока формирования дополнительных сигналов соединены с входами соответственно первого и второго операндов сумматора, вход начальной установки которого соединен с входом установки в "0" регистра, вход разрешения записи которого соединен с тактовым входом сумматора, о т л и ч а ю щ и й с я тем, что, с целью расширения функциональных возможностей за счет выделения большего по модулю числа, он содержит первый и второй элементы ИЛИ, первый и второй коммутаторы, причем первый и второй информационные входы первого коммутатора соединены с входами соответственно первого и второго операндов сумматора, вход знака второго операнда сумматора соединен с первым входом первого элемента ИЛИ, выход которого соединен с вторым информационным входом блока формирования знаковых сигналов, выход седьмого разряда блока формирования дополнительных сигналов соединен с первым информационным входом второго коммутатора, второй информационный вход которого соединен с выходом первого коммутатора, вход задания вида операции сумматора соединен с вторым входом первого элемента ИЛИ и с управляющим входом второго коммутатора, выход которого является выходом результата сумматора, выходы шестых разрядов блока формирования дополнительных сигналов и регистра соединены соответственно с первым и вторым входами второго элемента ИЛИ, выход которого соединен с управляющим входом первого коммутатора.



1546970

Составитель А. Клюев  
Редактор М. Циткина    Техред М. Дидык    Корректор Н. Король

---

Заказ 80    Тираж 564    Подписное  
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., д. 4/5

---

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101