



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК
ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГОСУДАРСТВЕННОМ КОМИТЕТЕ СССР ПО НАУКЕ И ТЕХНИКЕ
(ГОСКОМИЗОБРЕТЕНИЙ)

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№

1546966

На основании полномочий, предоставленных Правительством СССР, Госкомизобретений выдал настоящее авторское свидетельство на изобретение:

"Параллельный сумматор кодов Фибоначчи"

Автор (авторы): Стахов Алексей Петрович, Лужецкий Владимир Андреевич, Шебуков Владимир Александрович, Ваховский Виктор Григорьевич, Коротин Владимир Васильевич и Попович Игорь Михайлович

Заявитель: СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОЕ БЮРО "МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА
Заявка № 4442763 Приоритет изобретения 20 июня 1988г.

Зарегистрировано в Государственном реестре изобретений СССР

1 ноября 1989г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела

Ю. В. Селев
Земля



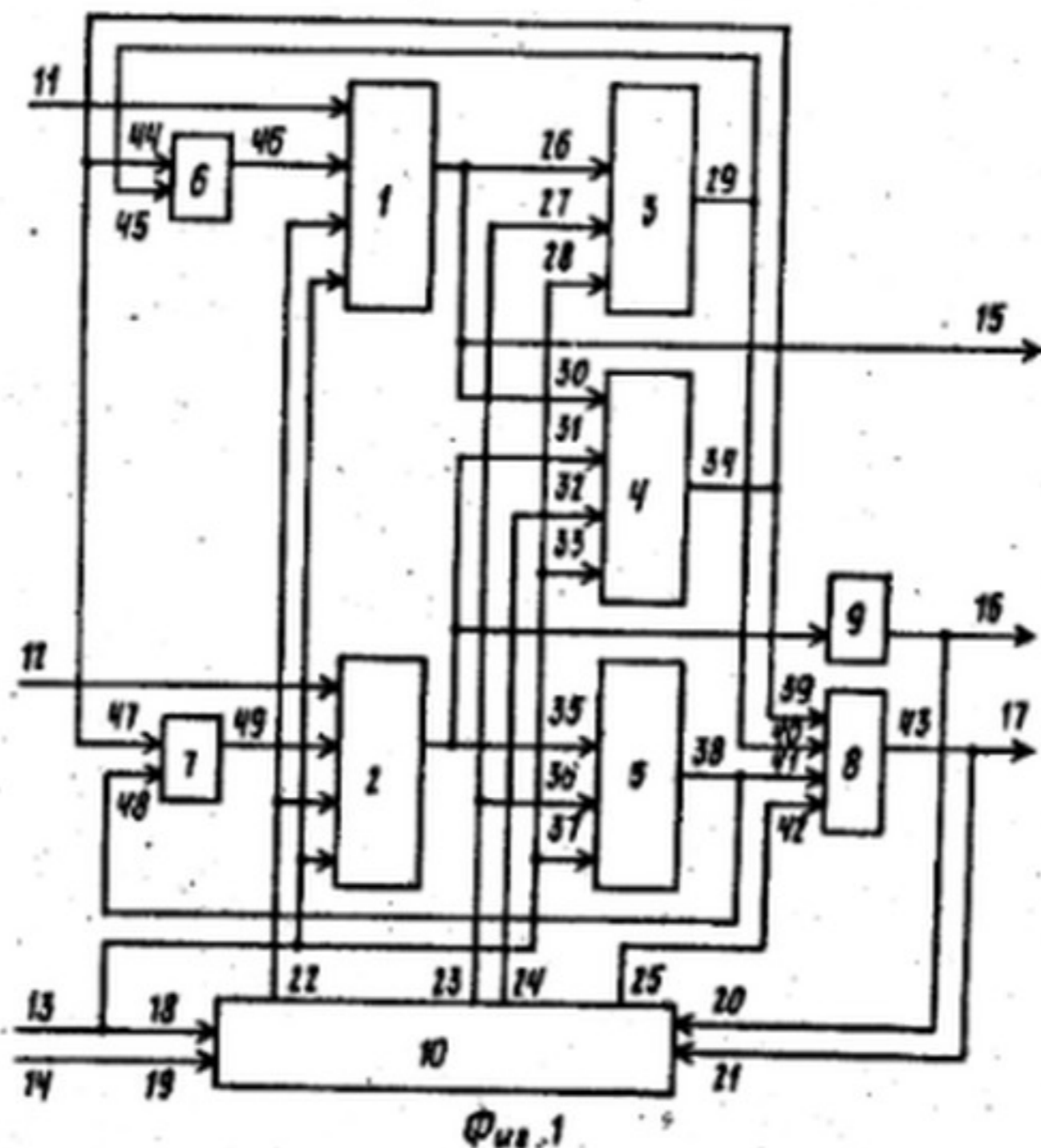
ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4442763/24-24
(22) 20.06.88
(46) 28.02.90, Бюл. № 8
(71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института
(72) А.П.Стахов, В.А.Луценкий, В.А.Шебухов, В.Г.Ваховский, В.В.Коротин и И.М.Полович
(53) 681.325.5(088.8)
(56) Авторское свидетельство СССР № 1411735, кл. G 06 F 7/49, 1987.
Авторское свидетельство СССР № 840891, кл. G 06 F 7/49, 1978.

(54) ПАРАЛЛЕЛЬНЫЙ СУММАТОР КОДОВ ФИБОНАЧЧИ
(57) Изобретение предназначено для параллельного сложения кодов Фибоначчи. Цель изобретения состоит в сложении кодов Фибоначчи независимо от формы их представления. Сложение заключается в поочередном выполнении микроопераций свертки разрядов кода первого слагаемого, развертки разрядов кода второго слагаемого и микрооперации перемещения единиц из разрядов второго слагаемого в одноименные разряды первого слагаемого до



тех пор, пока второе слагаемое не станет равным нулю. Параллельный сумматор кодов Фибоначчи содержит первый регистр 1, предназначенный для хранения кода первого слагаемого в начале сложения, кодов промежуточных результатов в процессе работы и кода результата сложения, второй регистр 2, предназначенный для хранения кода второго слагаемого в начале сложения и кодов промежуточных результатов, блок 3 свертки, осуществляющий свертку разрядов кода в регистре 1 и контроль выполнения этой микрооперации, блок 4 перемещения, осуществляющий перемеще-

ние единиц из разрядов регистра 2 в одноименные разряды регистра 1 и контроль выполнения этой микрооперации, блок 5 развертки, осуществляющий развертку разрядов кода в регистре 2 и контроль выполнения этой микрооперации, блоки 6 и 7 элементов ИЛИ, блок 8 определения ошибки, формирующий сигнал ошибки при неправильном выполнении микроопераций, элемент ИЛИ-НЕ 9, формирующий сигнал окончания процесса сложения, когда содержимое регистра 2 становится равным нулю, блок 10 синхронизации с соответствующими связями. 9 ил., 1 табл.

Изобретение относится к вычислительной технике и может быть использовано для параллельного суммирования многоразрядных чисел, представленных в фибоначчиевой системе счисления.

Целью изобретения является расширение функциональных возможностей за счет сложения чисел, представленных в произвольной форме кода Фибоначчи.

На фиг. 1 представлена схема параллельного сумматора кодов Фибоначчи; на фиг. 2 - схема блока свертки; на фиг. 3 - схема блока перемещения; на фиг. 4 - схема блока развертки; на фиг. 5 - схема первого блока элементов ИЛИ; на фиг. 6 - схема второго блока элементов ИЛИ; на фиг. 7 - схема блока определения ошибки; на фиг. 8 - схема блока синхронизации; на фиг. 9 - временная диаграмма работы сумматора.

Сумматор (фиг. 1) содержит первый и второй регистры 1 и 2 (РГ) соответственно, блок 3 свертки (БС), блок 4 перемещения (БП), блок 5 развертки (БР), первый и второй блоки 6 и 7 элементов ИЛИ соответственно, блок 8 определения ошибки (БОО), элемент ИЛИ-НЕ 9, блок 10 синхронизации (БУ), вход 11 первого слагаемого сумматора, вход 12 второго слагаемого сумматора, вход 13 начальной установки сумматора, вход 14 пуска сумматора, выход 15 результата сложения сумматора, выход 16 окончания сложения сумматора, выход 17 ошибки сумматора, вход 18 сброса

блока 10 синхронизации, вход 19 пуска блока 10 синхронизации, первый и второй входы 20 и 21 останова блока 10 синхронизации, с первого по четвертый выходы 22-25 блока 10 синхронизации, информационный вход 26 блока 3 свертки, входы 27 и 28 разрешения и сброса блока 3 свертки соответственно, выход 29 блока 3 свертки, первый и второй информационные входы 30 и 31 блока 4 перемещения, входы 32 и 33 разрешения и сброса блока 4 перемещения, выход 34 блока 4 перемещения, информационный вход 35 блока 5 развертки, входы 36 и 37 разрешения и сброса блока 5 развертки соответственно, выход 38 блока развертки, с первого по третий информационные входы 39-41 блока 8 определения ошибки, вход 42 и выход 43 блока 8 определения ошибки, первый и второй входы 44 и 45 блока 6 элементов ИЛИ, выход 46 блока 6 элементов ИЛИ, первый и второй входы 47 и 48 блока 7 элементов ИЛИ, выход 49 блока 7 элементов ИЛИ.

Блок 3 свертки (фиг. 2) содержит ячейки $3.1-3_{n+1}$, каждая из которых включает элементы 50 и 51 запрета, элемент ИЛИ 52, триггер 53, причем i -й разряд информационного входа 26 блока 3 соединен с управляющим входом элемента 50 и информационным входом элемента 51 запрета ячейки $3.i-1$, вторым информационным входом элемента 50 запрета и первым управляющим входом элемента 51 запрета ячейки $3.i$, третьим информационным

входом элемента 50 запрета и вторым управляющим входом элемента 51 запрета ячейки $3.i+1$, первый разряд информационного входа 26 соединен со вторым и третьим информационными входами элемента 50 запрета и первым и вторым управляющими входами элемента 51 запрета ячейки 3.1, а также с третьим информационным входом элемента 50 запрета и вторым управляющим входом элемента 51 запрета 3.2, вход 27 блока 3 соединен с первым информационным входом элемента 50 запрета каждой ячейки, вход 28 блока 3 соединен со вторым входом элемента ИЛИ 52 каждой ячейки, выход элемента 50 запрета каждой ячейки соединен со входом установки в единицу триггера 53, выход элемента 51 запрета каждой ячейки соединен с первым входом элемента ИЛИ 52, а его выход соединен со входом установки в ноль триггера 53 каждой ячейки, прямой выход которого является соответствующим разрядом выхода 29 блока 3 свертки.

Блок 4 перемещения (фиг. 3) содержит однотипные ячейки 4.1-4.n, каждая ячейка блока 4 содержит элемент 54 запрета, элемент 55 запрета, элемент ИЛИ 56, триггер 57, причем i -й разряд первого информационного входа 30 соединен с управляющим входом элемента 54 запрета и информационным входом элемента 55 запрета каждой ячейки, i -й разряд второго информационного входа 31 соединен со вторым информационным входом элемента 54 запрета и с управляющим входом элемента 55 запрета каждой ячейки, вход 32 блока 4 соединен с первым информационным входом элемента 54 запрета каждой ячейки, вход 33 блока 3 соединен со вторым входом элемента ИЛИ 56 каждой ячейки, выход элемента 54 запрета каждой ячейки соединен со входом установки в единицу триггера 57, выход элемента 55 запрета каждой ячейки соединен с первым входом элемента ИЛИ 56, выход которого соединен со входом установки в ноль триггера 57 каждой ячейки, прямой выход которого является соответствующим разрядом выхода 34 блока перемещения 4.

Блок 5 развертки (фиг. 4) содержит однотипные ячейки 5.1-5.n-1, каждая ячейка блока 5 содержит эле-

мент 58 запрета, элемент 59 запрета, элемент ИЛИ 60, триггер 61, причем i -й разряд информационного входа 35 этого блока соединен со вторым информационным входом элемента 58 запрета и с управляющим входом элемента 59 запрета ячейки $5.i-1$, с первым управляющим входом элемента 58 запрета и первым информационным входом элемента 59 запрета ячейки $5.i$, вторым управляющим входом элемента 58 запрета и со вторым информационным входом элемента 59 запрета ячейки $5.i+1$, первый разряд информационного входа 35 соединен с управляющими входами элемента 58 запрета и с информационными входами элемента 59 запрета ячейки 5.1, а также со вторым управляющим входом элемента 58 запрета и вторым информационным входом элемента 59 запрета ячейки 5.2, вход 36 блока 5 соединен с первым информационным входом элемента 58 запрета каждой ячейки, вход 37 блока 5 соединен со вторым входом элемента ИЛИ 60 каждой ячейки, выход элемента 58 запрета каждой ячейки соединен со входом установки в единицу триггера 61, выход элемента 59 запрета каждой ячейки соединен с первым входом элемента ИЛИ 60, а его выход соединен со входом установки в ноль триггера 61 каждой ячейки, прямой выход которого является соответствующим разрядом выхода 38 блока 5 развертки.

Первый блок 6 элементов ИЛИ (фиг. 5) содержит элементы ИЛИ 6.1-6.n+1, причем i -й разряд первого входа 44 соединен с первым входом элемента ИЛИ 6.i, i -й разряд второго входа 45 соединен со вторым входом элемента ИЛИ 6.i-1, с третьим входом элемента ИЛИ 6.i и с четвертым входом элемента ИЛИ 6.i+1, $(n+1)$ -й разряд второго входа 45 соединен со вторыми входами элементов ИЛИ 6.n, 6.n+1 и с $(n+2)$ -м разрядом выхода 46, а выход каждого элемента ИЛИ является соответствующим разрядом выхода 46 первого блока 6 элементов ИЛИ.

Второй блок 7 элементов ИЛИ (фиг. 6) содержит элементы ИЛИ 7.1-7.n, причем i -й разряд первого входа 47 соединен с первым входом элемента ИЛИ 7.i, i -й разряд второго входа 48 соединен со вторым входом

элемента ИЛИ 7.i-1, с третьим входом элемента ИЛИ 7.i и с четвертым входом элемента ИЛИ 7.i+1, (n-2)-й разряд второго входа 48 соединен со вторым входом элемента ИЛИ 7.n-3, и третьими входами элементов ИЛИ 7.n-2 и 7.n-1, а (n-1)-й разряд второго входа 48 соединен со вторыми входами элементов ИЛИ 7.n-1 и 7.n, выход каждого элемента ИЛИ является соответствующим разрядом выхода 49 второго блока 7 элементов ИЛИ.

Блок 8 определения ошибок (фиг.7) содержит элемент ИЛИ 62, элемент И 63, причем разряды первого информационного входа соединены с первого по n-й входами элемента ИЛИ 62, разряды второго информационного входа 40 соединены с (n+1)-го по (2n+1)-й входами элемента ИЛИ 62, а разряды третьего информационного входа 41 соединены с (2n+2)-го по 3n-й входами элемента ИЛИ 62, выход которого соединен с первым входом элемента И 63, второй вход элемента И 63, является входом 42 блока 8, а выход элемента И 63 является выходом 43 блока 8 определения ошибки.

Блок 10 синхронизации (фиг. 8) содержит первый, второй, третий, четвертый и пятый триггеры 64-68, первый, второй и третий элементы И 69-71, элемент ИЛИ-НЕ 72. Генератор 73 синхроимпульсов, элемент ИЛИ 74, причем вход 18 соединен со входами установки в ноль триггеров 64,65,66,67 и с первым входом элемента ИЛИ 74, вход 19 соединен со входом установки в единицу триггера 68, входы 20 и 21 соединены со вторым и третьим входами элемента ИЛИ 74, выход которого соединен со входом установки в ноль триггера 68, прямой выход триггера 64 соединен с первым входом элемента И 69, а его инверсный выход соединен с первым входом элемента И 70, прямой выход триггера 65 соединен со вторыми входами элементов И 69, И 70, с информационным входом триггера 66 и вторым входом элемента ИЛИ-НЕ 72, прямой выход триггера 66 соединен с выходом 22, информационным входом триггера 67, первым входом элемента ИЛИ-НЕ 72, выход которого соединен с информационным входом триггера 65, а прямой выход триггера 68 соединен

с первым входом элемента И 71, второй вход которого соединен с выходом генератора 73, выход элемента И 71 соединен со входами синхронизации триггеров 65,66,67, прямой выход триггера 67 соединен со счетным входом триггера 64 и выходом 25, выходы элементов И 69, И 70 соединены соответственно с выходами 24 и 23.

Сложение кодов Фибоначчи осуществляется с помощью базовых микроопераций свертки, развертки и перемещения (см. таблицу).

Микрооперация свертки состоит в замене единиц (i-1)-го и (i-2)-го разрядов единиц в i-м разряде при наличии в нем нуля. Данная микрооперация обозначается знаком $\uparrow \underline{\quad} \downarrow$ (i=1,2,...,n+2), где n - разрядность кодов слагаемых).

Микрооперация развертки состоит в замене единицы в i-м разряде единицами в (i-1)-м и (i-2)-м разрядах при наличии в них нулей. Данная микрооперация обозначается знаком $\uparrow \uparrow$.

Микрооперация перемещения состоит в замене единицы в i-м разряде одного слагаемого единицей в i-м разряде второго слагаемого при наличии в нем нуля. Данная микрооперация обозначается знаком \downarrow .

Процесс сложения заключается в поочередном выполнении микроопераций развертки разрядов кода второго слагаемого, свертки разрядов кода первого слагаемого и микрооперации перемещения единиц из разрядов второго слагаемого в одноименные разряды первого слагаемого до тех пор, пока второе слагаемое не станет равным нулю. Максимальная разрядность кода результата сложения - (n+2).

Первый регистр 1, разрядностью (n+2), предназначен для хранения кода первого слагаемого в начале суммирования кодов промежуточных результатов в процессе работы и кода результата сложения; второй регистр 2 разрядностью n, предназначен для хранения кода второго слагаемого в начале сложения и кодов промежуточных результатов; блок 3 свертки осуществляет свертку разрядов кода в регистре 1 и контроль выполнения этой микрооперации; блок 4 перемещения осуществляет перемещение единиц из разрядов кода регистра 2 в одноименные разряды кода регистра 1

и контроль выполнения микрооперации перемещения; блок 5 развертки осуществляет развертку разрядов кода в регистре 2 и контроль выполнения микрооперации развертки.

Блок 3 свертки имеет $(n+2)$ -разрядный информационный вход 26. Блок 4 перемещения имеет n -разрядные информационные входы 30 и 31. Блок 5 развертки имеет n -разрядный информационный вход 35. Блок 6 элементов ИЛИ имеет n -разрядный вход 44, $(n+1)$ -разрядный вход 45 и $(n+2)$ -разрядный выход 46. Блок 7 элементов ИЛИ имеет n -разрядный вход 47, $(n-1)$ -разрядный вход 48 и n -разрядный выход 49. Блок 8 определения ошибки имеет n -разрядный вход 39, $(n+1)$ -разрядный вход 40, $(n-1)$ -разрядный вход 41.

Сумматор (фиг. 1) работает следующим образом.

После подачи на вход 14 начальной установки единичного сигнала и последующей записи n -разрядного кода первого слагаемого через вход 11 и n -разрядного кода второго слагаемого через вход 12, сумматор готов к работе.

При поступлении единичного сигнала на вход 15 пуска сумматора, блок 10 синхронизации начинает формировать последовательность управляющих сигналов согласно временной диаграмме (фиг. 9). Единичный сигнал с выхода 23 блока 10 поступает на входы 27 и 36 блока 3 свертки и блока 5 развертки, разрешая их работу. В случае, если код записанный в $(i+1)$ -м, i -м и $(i-1)$ -м триггерах регистра 1 удовлетворяет условию свертки, то есть равен "011", на выходе элемента 50 запрета ячейки 3.1 блока 3 свертки появляется единичный сигнал, который, поступая на вход установки в единицу триггера 53 этой ячейки переводит его в единичное состояние, а значит на выходе ячейки 3.1 появляется единичный сигнал, который через блок 6 элементов ИЛИ поступает на счетные входы $(i+1)$ -го, i -го и $(i-1)$ -го триггеров регистра 1.

Одновременно, в случае, если код, записанный в $(i+1)$ -м, i -м и $(i-1)$ -м триггерах регистра 2 удовлетворяет условию развертки, то есть равен "100", на выходе элемента 58 запрета ячейки 5 блока 5 развертки по-

является единичный сигнал, который поступая на вход установки единицу триггера 61 этой ячейки переводит его в единичное состояние, а значит на выходе 5.1 появляется единичный сигнал, который через блок 7 элементов ИЛИ поступает на счетные входы $(i+1)$ -го, i -го и $(i-1)$ -го триггеров регистра 2.

Блок 10 формирует единичный сигнал на выходе 22, который поступив на синхровходы регистров 1 и 2 приводит к тому, что состояния $(i+1)$ -го, i -го, $(i-1)$ -го триггеров регистров 1 и 2 изменяются.

При правильном переключении $(i+1)$ -й, i -й и $(i-1)$ -й триггеры регистра 1 переходят в состояние "100". Так выполняется микрооперация свертки кода, записанного в этих триггерах. После этого на выходе элемента 51 запрета ячейки 3.1 появляется единичный сигнал, который через элемент ИЛИ 52 поступает на вход установки в ноль триггера 53 ячейки 3.1 и сбрасывает его в исходное нулевое состояние.

В случае переключения $(i+1)$ -го, i -го и $(i-1)$ -го триггеров регистра 1 в состояния "000", "001", "010", "011", "101" "110" или "111", являющиеся результатом неправильного выполнения микроопераций свертки, на выходе элемента 51 запрета ячейки 3.1 появляется нулевой сигнал, который поступает через элемент ИЛИ 52 на вход установки в ноль триггера 53 ячейки 3.1. В результате триггер 53 ячейки 3.1 останется в единичном состоянии.

Одновременно, при правильном переключении $(i+1)$ -й, i -й и $(i-1)$ -й триггеры регистра 2 переходят в состояние "011". Так выполняется микрооперация развертки кода, записанного в этих триггерах. После этого на выходе элемента 59 запрета ячейки 5.1 появляется единичный сигнал, который через элемент ИЛИ 60 поступает на вход установки в ноль триггера 61 ячейки 5.1 и сбрасывает его в исходное нулевое состояние.

В случае переключения $(i+1)$ -го, i -го и $(i-1)$ -го триггеров регистра 2 в состояния "000", "001", "010", "100", "101", "110" или "111", являющиеся результатом неправильного выполнения микрооперации развертки,

на выходе элемента 59 запрета ячейки 5.i появляется нулевой сигнал, который поступает через элемент ИЛИ 60 на вход установки в ноль триггера 61 ячейки 5.i. В результате триггер 61 ячейки 5.i останется в единичном состоянии.

Блок 10 формирует единичный сигнал на выходе 25, который поступает на вход 42 блока 8 определения ошибки. Если на выходе хотя бы одной из ячеек блока 3 свертки или блока 5 развертки присутствует единичный сигнал свидетельствующий о неправильном выполнении микроопераций свертки или развертки, на выходе 43 блока 8 появится единичный сигнал ошибки, который поступает на выход 17 ошибки сумматора. Одновременно, появление единичного сигнала ошибки на входе 21 блока 10 запрещает формирование очередной последовательности управляющих сигналов.

В случае правильного выполнения микроопераций свертки или развертки, на выходах всех ячеек блока 3 свертки и блока 5 развертки присутствуют нулевые сигналы. Поэтому поступление единичного сигнала на вход 42 блока 8 приводит к появлению нулевого сигнала на выходе 43 блока 8, свидетельствующего о правильном выполнении микроопераций свертки и развертки. Этот же нулевой сигнал с выхода 43 блока 8, поступая на вход 21 блока 10, разрешает формирование очередной последовательности управляющих сигналов.

Блок 10 формирует очередной единичный сигнал на выходе 24, который, поступая на вход 32 блока 4 перемещения, разрешает его работу.

Если в i-м триггере регистра 2 записана единица, а в i-м триггере регистра 1 записан ноль, что удовлетворяет условию перемещения, на выходе элемента 54 запрета ячейки 4.i блока 4 перемещения появится единичный сигнал, который, поступая на вход установки в единицу триггера 57 ячейки 4.i, переводит его в единичное состояние, а значит на выходе ячейки 4.i появляется единичный сигнал, который через блоки 6 и 7 элементов ИЛИ поступает на счетные входы i-х триггеров регистров 1 и 2. Блок 10 формирует единичный сигнал на выходе 22, который, поступив на

синхровходы регистров 1 и 2 приводит к тому, что состояние i-х триггеров этих регистров изменяется.

При правильном переключении i-е триггеры регистров 2 и 1 переходят в состояние "01" соответственно. Так выполняется микрооперация перемещения единиц из разрядов регистра 2 в одноименные разряды регистра 1. После этого, на выходе элемента 55 запрета ячейки 4.i появляется единичный сигнал, который через элемент ИЛИ 56 поступает на вход установки в ноль триггера 57 ячейки 4.i и сбрасывает его в исходное нулевое состояние.

В случае переключения i-х триггеров регистров 2 и 1 в состояния "00", "10" или "11", являющиеся результатом неправильного выполнения микрооперации перемещения, на выходе элемента 55 запрета появляется нулевой сигнал, который через элемент ИЛИ 56 поступает на вход установки в ноль триггера 57. В результате триггер 57 ячейки 4.i останется в единичном состоянии.

Блок 10 формирует единичный сигнал на выходе 25, который поступает на вход 42 блока 8 определения ошибки. Если на выходе хотя бы одной из ячеек блока 4 перемещения присутствует единичный сигнал, свидетельствующий о неправильном выполнении микрооперации перемещения, на выходе 43 блока 8 появляется единичный сигнал ошибки, который поступает на выход 17 ошибки сумматора. Одновременно, появление единичного сигнала ошибки на входе 21 блока 10 запрещает формирование очередной последовательности управляющих сигналов.

При правильном выполнении микрооперации перемещения, на выходах всех ячеек блока 4 перемещения присутствуют нулевые сигналы. Поэтому поступление единичного сигнала на вход 42 блока 8 приводит к появлению нулевого сигнала на выходе 43 блока 8, свидетельствующего о правильном выполнении микрооперации перемещения. Этот же нулевой сигнал с выхода 43 блока 8 поступая на вход 21 блока 10, разрешает формирование очередной последовательности управляющих сигналов.

Блок 10 формирует последовательность управляющих сигналов, при по-

мощи которых выполняются микрооперации свертки в регистре 1, развертки в регистре 2 и перемещение единиц из разрядов регистра 2 в одноименные разряды регистра 1 до тех пор, пока содержимое триггеров регистра 2 не станет равным нулю. В этом случае на выходе элемента ИЛИ-НЕ 9 появляется сигнал окончания сложения, который поступает на выход 16 сумматора. Появление единичного сигнала окончания сложения на входе 20 блока 10 приводит к прекращению формирования управляющих сигналов блоком 10. При этом, на выходе 15 сумматора присутствует результат сложения.

Работу параллельного сумматора покажем на следующем примере: сложения 8-разрядных чисел, представленных в кодах Фибоначчи.

Пусть необходимо сложить код числа $A' = 10110100$ представленный в номинальной форме и код числа $B' = 10000010$ представленный в минимальной форме.

После подачи на вход 13 начальной установки сумматора единичного сигнала, код числа A' через вход 11 первого слагаемого записывается в регистр 1, а код числа B' через вход 12 второго слагаемого сумматора записывается в регистр 2. По приходу единичного сигнала на вход 14 пуска сумматора начинается процесс сложения, который показан в таблице.

После 8-го такта сложения, содержимое регистра 2 становится равным нулю, что является признаком окончания сложения. На выходе 16 сумматора появляется единичный сигнал окончания сложения, который поступает на вход 20 блока 10, вызывая прекращение формирования управляющих сигналов. При этом код 101100110, записанный в регистре 1 является результатом сложения чисел A' и B' .

Изобретение позволяет так же повысить контролируемую способность за счет контроля всех промежуточных и конечного результатов сложения.

Ф о р м у л а и з о б р е т е н и я

Параллельный сумматор кодов Фибоначчи, содержащий первый и второй регистры, блок свертки, блок определения ошибки и элемент ИЛИ-НЕ, при-

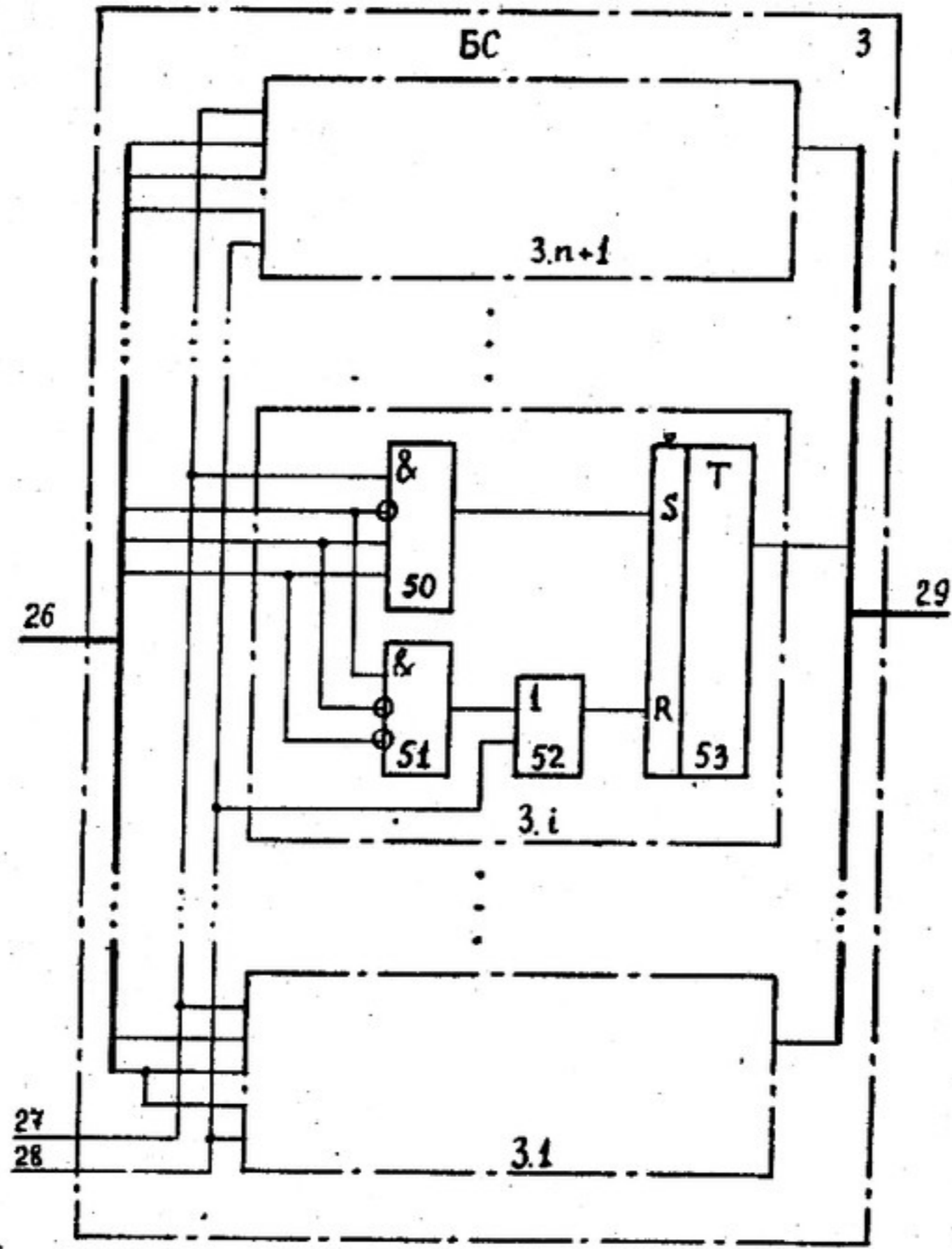
чем входы первого и второго слагаемых сумматора соединены с первыми информационными входами первого и второго регистров соответственно, первые входы разрешения записи которых объединены и соединены с входом начальной установки сумматора, выходы окончания сложения и ошибки которого соединены соответственно с выходом элемента ИЛИ-НЕ и с выходом блока определения ошибки, выход первого регистра является выходом результата сложения сумматора и соединен с информационным входом блока свертки, выходы разрядов второго регистра соединены с соответствующими входами элемента ИЛИ-НЕ, отличающийся тем, что, с целью расширения функциональных возможностей за счет сложения чисел, представленных в произвольной форме кода Фибоначчи, он содержит блок перемещения, блок развертки, первый и второй блоки элементов ИЛИ и блок синхронизации, причем второй информационный вход первого регистра соединен с выходом первого блока элементов ИЛИ, выход первого регистра соединен с первым информационным входом блока перемещения, второй информационный вход второго регистра соединен с выходом второго блока элементов ИЛИ, выход второго регистра соединен с информационным входом блока развертки и вторым информационным входом блока перемещения, выход блока перемещения соединен с первыми входами первого и второго блоков элементов ИЛИ и с первым информационным входом блока определения ошибки, выход блока свертки соединен с вторым входом первого блока элементов ИЛИ и с вторым информационным входом блока определения ошибки, выход блока развертки соединен с вторым входом второго блока элементов ИЛИ и с третьим информационным входом блока определения ошибки, вход начальной установки сумматора соединен с входом сброса блока синхронизации, с входами сброса блоков свертки, развертки и перемещения, вход пуска сумматора соединен с соответствующим входом блока синхронизации, первый и второй входы останова которого соединены соответственно с выходами элемента ИЛИ-НЕ и блока определения ошибки, первый

выход блока синхронизации соединен с вторыми входами разрешения записи первого и второго регистров, второй выход блока синхронизации соединен с входами разрешения блоков свертки и

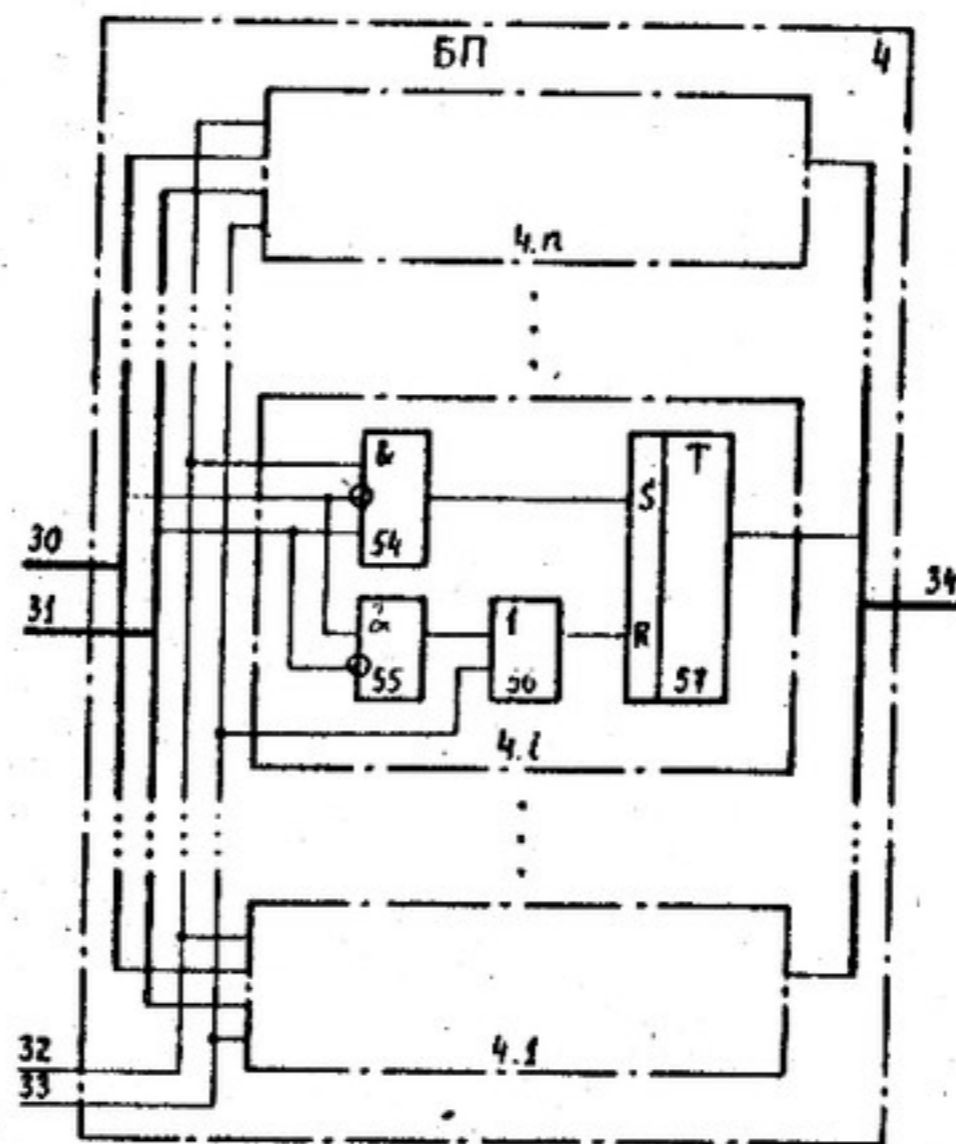
развертки, третий и четвертый выходы блока синхронизации соединены соответственно с входами разрешения блоков перемещения и определения ошибки.

5

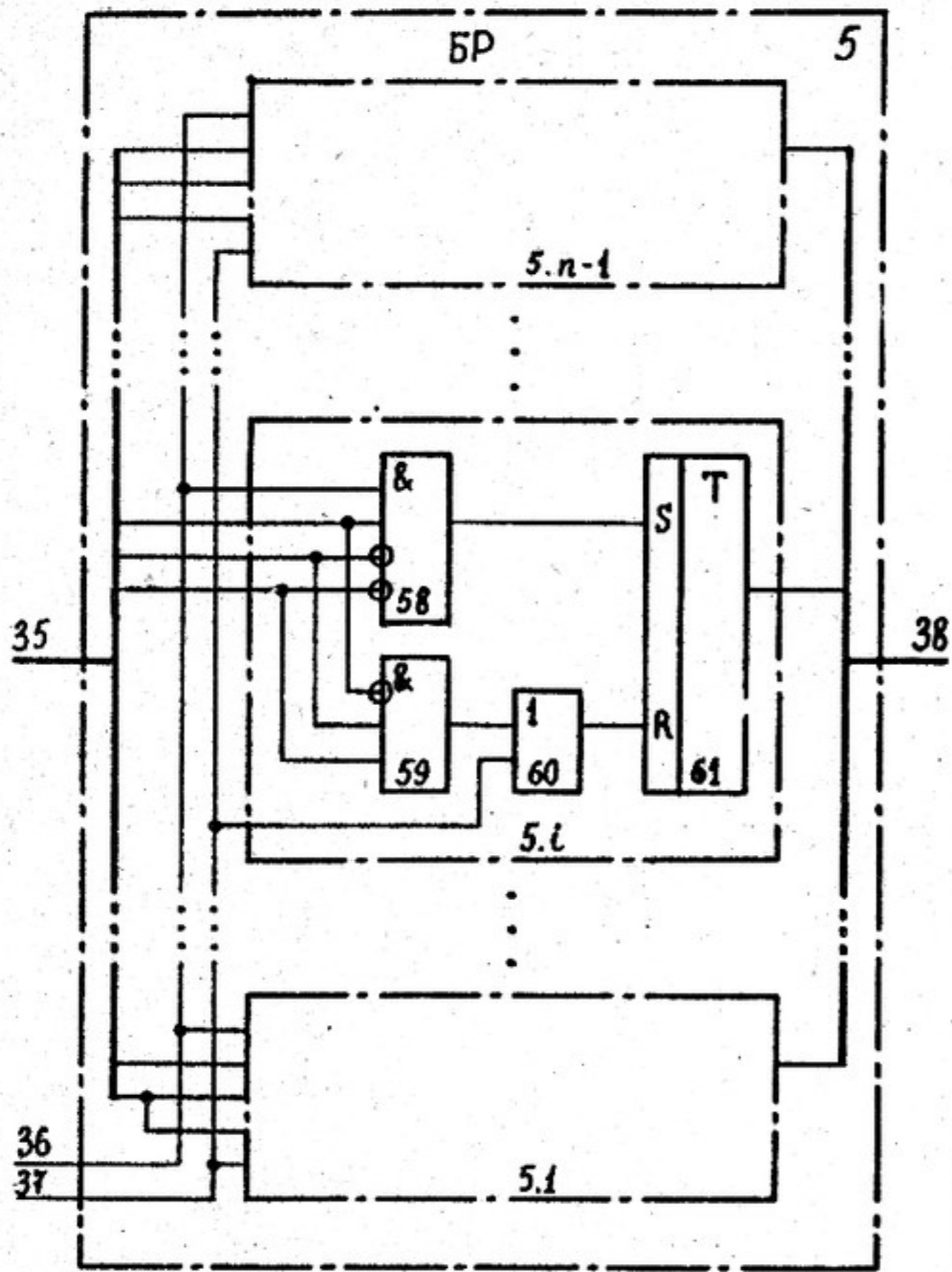
Номер разряда	10	9	8	7	6	5	4	3	2	1
Вес разряда	55	34	21	13	8	5	3	2	1	1
1-й такт	0	0	1	0	1	1	0	1	0	0
2-й такт	0	0	1	1	0	0	0	1	0	0
3-й такт	0	0	1	1	1	0	0	1	0	1
4-й такт	0	1	0	0	1	0	0	1	1	0
5-й такт	0	1	0	0	1	1	0	1	1	0
6-й такт	0	1	0	1	0	0	1	0	0	0
7-й такт	0	1	0	1	0	1	1	0	0	0
8-й такт	0	1	0	1	1	0	0	0	0	0
Результат	0	1	0	1	1	0	0	1	1	0



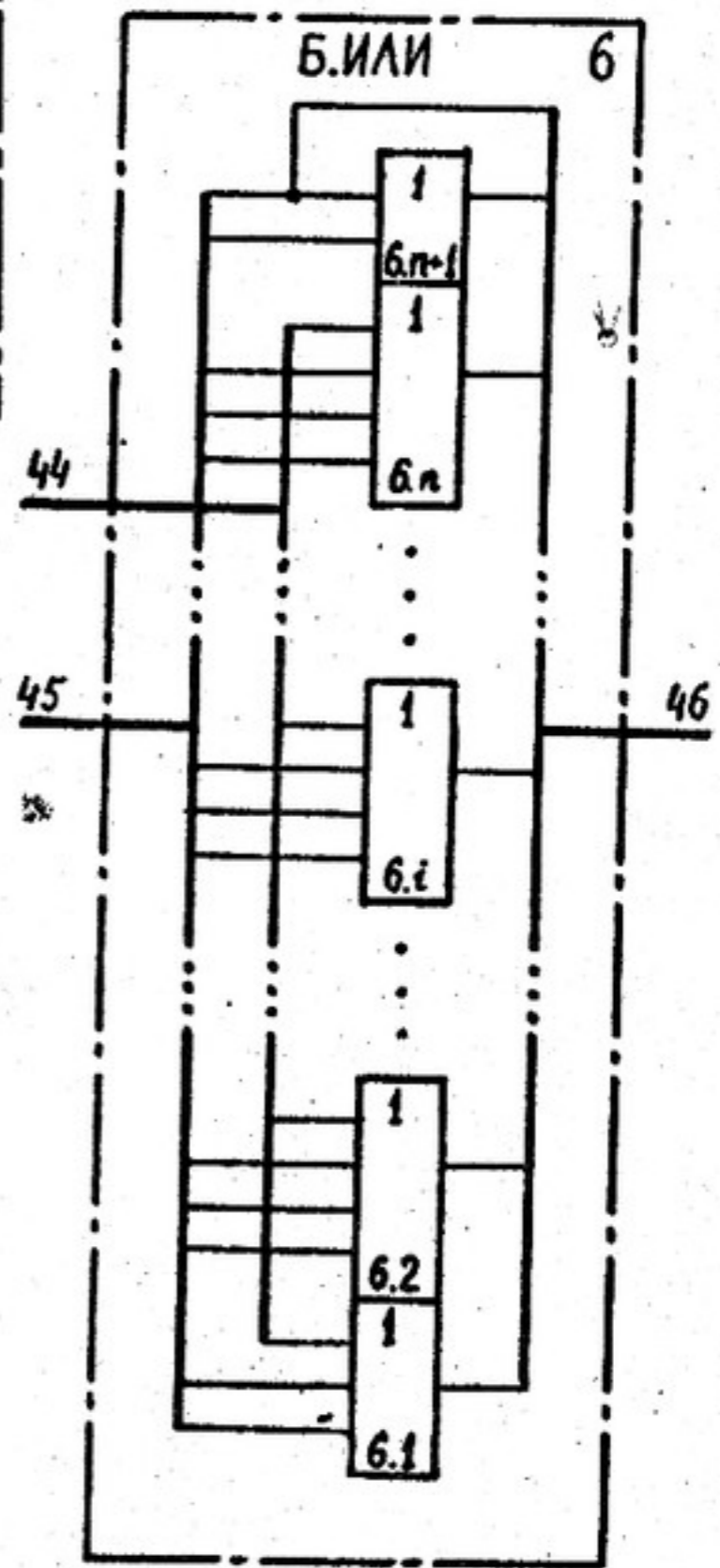
Фиг. 2



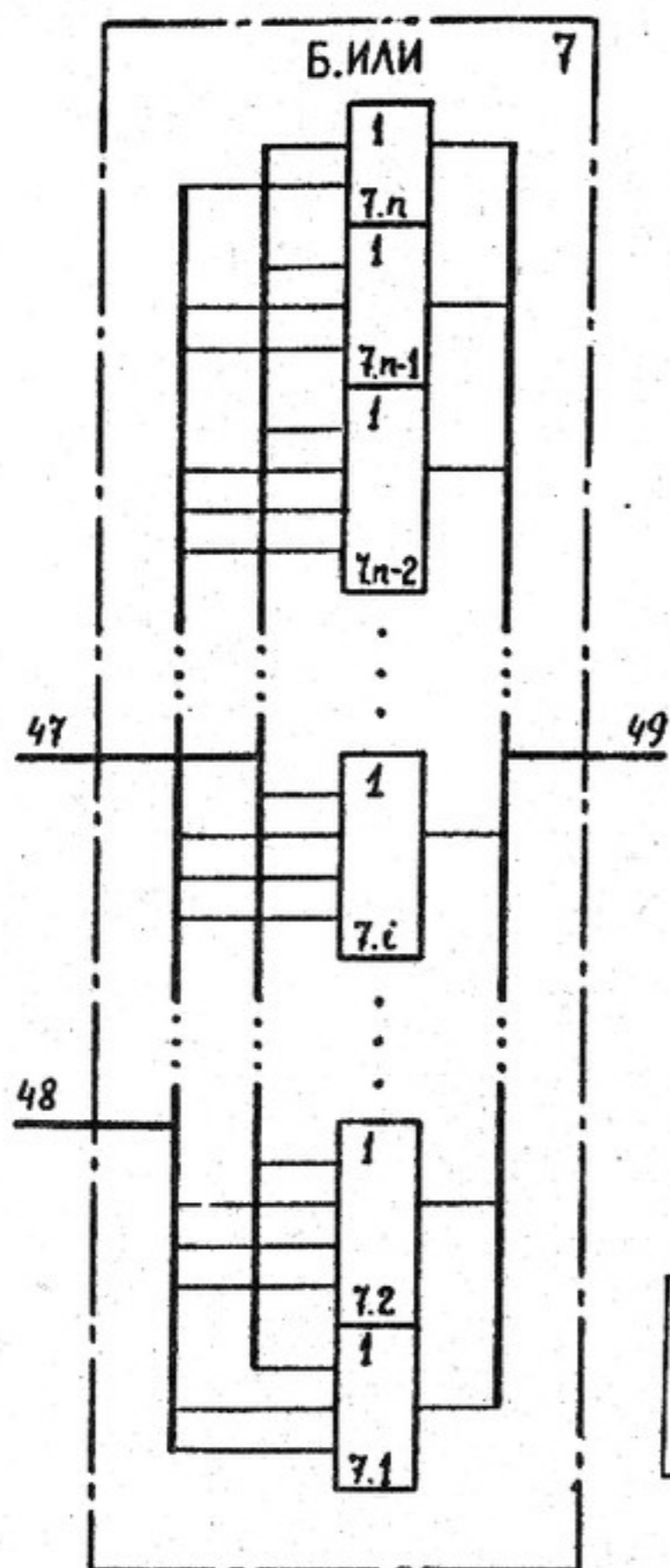
Фиг. 3



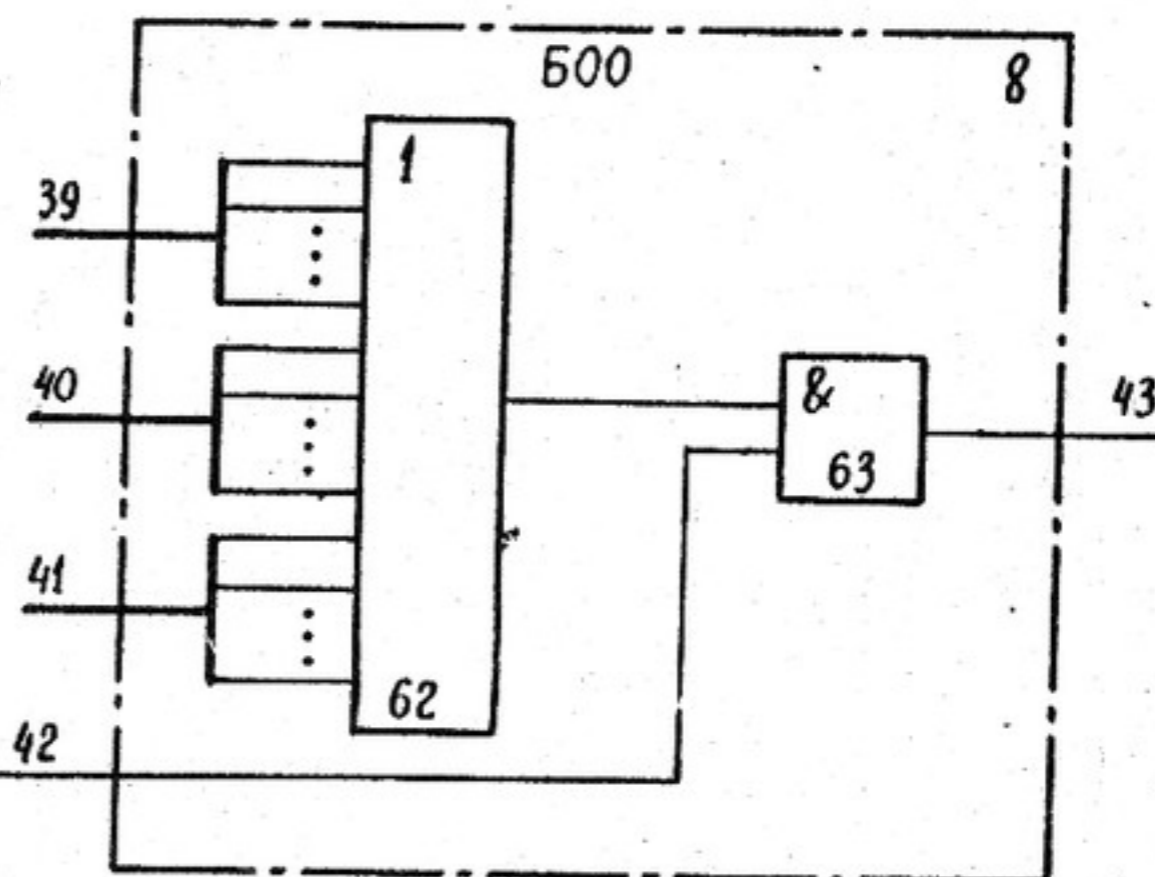
Фиг. 4



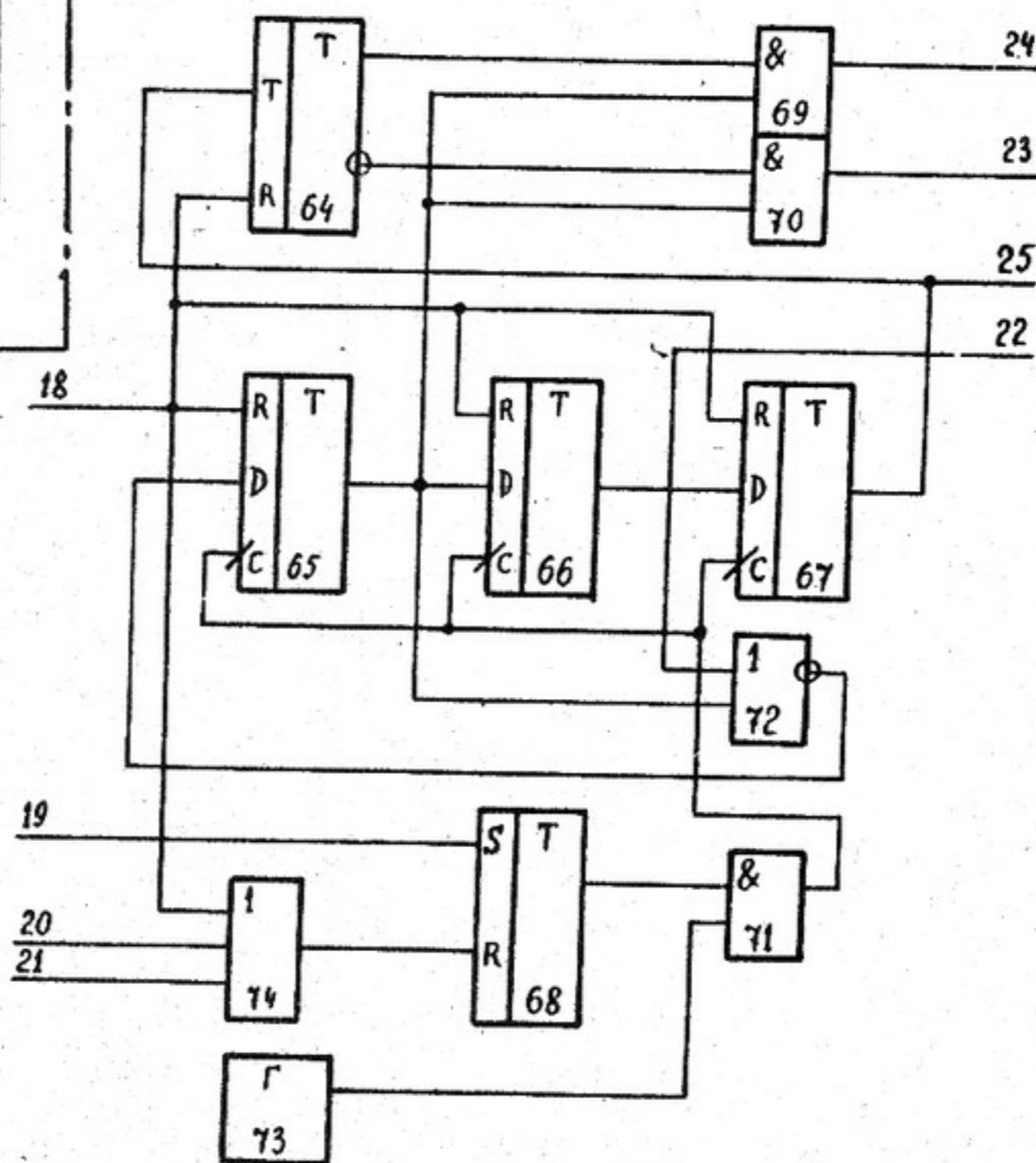
Фиг. 5



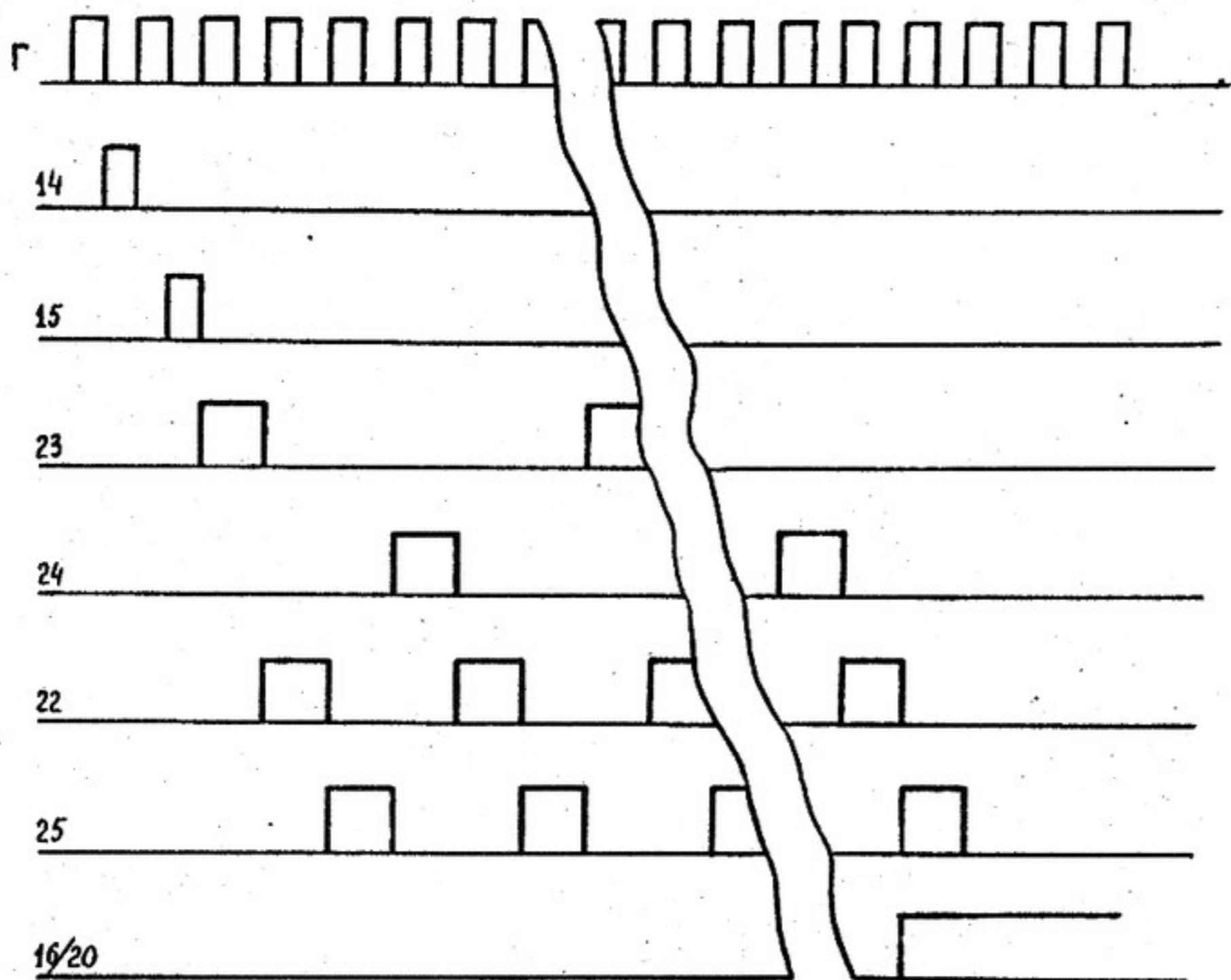
Фиг. 6



Фиг. 7



Фиг. 8



Фиг. 9

Составитель А.Клюев

Редактор Л.Пчолинская

Техред М.Дидык

Корректор И.Муска

Заказ 80

Тираж 563

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101