



УКРАЇНА

(19) UA (11) 44123 (13) U
(51) МПК (2009)
H03M 1/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) АНАЛОГО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ

1

2

(21) u200901544

(22) 23.02.2009

(24) 25.09.2009

(46) 25.09.2009, Бюл.№ 18, 2009 р.

(72) АЗАРОВ ОЛЕКСІЙ ДМИТРОВИЧ, КАДУК
ОЛЕКСАНДР ВОЛОДИМИРОВИЧ

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ
УНІВЕРСИТЕТ

(57) Аналого-цифровий перетворювач, що містить вхідну шину, схему порівняння, цифро-аналоговий перетворювач, регістр послідовного наближення, блок постійної пам'яті, регістр, вихідні шини, причому другий вхід схеми порівняння підключено до виходу цифро-аналогового перетворювача, який **відрізняється** тим, що введено аналоговий комутатор, додатковий цифро-аналоговий перетворювач, другий регістр послідовного наближення, блок керованої розгортки коду, блок оперативної пам'яті, цифровий обчислювальний пристрій, блок керування, причому перший інформаційний вхід аналогового комутатора є вхідною шиною, другий інформаційний вхід аналогового комутатора з'єднано з виходом додаткового цифро-аналогового перетворювача, входи якого об'єднано з виходами другого регістра послідовного наближення, третій вхід аналогового комутатора об'єднано з шиною керуючих сигналів блока керування, вихід аналогового комутатора з'єднано з першим входом схе-

ми порівняння, вихід схеми порівняння з'єднано з інформаційною шиною результату порівняння, перший вхід другого регістра послідовного наближення з'єднано з шиною керуючих сигналів блока керування, другий вхід другого регістра послідовного наближення з'єднано з інформаційною шиною результату порівняння, виходи блока керування з'єднано з шиною керуючих сигналів, входи цифро-аналогового перетворювача об'єднано з виходами регістра і першими входами цифрового обчислювального пристрою, перший вхід регістра з'єднано з шиною керуючих сигналів блока керування, другі входи регістра з'єднано з виходами регістра послідовного наближення, треті входи регістра з'єднано з виходами блока керованої розгортки коду, перший вхід регістра послідовного наближення з'єднано з інформаційною шиною результату порівняння, другий вхід регістра послідовного наближення з'єднано з шиною керуючих сигналів блока керування, вхід блока керованої розгортки коду з'єднано з шиною керуючих сигналів блока керування, виходи блока постійної пам'яті з'єднано з другими входами цифрового обчислювального пристрою, треті входи цифрового обчислювального пристрою об'єднано з блоком оперативної пам'яті, виходи цифрового обчислювального пристрою є вихідними шинами.

Корисна модель відноситься до галузі цифрової обчислювальної та цифрової вимірювальної техніки і може бути використана для перетворення аналогових величин в цифрові.

Відомий аналого-цифровий перетворювач [А.с. СРСР №790285, М. кл Н03К13/02, бюл. №47, 23.12.80], що містить вхід, елемент порівняння, цифроаналоговий перетворювач, блок виділення різниці, пороговий елемент, блок керування, блок згортки-розгортки коду, регістр, блок логічних елементів, причому другий вхід елементів порівняння з'єднаний з виходом цифроаналогового перетворювача, вхід блоку виділення різниці з'єднаний з виходом цифроаналогового перетворювача, а вихід - з інформаційним входом порогового еле-

мента, перший вихід блоку керування з'єднаний з керуючим входом порогового елемента, третій вихід блоку керування з'єднаний з першим інформаційним входом блоку згортки-розгортки коду, другий вихід блоку керування з'єднаний з входом регістра, вихід якого з'єднаний з другим інформаційним входом блоку згортки-розгортки коду, першим інформаційним входом блоку логічних елементів і третім входом блоку керування, четвертий вихід блоку керування з'єднаний з керуючим входом блоку згортки-розгортки коду, вихід якого з'єднаний з входом цифроаналогового перетворювача, другим інформаційним входом блоку логічних елементів і є виходом аналого-цифрового перетворювача, п'ятий вихід блоку керування з'єднаний

(19) UA (11) 44123 (13) U

з керуючим входом блоку логічних елементів, вихід якого є контрольним виходом аналого-цифрового перетворювача.

Недоліком цього пристрою є низька точність перетворення і відмовостійкість до параметричних відмов.

За прототип обрано аналого-цифровий перетворювач [А.с. СРСР №1221750, М. кл. Н03М1/26, бюл. №12, 30.03.86], що містить схему порівняння, цифроаналоговий перетворювач, регістр послідовного наближення, вхідну шину, шину «Запуск», блок постійної пам'яті, блок підсумовування, регістр, лічильник адреси, вихідні шини, шину тактових імпульсів, причому перший вхід схеми порівняння є вхідною шиною, другий вхід підключено до виходу цифроаналогового перетворювача, вихід - до інформаційного входу регістра послідовного наближення і управляючого входу блоку постійної пам'яті, перший управляючий вхід регістра послідовного наближення є шиною «Запуск» і об'єднаний з другим управляючим входом лічильника адреси та другим управляючим входом регістра, другий управляючий вхід регістра послідовного наближення підключений до шини тактових імпульсів, першого управляючого входу лічильника адреси, першого управляючого входу регістра, виходи регістра послідовного наближення підключені до відповідних входів цифроаналогового перетворювача, виходи лічильника адреси підключені до відповідних адресних входів блоку постійної пам'яті, виходи блоку постійної пам'яті підключені до відповідних перших входів блоку підсумовування, виходи регістра підключені до відповідних других входів блоку підсумовування і є вихідними шинами.

Недоліком цього пристрою є низька точність перетворення і відмовостійкість до параметричних відмов.

В основу корисної моделі поставлено задачу створення аналого-цифрового перетворювача (АЦП), в якому за рахунок введення нових блоків і зв'язків між ними досягається підвищення точності роботи і відмовостійкості перетворення до параметричних відмов, що виникають внаслідок змінення умов навколишнього середовища і старіння, що підвищує надійність роботи пристрою.

Поставлена задача досягається тим, що у аналого-цифровий перетворювач, що містить вхідну шину, схему порівняння, цифроаналоговий перетворювач, регістр послідовного наближення, блок постійної пам'яті, регістр, вихідні шини, причому другий вхід схеми порівняння підключено до виходу цифроаналогового перетворювача, введено аналоговий комутатор, додатковий цифроаналоговий перетворювач, другий регістр послідовного наближення, блок керованої розгортки коду, блок оперативної пам'яті, цифровий обчислювальний пристрій, блок керування, причому перший інформаційний вхід аналогового комутатора є вхідною шиною, другий інформаційний вхід аналогового комутатора з'єднано з виходом додаткового цифроаналогового перетворювача, входи якого об'єднано з виходами другого регістру послідовного наближення, третій вхід аналогового комутатора об'єднано з шиною керуючих сигналів блоку керування, вихід аналогового комутатора з'єднано

з першим входом схеми порівняння, вихід схеми порівняння з'єднано з інформаційною шиною результату порівняння, перший вхід другого регістру послідовного наближення з'єднано з шиною керуючих сигналів блоку керування, другий вхід другого регістру послідовного наближення з'єднано з інформаційною шиною результату порівняння, виходи блоку керування з'єднано з шиною керуючих сигналів, входи цифроаналогового перетворювача об'єднано з виходами регістра і першими входами цифрового обчислювального пристрою, перший вхід регістра з'єднано з шиною керуючих сигналів блоку керування, другі входи регістра з'єднано з виходами регістра послідовного наближення, треті входи регістра з'єднано з виходами блоку керованої розгортки коду, перший вхід регістра послідовного наближення з'єднано з інформаційною шиною результату порівняння, другий вхід регістра послідовного наближення з'єднано з шиною керуючих сигналів блоку керування, вхід блоку керованої розгортки коду з'єднано з шиною керуючих сигналів блоку керування, виходи блоку постійної пам'яті з'єднано з другими входами цифрового обчислювального пристрою, треті входи цифрового обчислювального пристрою об'єднано з блоком оперативної пам'яті, виходи цифрового обчислювального пристрою є вихідними шинами.

На Фіг.1 представлено структурну схему аналого-цифрового перетворювача, на Фіг.2 представлено модель розрядної сітки цифроаналогового перетворювача, на Фіг.3 представлено граф-схему процесу самокалібрування з осередненням на розгортках.

Пристрій містить вхідну шину 1, аналоговий комутатор 6, схему порівняння 7, цифроаналоговий перетворювач 9, регістр 10, регістр послідовного наближення 11, додатковий цифроаналоговий перетворювач 2, другий регістр послідовного наближення 3, блок керування 8, блок керованої розгортки коду 14, цифровий обчислювальний пристрій 13, блок постійної пам'яті 12, блок оперативної пам'яті 15, вихідні шини 16, причому перший інформаційний вхід аналогового комутатора 6 є вхідною шиною 1, другий інформаційний вхід аналогового комутатора 6 з'єднано з виходом додаткового цифроаналогового перетворювача 2, входи якого об'єднано з виходами другого регістру послідовного наближення 3, третій вхід аналогового комутатора 6 об'єднано з шиною керуючих сигналів 4 блоку керування 8, вихід аналогового комутатора 5 з'єднано з першим входом схеми порівняння 7, вихід схеми порівняння 7 з'єднано з інформаційною шиною результату порівняння 5, перший вхід другого регістру послідовного наближення 3 з'єднано з шиною керуючих сигналів 4 блоку керування 8, другий вхід другого регістру послідовного наближення 3 з'єднано з інформаційною шиною результату порівняння 5, виходи блоку керування 8 з'єднано з шиною керуючих сигналів 4, другий вхід схеми порівняння 7 підключено до виходу цифроаналогового перетворювача 9, входи цифроаналогового перетворювача 9 об'єднано з виходами регістра 10 і першими входами цифрового обчислювального пристрою 13, перший вхід регістра 10 з'єднано з шиною керуючих сигналів 4 блоку керування 8, другі входи регістра 10

з'єднано з виходами регістра послідовного наближення 11, треті входи регістра 10 з'єднано з виходами блоку керованої розгортки коду 14, перший вхід регістра послідовного наближення 11 з'єднано з інформаційною шиною результату порівняння 7, другий вхід регістра послідовного наближення 11 з'єднано з шиною керуючих сигналів 4 блоку керування 8, вхід блоку керованої розгортки коду 14 з'єднано з шиною керуючих сигналів 4 блоку керування 8, виходи блоку постійної пам'яті 12 з'єднано з другими входами цифрового обчислювального пристрою 13, треті входи цифрового обчислювального пристрою 13 об'єднано з блоком оперативної пам'яті 15, виходи цифрового обчислювального пристрою 13 є вихідними шинами 16.

Пристрій працює таким чином.

Цифроаналоговий перетворювач (ЦАП) 9 і додатковий ЦАП 2 виконані на основі позиційних систем числення із ваговою надлишковістю. Наявність в розрядах таких перетворювачів відхилень від номінальних значень ваг розрядів не призводить до розриву характеристики перетворення і дає можливість виконувати процедуру самокалібрування. У позиційних системах числення із ваговою надлишковістю будь-яке число можна зобразити у вигляді:

$$D = \sum_{i=0}^{n-1} a_i \cdot Q_i,$$

де $a_i \in \{1, 1\}; \{0, 1\}$; - розрядні коефіцієнти або алфавіт системи числення, $i=0, 1, 2, \dots, n-1$ - номер розряду, Q_i - вага i -го розряду.

Залежно від закону завдання значення ваги i -го розряду по відношенню до молодших $Q_i=f(Q_{i-1}, Q_{i-2}, \dots, Q_{i-k})$ можна поділити позиційні системи числення із ваговою надлишковістю на системи з природним і штучним набором ваг розрядів. Природний набір - це такий, в якому існує постійне співвідношення між вагами розрядів, зокрема:

$$Q_i = \alpha \cdot Q_{i-1} = \alpha^2 \cdot Q_{i-2} = \alpha^3 \cdot Q_{i-3} = \dots = \alpha^i \cdot Q_0,$$

де $\alpha = \frac{Q_i}{Q_{i-1}}$ - основа системи числення. При-

кладом позиційних систем числення із ваговою надлишковістю із природним набором ваг розрядів є позиційні системи числення на базі золотої пропорції $\alpha=1,618$ або відношенні Коца $\alpha=1,84$; або

$\alpha = \sqrt{2}$ та ін.

Для надлишкових позиційних систем числення (НПСЧ) зі штучним набором вага кожного розряду формується у рамках базису $Q_0, Q_1, Q_2, \dots, Q_{n-1}$ як певна сума ваг молодших розрядів

$$Q_i = Q_{i-1} + Q_{i-2} + \dots + Q_{i-k},$$

де k - деяке ціле число. Можна вважати, що в цьому випадку набір ваг розрядів - це базис. Прикладом такого базису може бути набір ваг розрядів, пропорційних числам, значення яких пропорційні дубльованому двійковому ряду типу 1; 1; 2; 2; 4; 4; ... $2^{n-1}, 2^{n-1}$, p -числам. p - це степінь характеристичного рівняння $x^{p+1} + x^p - 1 = 0$, додатний корінь якого визначає α . При $p=0$ дана НПСЧ виводжується у двійкову систему числення, $p=1$ - систему класичної золотої пропорції ($\alpha \approx 1,618$), $p=2$ - код Коца ($\alpha \approx 1,84$), $p=\infty$ - одиничний код.

Вагова надлишковість характеризується як перевищення суми ваг молодших розрядів над вагою старшого розряду у вигляді:

$$Q_i \leq \sum_{j=0}^{n-1} Q_j.$$

Причому, абсолютне значення вагової надлишковості визначається як:

$$\Delta \tilde{Q}_i = \sum_{j=0}^{i-1} Q_j - Q_i.$$

Відносна вагова надлишковість характерна для НПСЧ із природним розташуванням ваг розрядів, оскільки її значення не залежить від номера розряду і розраховується у вигляді:

$$\delta \tilde{Q} = \frac{\sum_{j=0}^{i-1} Q_j - Q_i}{\sum_{j=0}^i Q_j} \approx \frac{2 - \alpha}{\alpha}.$$

Пристрій працює в двох режимах: основного перетворення і самокалібрування із осередненням на розгортках. У режимі самокалібрування з осередненням на розгортках пристрій реалізується по процедурі, що передбачає визначення, коригування і зберігання відкоригованих значень ваг розрядів у цифровій формі, зокрема, із зображенням цифрових еквівалентів відкаліброваних ваг розрядів у вигляді двійкових кодів у блоці оперативної пам'яті 15. Визначення відхилень ваг старших розрядів виконується шляхом послідовного порівняння ваги поточного розряду із сумою певної групи сусідніх молодших розрядів. Це порівняння базується на основі існуючих між розрядами математичних співвідношень. Результати самокалібрування можуть багатократно використовуватися у процесі основного перетворення або вимірювання аж доти, поки внаслідок змінення параметрів аналогових вузлів пристрою не виникне потреба здійснювати повторне самокалібрування. При цьому розрядна сітка ЦАП 9 умовно розбивається на групу «неточних» старших розрядів і «точних» молодших (Фіг.2). Всі ваги розрядів мають однаковий технологічний допуск δQ , причому досить значний - $1 \div 10\%$, що значно спрощує технологію виготовлення аналогових вузлів.

Належність до «точних» молодших розрядів вибирається з умови:

$$\Delta Q_{i \max} \leq 0,5 \cdot Q_0,$$

де $\Delta Q_{i \max}$ - максимальне значення абсолютної похибки i -го розряду, що залежить від технологічного допуску δQ на відхилення від ідеального значення ваги i -го розряду Q_i ід:

$$\Delta Q_{i \max} = \delta Q \cdot Q_i \text{ ід}$$

Після виготовлення ЦАП 9 кодові еквіваленти номінальних ваг розрядів записуються в блоці постійної пам'яті 12 і в подальшому використовуються для самокалібрування.

Визначення реальних ваг розрядів відбувається послідовно з молодших «неточних» розрядів до старших. Визначення коду реальної ваги розряду $K(Q_i)$ починається з $(n-m)$ -го молодшого із «неточних» розрядів і проводиться протягом кількох цик-

лів з подальшим осередненням результатів, отриманих на кожному циклі. Виконання осереднень здійснюється завдяки можливості у НПСЧ зображувати те саме число багатьма кодовими комбінаціями. Для цього використовується операція розгортки, що реалізуються блоком керуваної розгортки коду 14. Наприклад, для золотої пропорції ($\alpha=1,618$) і кодів Фібоначчі операція розгортки полягає в заміні одиниці i -го розряду одиницями в $(i-1)$ -му і $(i-2)$ -му розрядах. Розгортка позначається значком $\begin{matrix} \longleftarrow \\ \uparrow \\ \uparrow \end{matrix}$. У результаті проведення всіх можливих розгорток отримується повністю розгорнута форма коду.

Розглянемо процедуру самокалібрування для НПСЧ з $\alpha=1,618$. По команді блоку керування 8

$$\begin{array}{cccccccccccc} & n-1 & \dots & i+1 & i & i-1 & i-2 & i-3 & \dots & 1 & 0 \\ A'_{\text{кал } i} & 0 & \dots & 0 & 1 & 0 & 0 & 0 & \dots & 0 & 0 \\ & & & & \longleftarrow & \uparrow & \uparrow & & & & \\ A''_{\text{кал } i} & 0 & \dots & 0 & 0 & 1 & 1 & 0 & \dots & 0 & 0 \end{array}$$

На виході ЦАП 9 при цьому з'являється аналоговий сигнал $A''_{\text{кал } i}$, що рівний вазі розрядів Q_{i-1} і Q_{i-2} . По команді блоку керування 8 з допомогою додаткового ЦАП 2 і другого регістра послідовного наближення 3 проводиться доврівноваження з точністю до молодшого кванту аналогового сигналу $A''_{\text{кал } i}$ на другому вході схеми порівняння 7.

Якщо $A'_{\text{кал } i} \geq A''_{\text{кал } i}$, то доврівноваження не буде виконуватись і в другому регістрі послідовного наближення 3 фіксується код, що відповідає $A'_{\text{кал } i}$. Якщо ж $A'_{\text{кал } i} < A''_{\text{кал } i}$, то виконається доврівноваження і в другому регістрі послідовного наближення 3 встановиться код, що відповідає $A''_{\text{кал } i}$.

При цьому на першому вході схеми порівняння 7 фіксується аналоговий сигнал $A_{\text{кал } i}$ виходячи з такої умови:

$$A_{\text{кал } i} = \begin{cases} A'_{\text{кал } i}, & \text{якщо } A'_{\text{кал } i} \geq A''_{\text{кал } i}; \\ A''_{\text{кал } i}, & \text{якщо } A'_{\text{кал } i} < A''_{\text{кал } i}. \end{cases}$$

Далі виконується подвійне врівноваження $A_{\text{кал } i}$. По команді блоку керування 8 через шини керування 4 блоку керування 8 старший розряд регістра послідовного наближення 11 встановлюється в одиничний стан і переписується в регістр 10. На виході ЦАП 9 з'являється аналоговий сигнал A_k , що рівний вазі старшого розряду Q_n ЦАП 9. З допомогою схеми порівняння 7 виконується порівняння A_k і $A_{\text{кал } i}$. Вихідний сигнал a_i , що з'являється на шині результату порівняння 5 схеми порівняння 7, відповідає умові:

$$a_i = \begin{cases} 0, & \text{якщо } A_k > A_{\text{кал } i} \\ 1, & \text{якщо } A_k \leq A_{\text{кал } i} \end{cases}$$

Якщо в результаті порівняння $a_i=1$, то n -ий розряд в регістрі послідовного наближення 11 залишається в одиничному стані. Далі відбувається

регістр послідовного наближення 11 встановлює одиницю в першому $(n-m)$ -ому розряді регістра 10. На виході ЦАП 9 при цьому з'являється аналоговий сигнал $A'_{\text{кал } i}$, що рівний вазі даного розряду. В режимі самокалібрування аналоговий комутатор 6 з'єднує вихід додаткового ЦАП 2 і перший вхід схеми порівняння 7. По команді блоку керування 8 з допомогою додаткового ЦАП 2 і другого регістра послідовного наближення 3 відбувається врівноваження сигналу на другому вході схеми порівняння 7 з точністю до молодшого кванту. Сигнал на першому вході схеми порівняння 7 фіксується. По команді блоку керування 8 через блок керуваної розгортки коду 14 проводиться розгортка розряду, що встановлений в регістрі 10.

вмикання наступного $(n-1)$ -го розряду. При цьому компенсуючий аналоговий сигнал A_k буде рівним сумі величин Q_n і Q_{n-1} . Якщо ж $a_i=0$, то n -ий розряд в першому регістрі послідовного наближення 9 скидається в нульовий стан і також вмикається наступний $(n-1)$ -ий розряд, при цьому $A_k=Q_{n-1}$.

Далі відбувається порівняння аналогових сигналів A_k і $A_{\text{кал } i}$.

Перетворення здійснюється за n етапів порівняння. Величина компенсуючого аналогового сигналу A_k визначається як

$$A_k = \sum_{i=0}^{n-1} a_i \cdot Q_i,$$

де a_i - вихідний сигнал схеми порівняння на i -ому кроці врівноваження, Q_i - вага i -го розряду ЦАП 9.

Результат $K'(Q_i)$ першого кодування зберігається в блоці оперативної пам'яті 15

$$K'(Q_i) = \sum_{i=0}^{n-1} a_i \cdot K_i,$$

де K_i - код ідеальної ваги розряду, що зберігаються в блоці постійної пам'яті 12.

Під час другого врівноваження відбувається повторне врівноваження $A_{\text{кал } i}$ з допомогою регістра послідовного наближення 11, регістра 10 і ЦАП 9, причому в процесі врівноваження блок керування 8 видає сигнал, що забороняє вмикання i -го розряду, що калібрується. Код другого врівноваження $K''(Q_i)$ зберігається в блоці оперативної пам'яті 15. По отриманим кодам цифровий обчислювальний пристрій 13 знаходить код $\Delta K'(Q_i)$ відхилення i -го розряду

$$\Delta K'(Q_i) = \sum_{i=0}^{n-1} a_i \cdot K_i - \sum_{i=0}^{n-1} a_i \cdot K_i,$$

що фіксується в блоці оперативної пам'яті 15. На цьому перше з k калібрувань i -го розряду закінчується.

По команді блоку керування 8 регістр послідовного наближення 11 встановлює одиницю в пер-

шому і-ому молодшому «неточному» розряді регістра 10. Блок керованої розгортки коду 14 виконує

	n-1	...	i+1	i	i-1	i-2	i-3	i-3	...	0
$A'_{\text{кал } i}$	0	...	0	1	0	0	0	0	...	0
$A''_{\text{кал } i}$	0	...	0	0	1	1	0	0	...	0
$A'''_{\text{кал } i}$	0	...	0	0	1	0	1	1	...	0

На виході ЦАП 9 встановлюється відповідний аналоговий сигнал $A'''_{\text{кал } i}$, що по команді блоку керування 8 довірнюється з допомогою другого регістра послідовного наближення 3 і додаткового ЦАП 2. Якщо $A''_{\text{кал } i}$, код якого знаходиться в другому регістрі послідовного наближення 3, більше $A'''_{\text{кал } i}$ то довірнювання не буде виконуватись і в другому регістрі послідовного наближення 3 фіксується код, що відповідає $A''_{\text{кал } i}$. Якщо ж $A''_{\text{кал } i} < A'''_{\text{кал } i}$, то виконається довірнювання і в другому регістрі послідовного наближення 3 встановиться код, що відповідає $A'''_{\text{кал } i}$. Тобто на першому вході схеми порівняння 7 фіксується аналоговий сигнал $A_{\text{кал } i}$ виходячи з такої умови:

$$A_{\text{кал } i} = \begin{cases} A''_{\text{кал } i}, & \text{якщо } A''_{\text{кал } i} \geq A'''_{\text{кал } i}; \\ A'''_{\text{кал } i}, & \text{якщо } A''_{\text{кал } i} < A'''_{\text{кал } i}. \end{cases}$$

Далі виконується подвійне врівноваження $A_{\text{кал } i}$ з допомогою регістра послідовного наближення 11, регістра 10, ЦАП 8 з блокування вмикання розряду, що калібрується, під час другого врівноваження. Отримується два коди, з допомогою яких в цифровому обчислювальному пристрої 13 визначається код $\Delta K''(Q_i)$ відхилення і-го розряду

$$\Delta K''(Q_i) = \sum_{i=0}^{n-1} a_i'' \cdot K_i - \sum_{i=0}^{n-1} a_i' \cdot K_i.$$

Таким чином виконуються всі можливі k розгортки і-го розряду, що калібрується, з допомогою блоку керованої розгортки коду 14, і в блоці опера-

тивної пам'яті 15 фіксується множина $\Delta K(Q_i) \in \{\Delta K'(Q_i), \Delta K''(Q_i), \dots, \Delta K_k(Q_i)\}$, на основі якої в цифровому обчислювальному пристрої 13 шляхом осереднення визначається код поправки і-го розряду у вигляді

$$\Delta \tilde{K}(Q_i) = \frac{\sum_{j=1}^k \Delta K^j(Q_i)}{k}.$$

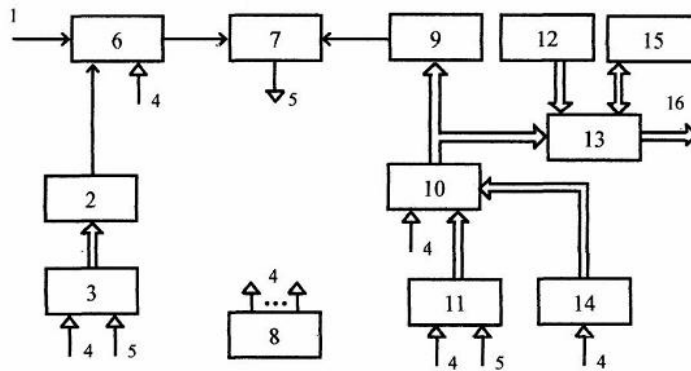
Визначення коду реальної ваги розряду $K(Q_i)$, що зафіксується в блоці оперативної пам'яті 15 і використовується в процесі основного перетворення, відбувається в цифровому обчислювальному пристрої 13:

$$K(Q_i) = K(Q_{i \text{ ід}}) + \Delta \tilde{K}(Q_i),$$

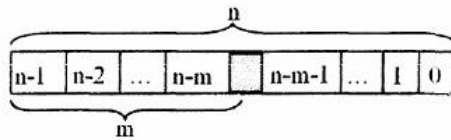
де $K(Q_{i \text{ ід}})$ - код ідеальної ваги розряду, що знаходиться в блоці постійної пам'яті 12.

Визначення кодів реальних ваг розрядів інших «неточних» розрядів відбувається аналогічно з врахуванням раніше визначених кодів ваг молодших «неточних» розрядів. Після калібрування всіх m «неточних» розрядів режим самокалібрування закінчується. Граф схему самокалібрування з осередненням на розгортках представлено на Фіг.3.

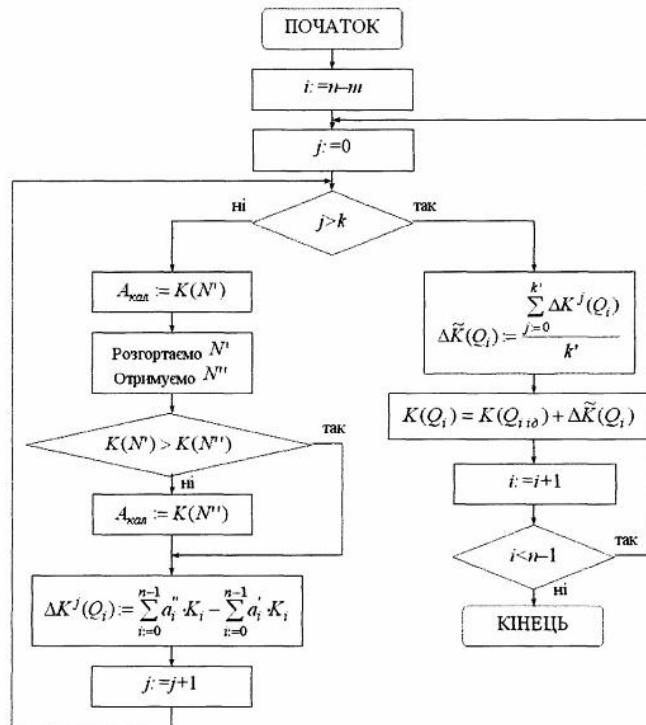
У режимі безпосереднього перетворення аналоговий комутатор 6 перемикає вхідну шину 1 на перший вхід схеми порівняння 7. Вхідний аналоговий сигнал врівноважується з допомогою регістра послідовного наближення 11, регістра 10 і ЦАП 9. Отриманий цифровий еквівалент подається в цифровий обчислювальний пристрій 13, де знаходиться цифровий еквівалент вхідного аналогового сигналу, що з'являється на вихідних шинах 16.



Фиг. 1



Фиг. 2



Фиг. 3