УКРАЇНА

(19) UA (11) 43254 (13) U

(51) МПК (2009)
H03M 1/22

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС
ДО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЕННЯ

1

(21) u200902282
(22) 16.03.2009
(24) 10.08.2009
(46) 10.08.2009, Бюл.№ 15, 2009 р.
(72) АЗАРОВ ОЛЕКСІЙ ДМИТРОВИЧ, ЗАХАРЧЕНКО СЕРГІЙ МИХАЙЛОВИЧ, БОЙКО ОЛЕКСАНДР ВОЛОДИМИРОВИЧ
(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
(57) Пристрій аналого-цифрового перетворення, який містить вхідну аналогову шину та вихідну цифрову шину, схему порівняння, регістр послідовного наближення, цифро-аналоговий перетворювач із ваговою надлишковістю, блок постійної пам'яті, лічильник адреси, причому другий аналоговий вхід схеми порівняння під'єднано до виходу цифро-аналогового перетворювача із ваговою надлишковістю, вихід схеми порівняння з'єднано з інформаційною шиною результату порівняння, яку з'єднано з інформаційними входами регістра послідовного наближення, лічильник адреси з'єднано з першим входом блока постійної пам'яті, який **відрізняється** тим, що в нього введено шину нульового потенціалу, комутатор, генератор калібрувальних сигналів, генератор імпульсів, блок оперативної пам'яті, цифровий обчислювальний пристрій, блок елементів АБО, шину керуючих сигналів блока керування, причому вхідну аналогову шину з'єднано з першим інформаційним входом комутатора, вихід генератора калібрувальних сигналів з'єднано з другим інформаційним входом комутатора, третій інформаційний вхід комутатора з'єднано з шиною нульового потенціалу, вихід комутатора з'єднано з першим аналоговим входом схеми порівняння, вхід генератора калібрувальних сигналів з'єднано з відповідним виходом шини керуючих сигналів блока керування, вхід генератора імпульсів з'єднано з відповідним виходом шини керуючих сигналів блока керування, а вихід генератора імпульсів з'єднано з входом регістра послідовного наближення і входом лічильника адреси, виходи регістра послідовного наближення з'єднано з відповідними першими входами блока елементів АБО і першими входами цифрового обчислювального пристрою, другий вхід блока постійної пам'яті з'єднано з відповідним виходом шини керуючих сигналів блока керування, вихід блока постійної пам'яті через шину, керовану відповідним виходом шини керуючих сигналів блока керування, з'єднано з другим входом блока елементів АБО, виходи блока елементів АБО з'єднано з відповідними входами цифро-аналогового перетворювача із ваговою надлишковістю, другий вхід цифрового обчислювального пристрою з'єднано з шиною керуючих сигналів блока керування, треті входи цифрового обчислювального пристрою з'єднано з другим блоком постійної пам'яті, четверті входи цифрового обчислювального пристрою об'єднано з блоком оперативної пам'яті, виходи цифрового обчислювального пристрою з'єднано з вихідною цифровою шиною, генератор калібрувальних сигналів містить джерело струму, підсилювач постійного струму, два конденсатори і шість ключових елементів, перший вивід джерела струму з'єднано з шиною нульового потенціалу, другий вивід джерела струму об'єднано з першою клемою ключового елемента, другу клему даного ключового елемента з'єднано з першою клемою першого ключового елемента, першим виводом конденсатора, від'ємним входом підсилювача постійного струму і ключовим елементом, який другим виводом під'єднано до конденсатора і другого ключового елемента, додатний вхід підсилювача постійного струму з'єднано з шиною нульового потенціалу, вихід підсилювача постійного струму, що є виходом генератора калібрувальних сигналів, з'єднано з другою клемою ключового елемента, другим виводом конденсатора, другий конденсатор першим виходом з'єднано з ключовими елементами, перший із яких підключено до вхідної шини, а другий - до шини нульового потенціалу, другий вихід конденсатора з'єднано з ключовими елементами, перший підключено до входу першого конденсатора, а другий - до шини нульового потенціалу.

2

Корисна модель відноситься до галузі цифрової вимірювальної і обчислювальної техніки і може бути використана для перетворення аналогових величин в цифрові.

(19) UA (11) 43254 (13) U

Відомий аналого-цифровий перетворювач [А.с. СРСР №1513619, М. кл. Н 03 М 1/26, бюл. № 37, 1989], який містить вхідну аналогову шину, блок опорної напруги, перший, другий, третій, четвертий, п'ятий аналогові комутатори, операційний підсилювач, вихідну аналогову шину, резистор, блок вибірки-зберігання, блок порівняння струмів, додатковий перетворювач код-струм, основний перетворювач код-струм, перший, другий регістр зсуву, регістр, блок елементів АБО, регістр послідовного наближення, блок керування, обчислювальний блок, шину "Запис", вхідну цифрову шину, вихідну цифрову шину, шину "Режим перетворення", шину "Контроль", шину "Пуск", шину "Кінець перетворення", причому перший інформаційний вхід першого аналогового комутатора є аналоговою вхідною шиною, його керуючий вхід підключений до першого виходу блоку керування, перший, другий і третій виходи якого являються відповідно шинами "Режим перетворення", "Контроль", "Пуск", четвертий вхід підключено до виходу блоку порівняння струмів, другий і третій входи підключено відповідно до тактового і інформаційного входів регістру послідовного наближення, виходи з четвертого до восьмого підключено до входів обчислювального блоку відповідно від першого до п'ятого, перші виходи якого являються вихідною цифровою шиною, шості входи підключено до відповідних дев'ятих виходів блоку керування, десятий і одинадцятий виходи якого підключено відповідно до входів запису і зсуву першого регістру зсуву, виходи якого підключено до входів додаткового перетворювача код-струм, перший вихід блоку опорної напруги підключено до другого інформаційного входу першого аналогового ключа, вихід якого підключено до першого інформаційного входу другого аналогового комутатора, керуючий вхід якого підключено до дванадцятого виходу блоку керування, другий і третій інформаційні входи об'єднано і підключено до загальної шини, четвертий інформаційний вхід підключено до другого виходу блоку опорної напруги, перший і другий виходи підключено відповідно до першого інформаційного входу третього аналогового комутатора і до інформаційного входу блоку вибірки-зберігання, керуючий вхід якого підключено до тринадцятого виходу блоку керування, вихід підключено до другого інформаційному входу третього аналогового комутатора, керуючий вхід якого підключено до чотирнадцятого виходу блоку керування, вихід підключено до першого інформаційного входу четвертого аналогового комутатора, другий інформаційний вхід якого об'єднано з входом операційного підсилювача і підключено до першого виходу п'ятого аналогового комутатора, третій інформаційний вхід підключено до виходу операційного підсилювача і вихідної аналогової шини, четвертий інформаційний вхід об'єднано з інформаційним входом блоку порівняння струмів і підключено до другого виходу п'ятого аналогового комутатора, перший і другий виходи підключено до відповідних виходів резистора, керуючий вхід підключено до п'ятнадцятого виходу блоку керування, шістнадцятий вихід якого підключено до керуючого входу блоку порівняння струмів сімнадцятий вихід підключено до управляючого входу п'ятого аналогового комутатора, інформаційний вхід якого підключено до виходів додаткового і основного перетворювача код-струм, n входів останнього підключено до відповідних виходів регістра, тактові входи якого підключено до вісімнадцятого виходу блоку керування, перший і другий інформаційні входи підключено до виходів відповідних розрядів регістру послідовного наближення, вихід закінчення перетворення якого підключено до п'ятого входу блоку керування, виходи розрядів з третього до n-ого підключено до відповідних перших входів блоку елементів АБО, виходи якого підключено до відповідних інформаційних входів регістра з третього до n-ого, другі входи підключено до відповідних виходів другого регістру зсуву, виходи запису і зсуву якого підключено до відповідно до дванадцятого і двадцятого виходів блоку керування, шостий вхід якого підключено до другого виходу обчислювального блоку, двадцять перший і двадцять другий виходи підключено відповідно до сьомого і восьмого входів обчислювального блоку, двадцять третій вихід є вихідна шина "Закінчення перетворення" і підключений до дев'ятого входу обчислювального, десяті виходи якого є вхідною цифровою шиною, одинадцятий вхід є шиною "Запис".

Недоліком цього пристрою є низька параметрична надійність перетворення.

Найбільш близьким до пристрою, що заявляється, є аналого-цифровий перетворювач [А.с. СРСР №1221750, М. кл. Н 03 М 1/26, бюл. № 12, 1986], який містить схему порівняння, цифроаналоговий перетворювач із ваговою надлишковістю, регістр послідовного наближення, вхідну аналогову шину, шину "Запуск", блок постійної пам'яті, блок підсумовування, регістр, лічильник адреси, вихідну цифрову шину, шину тактових імпульсів, причому вхідну аналогову шину під'єднано до першого входу схеми порівняння, другий вхід якої під'єднано до виходу цифроаналогового перетворювача із ваговою надлишковістю, а вихід схеми порівняння - до інформаційного входу регістру послідовного наближення, перший керуючий вхід якого під'єднано до шини "Запуск", другий керуючий вхід регістру послідовного наближення з'єднано з шиною тактових імпульсів, вихід регістру послідовного наближення під'єднано до входу цифроаналогового перетворювача із ваговою надлишковістю, перший керуючий вхід лічильника адреси об'єднано з першим керуючим входом регістру і другим керуючим входом регістру послідовного наближення, другий керуючий вхід лічильника адреси об'єднано з другим керуючим входом регістру і першим керуючим входом регістру послідовного наближення, вихід лічильника адреси під'єднано до адресних входів блоку постійної пам'яті, керуючий вхід блоку постійної пам'яті під'єднано до виходу блоку порівняння, вихід блоку постійної пам'яті з'єднано з першим входом блоку підсумовування, вихід якого під'єднано до входу регістру, вихід регістру під'єднано до другого входу блоку підсумовування і до вихідної цифрової шини.

Недоліком цього пристрою є низька параметрична надійність перетворення, що обмежує галузь використання корисної моделі.

В основу корисної моделі поставлено задачу створення такого пристрою аналого-цифрового перетворення, в якому за рахунок введення нових блоків і зв'язків між ними досягається підвищення параметричної надійності перетворення, що розширює галузь використання пристрою.

Поставлена задача досягається тим, що у пристрій аналого-цифрового перетворення, який містить вхідну аналогову шину та вихідну цифрову шину, схему порівняння, регістр послідовного наближення, цифроаналоговий перетворювач із ваговою надлишковістю, блок постійної пам'яті, лічильник адреси причому другий аналоговий вхід схеми порівняння під'єднано до виходу цифроаналогового перетворювача із ваговою надлишковістю, вихід схеми порівняння з'єднано з інформаційною шиною результату порівняння, яку з'єднано з інформаційними входами регістру послідовного наближення, лічильника адреси з'єднано з входом блоку постійної пам'яті, введено шину нульового потенціалу, комутатор, генератор калібрувальних сигналів, генератор імпульсів, блок оперативної пам'яті, цифровий обчислювальний пристрій, блок елементів АБО, шину керуючих сигналів блоку керування, причому вхідну аналогову шину з'єднано з першим інформаційним входом комутатора, вихід генератора калібрувальний сигналів з'єднано з другим інформаційним входом комутатора, третій інформаційний вхід комутатора з'єднано з шиною нульового потенціалу, вихід комутатора з'єднано з першим аналоговим входом схеми порівняння, вхід генератора калібрувальних сигналів з'єднано з відповідним виходом шини керуючих сигналів блоку керування, вхід генератора імпульсів з'єднано з відповідним виходом шини керуючих сигналів блоку керування, а вихід генератора імпульсів з'єднано з входом регістру послідовного наближення і входом лічильника адреси, виходи регістру послідовного наближення з'єднано з відповідними першими входами блоку елементів АБО і першими входами цифрового обчислювального пристрою, другий вхід блоку пам'яті з'єднано з відповідним виходом шини керуючих сигналів блоку керування, вихід блоку постійної пам'яті через шину, керовану відповідним виходом шини керуючих сигналів блоку керування, з'єднано з другим входом блоку елементів АБО, виходи блоку елементів АБО з'єднано з відповідними входами цифроаналогового перетворювача із ваговою надлишковістю, другий вхід цифрового обчислювального пристрою з'єднано з шиною керуючих сигналів блоку керування, треті входи цифрового обчислювального пристрою з'єднано з другим блоком постійної пам'яті, четверті входи цифрового обчислювального пристрою об'єднано з блоком оперативної пам'яті, виходи цифрового обчислювального пристрою з'єднано з вихідною цифровою шиною, причому генератор калібрувальних сигналів містить джерело струму, підсилювач постійного струму, конденсатори і ключові елементи, перший вивід джерела струму з'єднано з шиною нульового потенціалу, другий вивід джерела струму об'єднано з першою клемою ключового елемента, другу клему даного ключового елемента з'єднано з першою клемою ключового елемента, першим виводом конденсатора, від'ємним входом підсилювача постійного струму і ключовим елементом, який, другим виводом під'єднано до конденсатора і іншого ключового елемента, додатний вхід підсилювача постійного струму з'єднано з шиною нульового потенціалу, вихід підсилювача постійного струму, що є виходом генератора калібрувальних сигналів, з'єднано з другою клемою ключового елемента, другим виводом конденсатора, другий конденсатор першим виходом з'єднано з ключовими елементами, перший із яких підключено до вхідної шини, а другий - до шини нульового потенціалу, другий вихід конденсатора з'єднано з ключовими елементами, перший підключено до входу першого конденсатора, а другий - до шини нульового потенціалу.

На Фіг.1 представлено структурну схему аналого-цифрового перетворювача, що реалізує запропонований спосіб, на Фіг.2 представлено структурну схему генератора калібрувальних сигналів.

Пристрій містить вхідну аналогову шину 18, яку з'єднано з першим інформаційним входом комутатора 2, вихід генератора калібрувальний сигналів 1 з'єднано з другим інформаційним входом комутатора 2, третій інформаційний вхід комутатора 2 з'єднано з шиною нульового потенціалу 17, вихід комутатора 2 з'єднано з першим аналоговим входом схеми порівняння 5, вхід генератора калібрувальних сигналів 1 з'єднано з відповідним виходом шини керуючих сигналів 14 блоку керування 12, другий аналоговий вхід схеми порівняння 5 під'єднано до виходу цифроаналогового перетворювача із ваговою надлишковістю 7, вихід схеми порівняння 5 з'єднано з інформаційною шиною результату порівняння 15, яку з'єднано з інформаційними входами регістру послідовного наближення 9, вхід генератора імпульсів 3 з'єднано з відповідним виходом шини керуючих сигналів 14 блоку керування 12, а вихід генератора імпульсів 3 з'єднано з входом регістру послідовного наближення 9 і входом лічильника адреси 4, вихід лічильника адреси 4 з'єднано з першим входом першого блоку постійної пам'яті 6, другий вхід першого блоку постійної пам'яті 6 з'єднано з відповідним виходом шини керуючих сигналів 14 блоку керування 12, вихід першого блоку постійної пам'яті 6 через шину керовану відповідним виходом шини керуючих сигналів 14 блоку керування 12 з'єднано з другим входом блоку елементів АБО 8, виходи регістру послідовного наближення 9 з'єднано з відповідними першими входами блоку елементів АБО 8 і першими входами цифрового обчислювального пристрою 11, виходи блоку елементів АБО 8 з'єднано з відповідними входами цифроаналогового перетворювача із ваговою надлишковістю 7, другий вхід цифрового обчислювального пристрою 11 з'єднано з шиною керуючих сигналів 14 блоку керування 12, треті входи цифрового обчислювального пристрою 11 з'єднано з другим блоком постійної пам'яті 13, четверті входи цифрового обчислювального пристрою об'єднано з блоком оперативної пам'яті 10, виходи цифрового обчислювального пристрою 11 з'єднано з вихідною цифровою шиною 16.

Генератор калібрувальних сигналів 1 містить джерело струму 19, перший вивід якого з'єднано з шиною нульового потенціалу 17, другий вивід

джерела струму 19 об'єднано з першою клемою ключового елемента 28. Друга клема ключового елемента 28 з'єднана з першою клемою ключового елемента 20, першою клемою ключового елемента 24, першим виводом конденсатора 21, від'ємним входом підсилювача постійного струму 22. Додатний вхід підсилювача постійного струму 22 з'єднано з шиною нульового потенціалу 17, вихід підсилювача постійного струму 22, що є виходом генератора калібрувальних сигналів 1, з'єднано з другою клемою ключового елемента 20, другим виводом конденсатора 21. Другу клему ключового елемента 24 з'єднано з першим виводом конденсатора 27 і першою клемою ключового елемента 26. Другу клему ключового елемента 26 з'єднано з шиною нульового потенціалу 17. Другий вивід конденсатора 27 з'єднано з першою клемою ключового елемента 25 і першою клемою ключового елемента 23, другу клему ключового елемента 25 з'єднано з шиною нульового потенціалу 17. Другу клему ключового елемента 23 з'єднано з вхідною шиною 18.

Пристрій працює у режимі самокалібрування і основного перетворення. Перед початком самокалібрування по команді блоку керування 12 комутатор 2 підключає вихід генератора калібрувальних сигналів 1 до першого входу схеми порівняння 5, а регістр послідовного наближення 9 встановлюється у нульовий стан керуючим сигналом 14 блоку керування 12. Процес самокалібрування здійснюється послідовно від молодших розрядів до старших, причому першим калібрується (n-m)-ий розряд. У цьому випадку за допомогою лічильника адреси 4, який отримує імпульси від генератора імпульсів 3, і першого блоку постійної пам'яті 6 через блок елементів АБО 8 на цифровий вхід цифроаналогового перетворювача із ваговою надлишковістю 7 подається кодова комбінація, яка забезпечує вмикання (n-т)-ого розряду і деяких інших молодших розрядів таким чином, щоб виконувалось співвідношення на виході цифроаналогового перетворювача із ваговою надлишковістю 7:

$$A^0_{\ddot{a}\ n-m} \geq Q_{n-m} = \Delta Q_{n-m},$$

$$\Delta Q_{n-m} = \delta Q \cdot Q_{n-m}.$$

По команді блоку керування 12 на виході генератора калібрувальних сигналів 1 починає формуватись аналоговий сигнал $A_{клб}$, який лінійно зростає аж доти, поки сигнали на вході схеми порівняння 5 не зрівняються. При цьому схема порівняння 5 спрацьовує. Генератор калібрувальних сигналів 1 являє собою інтегратор на базі операційного підсилювача 22, а також містить джерело струму 19. Для цього по команді блоку керування 12 замикає ключовий елемент 20 і струм зміщення заряджає конденсатор 21. Коли ключовий елемент 20 розмикається, заряд на конденсаторі 21 фіксується і на виході генератора встановлюється постійний рівень напруги. Після розмикання ключового елемента 20 інтегратора блок керування 12 блокує подачу коду з виходу блоку постійної пам'яті 6 і розпочинає процес порозрядного врівноваження, в результаті якого у регістрі послідовного наближення 9 формується код N'_{n-m}, який надходить із входу 15. Для точного визначення ваги розряду що калібрується по команді блоку керування 12 ключ 28 розмикається і замикаються ключові елементи 23 і 26, конденсатор 27 заряджається. На наступному етапі ключові елементи 23 і 26 розмикаються, а 24 і 25 замикаються, заряд з конденсатора 27 перетікає у конденсатор 21, формуючи нове значення допоміжного сигналу. Причому ємність конденсатора 27 набагато менша за ємність конденсатора 21. У міру формування вказаного коду і появі значущих розрядів із блоку постійної пам'яті 6 беруться коди цифрових еквівалентів ваг значущих розрядів і послідовно подаються у цифровий обчислювальний пристрій 11, де розраховується:

$$K'_{n=m(`A^{`0}_{\ddot{a}i-`0})} = \sum_{0}^{n-m-1} a'_i K_{i(`A^{`0}_{\ddot{a}i-`0})}.$$

Далі примусово вимикається (n-m)-ий розряд і проводиться компенсація $A^0_{\partial n-m}$, процесі чого у цифровому обчислювальному пристрої 11 отримується K''_{n-m}:

$$K''_{n-m(`A^{`0}_{\ddot{a}i-`0})} = \sum_{0}^{n-m-1} a_i'' K_{(`A^{`0}_{\ddot{a}i-`0})}.$$

Після цього знаходиться вага (n-m)-го розряду для допоміжного сигналу $A^0_{\ddot{a}n-m}$ у вигляді:

$$K^0{}_{n-m(`A^{`0}_{\ddot{a}i-`0})} = K^{0''}{}_{n-m(`A^{`0}_{\ddot{a}i-`0})} - K^{0'}{}_{n-m(`A^{`0}_{\ddot{a}i-`0})}$$

Отриманий код фіксується у блоці оперативної пам'яті 10 у (n-m)-у комірку пам'яті. Далі допоміжний сигнал змінюється з $A^0_{\partial n-m}$ на $A^1_{\partial n-m}$ і процедура повністю повторюється. Вага розряду отримана за допомогою допоміжного сигналу $A^1_{\partial n-m}$ за допомогою цифрового обчислювального пристрою 11 додається до коду, який міститься у блоці оперативної пам'яті 10 у (n-m)-у комірку пам'яті. В результаті вага розряду буде знайдена шляхом осереднення за формулою:

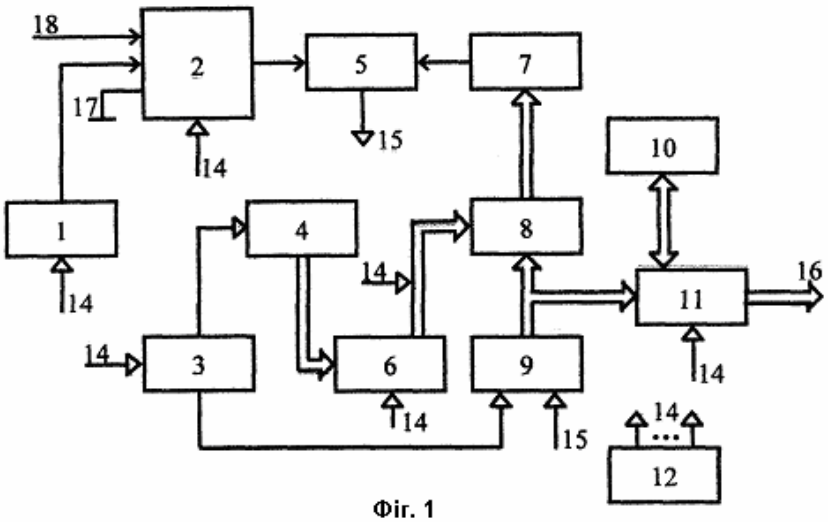
$$K_{n-m} = \frac{\sum_{i=0}^{S-1} K_{n-m(`A^{i}_{\ddot{a}i-`0})}}{S}.$$

Після цього розпочинається процес калібрування (n-т+1)-го розряду і вона продовжується аж до калібрування старшого (n-1)-го розряду. Після цього аналого-цифровий перетворювач переходить у режим калібрування зсуву нуля. Комутатор 2 підключає перший вхід схеми порівняння 5 до шини нульового потенціалу 17. По команді блоку керування 12 здійснюється процес порозрядного врівноваження вхідного сигналу. У міру формування значущих розрядів у цифровому обчислювальному пристрої 11 обчислюється код зміщення нуля і фіксується у блоці оперативної пам'яті 10. На цьому процес калібрування закінчується і пристрій переходить у режим основного перетворення.

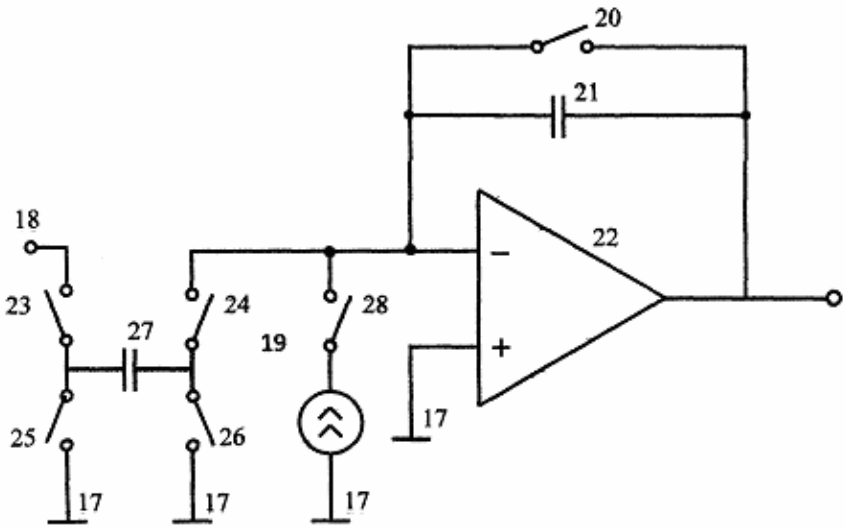
У режимі основного перетворення комутатор 2 підключає перший вхід схеми порівняння 5 до вхідної аналогової шини 18, а також у цифровий обчислювальний пристрій 11 подається код зміщення нуля. Далі розпочинається перетворення

вхідного аналогового сигналу $A_{вх}$ у вихідний код $K_{вих}$ який передається вихідній цифровій шині 16:

$$K(A_{âõ}) = \sum_{0}^{n-1} a_i K_i + K_{cñ0}.$$



Фіг. 1



Фіг. 2

Комп'ютерна верстка Г. Паяльніков Підписне Тираж 28 прим.

Міністерство освіти і науки України

Державний департамент інтелектуальної власності, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601