

СТРУКТУРНИЙ СИНТЕЗ ЛОГІЧНИХ ЕЛЕМЕНТІВ З ФУНКЦІОНАЛЬНИМ НАДЛИШКОМ ТА ВИМОГИ ДО ПОКАЗНИКІВ ЇХ НАДІЙНОСТІ

Вступ

До найбільш розповсюджених методів структурного синтезу цифрових пристроїв відносяться[1]:

1. Метод, який використовує математичну модель об'єкта, або формульний метод.
2. Метод нарощування функцій.
3. Метод логічного синтезу, що оснований на використанні булевої алгебри.

Під час проектування логічних елементів (ЛЕ) доцільно поєднувати розглянуті методи синтезу.

Відсутність можливості виконання в одному ЛЕ кількох логічних функцій на виходах призводить до зростання потужності споживання, середньої затримки розповсюдження сигналу та зниження показників надійності побудованих логічних схем. В 599 серії елементів транзисторно-транзисторної логіки (ТТЛ) з функціональним надлишком (ФН) усунені вказані недоліки шляхом реалізації двох логічних функцій І-АБО-НІ/І-АБО на інверсному та прямому виходах елемента [2]. Проте, до цих пір не розглянуті питання структурного синтезу транзисторно-транзисторних ЛЕ з ФН, не наведені приклади застосування цих пристроїв та не вказані переваги використання ЛЕ з ФН в порівнянні з відомими ЛЕ.

В роботі [3] показано, що ефективність використання ЛЕ з ФН визначається відношенням ймовірностей безвідмовної роботи по раптовим відмовам групи ЛЕ з ФН до ймовірності безвідмовної роботи аналогічної групи звичайних ЛЕ. Але, до цього часу не знайдено вимог до показників надійності ЛЕ з ФН таких, як, наприклад, інтенсивність раптових відмов.

Метою роботи є:

1. Проведення структурного синтезу ТТЛ-елементів з двома входами, що мають два та чотири виходи відповідно.
2. Знаходження вимог до показників надійності ЛЕ з ФН, якщо відомі показники надійності звичайних ЛЕ.

Розглянемо перше з цих питань.

Структурний синтез логічних елементів з функціональним надлишком

При проектуванні ЛЕ з ФН будемо поєднувати метод нарощування функцій та метод логічного синтезу. На першому етапі синтезу за допомогою методу нарощування функцій отримаємо проміжні логічні схеми з потрібною кількістю виходів та однаковими логічними функціями на виходах елемента. Серед відомих ТТЛ-елементів, що містять вхідний, проміжний та вихідний каскади, виділимо схему з неінвертуючим каскадом (НК), де емітер транзистора проміжного каскада (ПК) не пов'язаний з вихідним каскадом [4]. Також виділимо дві логічних схеми з інвертуючим каскадом (ІК), де колектор транзисторів ПК не пов'язані з вихідними каскадами [2,5]. Якщо тепер, наприклад, у схемі з ІК [2] до колектора транзистора ПК підключити НК зі схеми [4], то отримаємо проміжний логічний елемент з функціональним надлишком. Проміжний ЛЕ з ФН, який виконує дві однотипні логічні функції АБО-НІ, отримаємо з попередньої схеми, якщо замінимо вхідний (ВК), проміжний (ПК) каскади схеми „І” на ВК, ПК схеми „АБО” (рис.1).

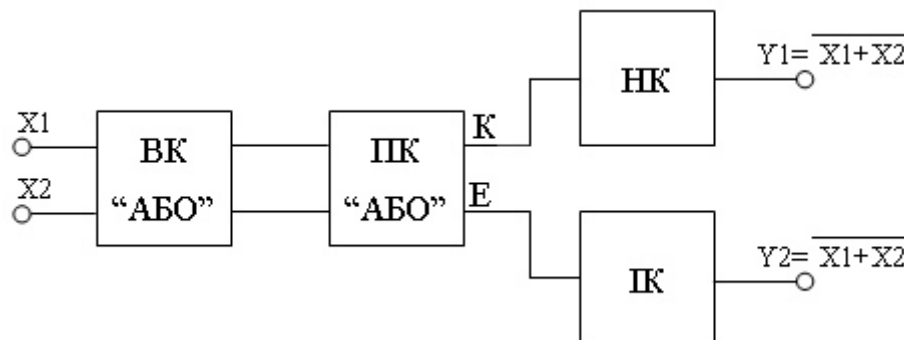


Рис.1. Структурна схема проміжного логічного елемента з функціональним надлишком, що має два виходи

В схемі (рис. 1) X1, X2-входи логічного елемента; К, Е-колектор та емітер транзистора проміжного каскада; Y1, Y2-виходи логічного елемента.

Побудувати проміжну схему логічного елемента з двома входами та чотирма логічними функціями НІ на виходах можна на двох інверторах.

На другому етапі логічного синтезу для проміжних логічних елементів з ФН використовуємо метод нарощування функцій, або метод логічного синтезу шляхом зміни логічних функцій на входах Е, К інвертуючого (ІК) та неінвертуючого (НК) каскадів для отримання необхідних логічних функцій на виходах ЛЕ з ФН.

Якщо логічна функція І-НІ на колекторі транзистора ПК „АБО” (див.рис.1) побудована за рахунок додаткового введення резистора R2 і двох діодів VD1, VD2 в проміжний каскад (ПК2), на емітері транзистора (ПК2) логічна функція не змінюється, тобто „АБО” як у проміжній схемі (див.рис.1), тоді в підсумку отримаємо логічний елемент І-НІ/АБО-НІ (рис.2) [6].

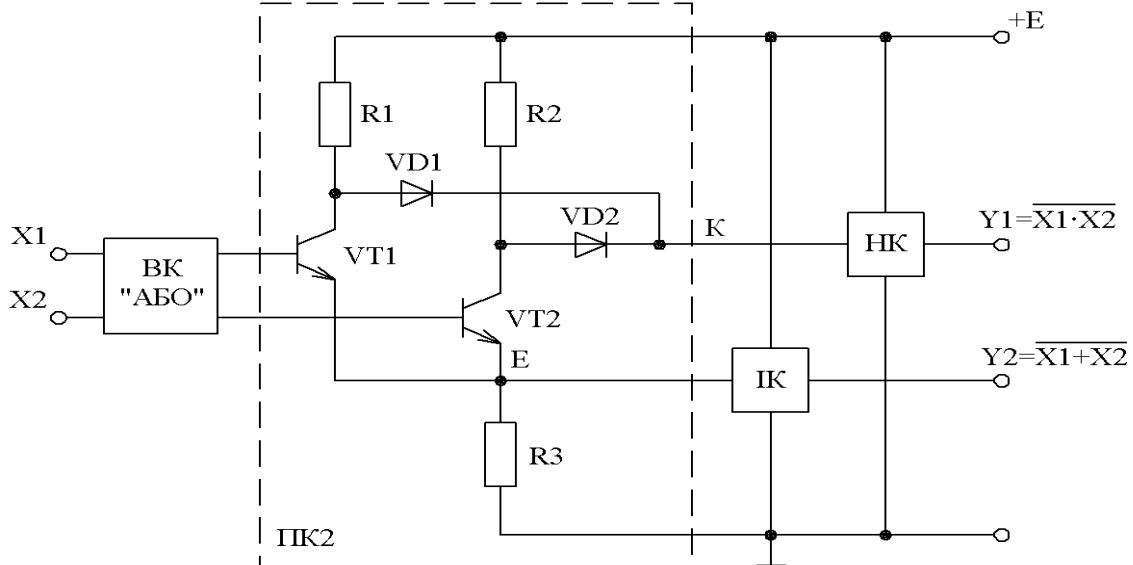


Рис.2. Структурна схема логічного елемента І-НІ/АБО-НІ

Логічну функцію АБО на емітері та колекторі транзистора ПК „АБО” (див.рис.1) отримаємо за рахунок додаткового введення в проміжний каскад (ПК3) транзистора VT3 і резисторів R2, R3, які мають наступне співвідношення номінальних значень $R2 \gg R4$, $R3 \gg R4$, що утворює логічний елемент АБО/АБО-НІ (рис.3) [7].

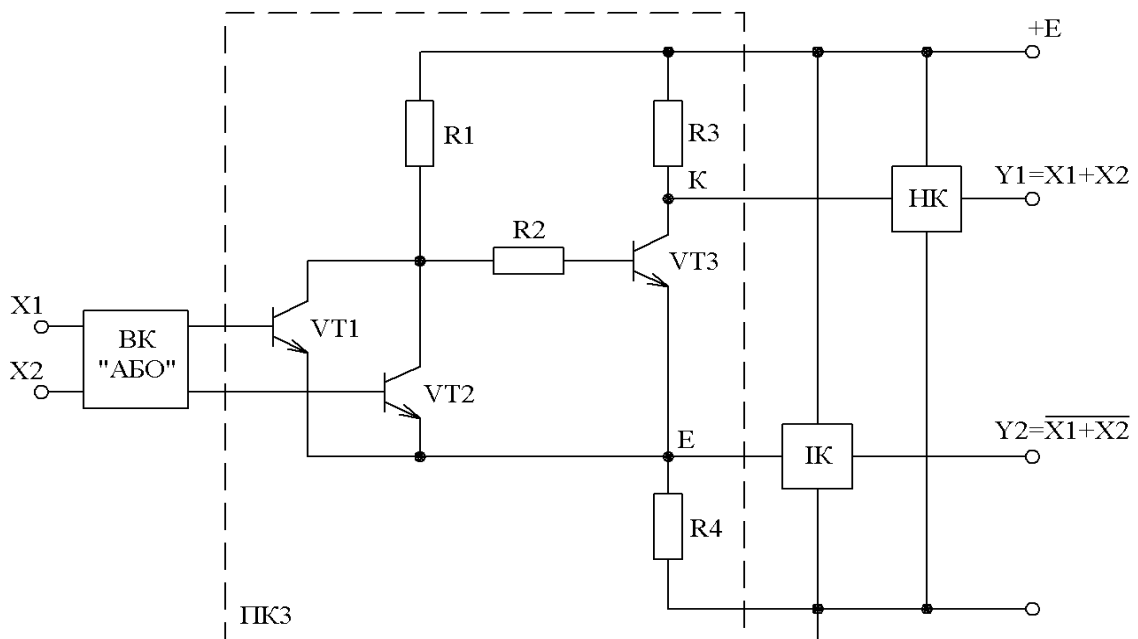


Рис.3. Структурна схема логічного елемента АБО/АБО-НІ

Якщо змінити вхідний каскад схеми „АБО” (рис.3) [7] на ВК „І” та забрати транзистор VT2 з ПКЗ, то отримаємо відповідно логічні функції І/І-НІ на виходах Y1, Y2 наступної схеми.

Як відомо, синхронізація цифрових пристроїв різної швидкодії забезпечується використанням ліній затримки. Синтезуємо логічний елемент з однаковими функціями на виходах та різною швидкодією. В проміжній схемі з ВК „АБО” (див.рис.1) з’єднаємо ПК „АБО” зі складним інвертором із затримкою (СІЗ), що також має два входи К, Е, тоді в підсумку маємо логічний елемент АБО-НІ/АБО-НІ із затримкою τ (рис.4) [8].

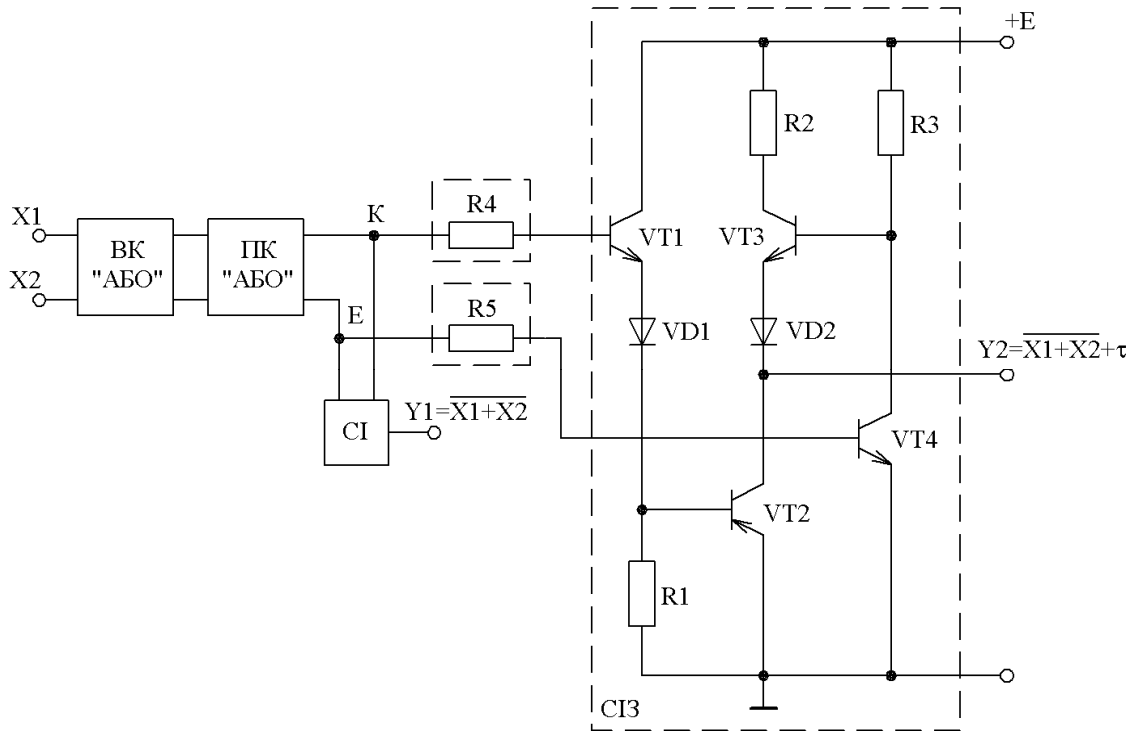


Рис.4. Структурна схема логічного елемента АБО-НІ/АБО-НІ із затримкою

Недоліком цієї схеми є малий час затримки τ , який визначається швидкодією одного транзистора схеми. Для збільшення часу затримки пропонується в схему ЛЕ з ФН (рис.4) [8] додатково ввести резистори R4, R5, які збільшують час вмикання та вимикання транзисторів VT1, VT4 аналогічно відомим схемам резисторно – транзисторної логіки, що мають низьку швидкодію [1,2].

На другому етапі синтеза можливе використання метода нарощування функцій для перетворення проміжної схеми логічного елемента, яка отримана після першого етапу синтеза. Якщо в якості проміжної схеми використати логічний елемент І-НІ/АБО-НІ (див.рис.2) [6], в яку додатково ввести проміжні каскади „АБО”, „І” та два неінвертуючих каскада, то в підсумку отримаємо логічний елемент з функціональним надлишком І/І-НІ/АБО/АБО-НІ з чотирма виходами [9].

Таким чином, розглянута послідовність дій при синтезі логічних елементів з функціональним надлишком І-НІ/АБО-НІ [6], АБО/АБО-НІ [7], І/І-НІ, АБО-НІ/АБО-НІ із затримкою [8], АБО/І-НІ/АБО-НІ [9], які доповнюють базову 599 серію ТТЛ-схем з функціональним надлишком. Наведемо приклади застосування перелічених логічних елементів у функціональних вузлах обчислювальної апаратури.

Застосування синтезованих логічних елементів з функціональним надлишком

Логічний елемент з ФН, що реалізує логічну функцію АБО-НІ/АБО-НІ із затримкою (див.рис.4) [8] використовується для побудови різних схем тригерів, де для зворотнього зв’язку з входами логічних елементів застосовуються додаткові лінії затримки, а також для усунення відмов типу „збій” в логічних схемах. В функціональних вузлах синтезовані логічні елементи АБО-НІ/АБО [7], І-НІ/І використовуються в схемах шифраторів з прямими та інверсними виходами (рис.5), логічні елементи І/І-НІ/АБО/АБО-НІ [9], І-НІ/АБО-НІ [6], АБО/АБО-НІ [7], І-НІ/І в схемах лінійних дешифраторів з прямими та інверсними виходами (рис.6).

Перехід з логічного базиса АБО-НІ в базис І-НІ, або навпаки, з базиса І-НІ в базис АБО-НІ, здійснюється за допомогою відомих правил де Моргана та подвійної інверсії.

На відміну від відомих схем тригерів, шифраторів, лінійних дешифраторів на звичайних логічних елементах з функціональним надлишком мають рівномірну затримку розповсюдження сигналів по всім виходам і меншу кількість з’єднань та логічних елементів, наприклад в схемі на рис.6 не потрібен

інвертор для змінної X1, а в схемах тригерів немає додаткових ліній затримки, що підвищує надійність побудованих схем. Для синтезованих ЛЕ з ФН визначимо вимоги до показників їхньої надійності.

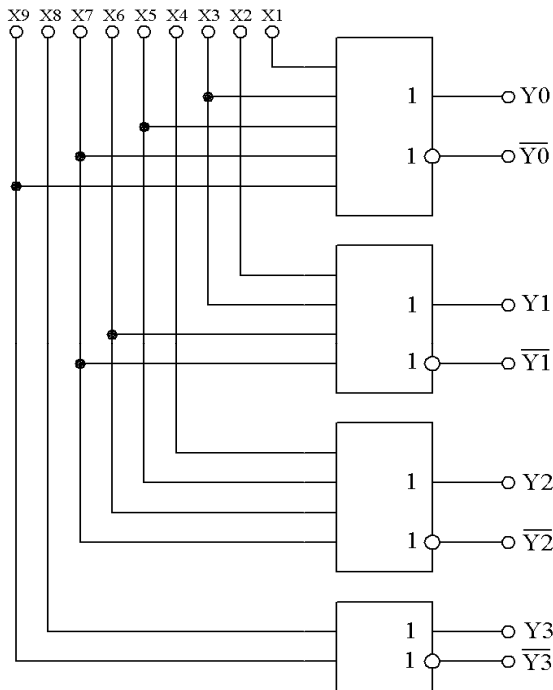


Рис.5. Шифратор з прямими та інверсними виходами на логічних елементах АБО/АБО-НІ

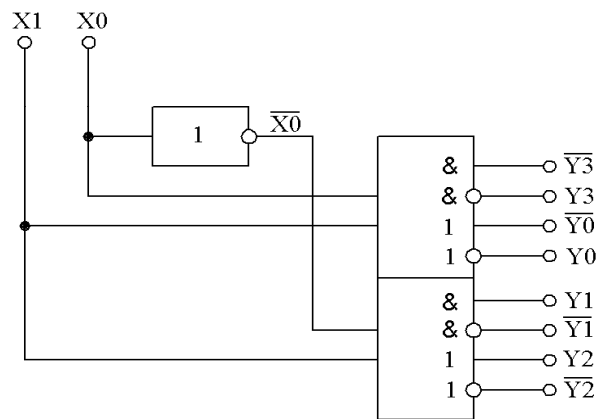


Рис.6. Лінійний дешифратор з прямими та інверсними виходами на логічних елементах І/І-НІ/АБО/АБО-НІ

Вимоги до показників надійності логічних елементів з функціональним надлишком

Нехай ЛЕ з ФН із n входами містить K_0 логічних елементів в корпусі мікросхеми та виконує m різних логічних функцій на виходах. Для звичайних ЛЕ з n входами та одним виходом, які виконують m логічних функцій аналогічно ЛЕ з ФН, знаходимо кількість логічних елементів в корпусі мікросхеми K_i ($i=1\dots m$) із довідкової літератури [11]. Для порівняння показників надійності ЛЕ з ФН та звичайних ЛЕ, треба, щоб вказані логічні елементи виконували однаковий об'єм логічних функцій. Визначимо мінімальний однаковий об'єм логічних функцій за допомогою найменшого спільного кратного кількості логічних елементів НСК (K_0, K_i ($i=1\dots m$)). Кількість корпусів мікросхем звичайних ЛЕ та ЛЕ з ФН визначимо за допомогою виразів:

$$e_i = \text{НСК}(K_0, K_i (i=1\dots m)) / K_i, \quad (1)$$

$$e_0 = \text{НСК}(K_0, K_i (i=1\dots m)) / K_0. \quad (2)$$

Ймовірності безвідмовної роботи по раптовим відмовам для e_0 корпусів мікросхем ЛЕ з ФН та для e_i ($i=1\dots m$) корпусів мікросхем звичайних ЛЕ, знаходяться по формулам [3]:

$$P_0(t) = \prod_{j=1}^{e_0} \exp(-\lambda_j t), \quad (3)$$

$$P_B(t) = \prod_{i=1}^m \prod_{j=1}^{e_i} \exp(-\lambda_{ij} t). \quad (4)$$

Вважаємо, що логічні елементи в різних корпусах мікросхем, які виконують однакові логічні функції, мають однакові показники надійності, тобто $\lambda_1=\lambda_2=\dots=\lambda$ $e_0=\lambda_0$ для ЛЕ з ФН, та $\lambda_1=\lambda_2=\dots=\lambda$ $e_i=\lambda_i$ для m груп звичайних ЛЕ. Тоді вирази (3), (4) здобувають вигляд:

$$P_0(t) = [\exp(-\lambda_0 t)]^{e_0}, \quad (5)$$

$$P_B(t) = \prod_{i=1}^m [\exp(-\lambda_i t)]^{e_i}. \quad (6)$$

Як відомо, для будь-яких x, y та додатних a, b справедливі рівності [12]:

$$(a^y)^x = a^{yx}, \quad a^y a^x = a^{y+x}, \quad a^y / a^x = a^{y-x}. \quad (7)$$

З урахуванням формул (7), вирази (5), (6) перетворюються таким чином:

$$P_0(t) = \exp(-e_0 \lambda_0 t), \quad (8)$$

$$P_B(t) = \exp\left(t \sum_{i=1}^m (-e_i \lambda_i)\right). \quad (9)$$

Ефективність використання ЛЕ з ФН в порівнянні зі звичайними ЛЕ визначається коефіцієнтом підвищення надійності K_n , або відношенням $P_0(t)$ до $P_B(t)$ [3,13]. Визначимо K_n з урахуванням формул (7 – 9).

$$K_n = \exp\left[t \left(\sum_{i=1}^m (e_i \lambda_i) - e_0 \lambda_0 \right)\right]. \quad (10)$$

З виразу (10) бачимо, що коефіцієнт підвищення надійності по раптовим відмовам K_n залежить від часу експлуатації t . Коефіцієнт підвищення надійності збільшується із зростанням часу t , якщо $\sum_{i=1}^m (e_i \lambda_i) - e_0 \lambda_0 > 0$, та зменшується із зростанням часу t , якщо $\sum_{i=1}^m (e_i \lambda_i) - e_0 \lambda_0 < 0$. ЛЕ з ФН більш ефективні, ніж звичайні ЛЕ, якщо коефіцієнт підвищення надійності більше одиниці [13]. З урахуванням цього перетворимо вираз (10):

$$\exp\left[t \left(\sum_{i=1}^m (e_i \lambda_i) - e_0 \lambda_0 \right)\right] > 1. \quad (11)$$

Візьмемо натуральний логарифм від обох частин нерівності (11), та для часу $t > 0$ отримаємо вираз:

$$\lambda_0 < \frac{1}{e_0} \sum_{i=1}^m (e_i \lambda_i). \quad (12)$$

Нерівність (12) вказує на вимоги до інтенсивності відмов λ_0 ЛЕ з ФН, якщо відомі інтенсивності відмов звичайних ЛЕ λ_i ($i=1\dots m$) та кількості корпусів мікросхем e_i, e_0 .

Знайдемо вимоги до синтезованої логічної схеми з ФН, якщо відомі інтенсивності відмов λ_0, λ_i ($i=1\dots m$), розрахункові значення яких знаходяться за допомогою фізичного методу на основі відомих електричних схем, топологій, а також відомої технології виготовлення мікросхем. Нехай ЛЕ з ФН містить в корпусі мікросхеми з 14 виводами три логічних елемента з двома входами, та виконує дві логічні функції на його виходах ($m=2$): І-НІ/АБО-НІ (див.рис.2) [6]. Для звичайних логічних елементів І-НІ, АБО-НІ знаходимо за допомогою довідкової літератури [11] кількість ЛЕ в корпусах мікросхем: $K_1=4, K_2=4$. Визначимо найменше спільне кратне кількості ЛЕ з мінімальним однаковим об'ємом

логічних функцій: НСК (3,4,4)=12. За допомогою виразів (1), (2) знайдемо кількість корпусів мікросхем: $e_0=4$ для логічного елемента І-НІ/АБО-НІ та $e_1=3$, $e_2=3$ для логічних елементів І-НІ, АБО-НІ. Нехай відомі значення інтенсивностей відмов логічних елементів І-НІ/АБО-НІ, І-НІ, АБО-НІ: $\lambda_{I-NI/ABO-NI}$, λ_{I-NI} , λ_{ABO-NI} . Підставимо значення кількості корпусів ЛЕ та інтенсивності відмов в нерівність (12), і отримаємо наступний вираз:

$$\lambda_{I-NI/ABO-NI} < \frac{3}{4}(\lambda_{I-NI} + \lambda_{ABO-NI}). \quad (13)$$

Таким чином, отримано вираз (13), який вказує на вимоги до інтенсивності відмов ЛЕ з функціональним надлишком І-НІ/АБО-НІ, якщо відомі інтенсивності відмов логічних елементів І-НІ, АБО-НІ.

Висновки

Вперше розглянуто питання структурного синтеза транзисторно-транзисторних елементів з функціональним надлишком. Запропоновано проводити структурний синтез ЛЕ з ФН в два етапи: на першому етапі створювати проміжний логічний елемент з ФН за допомогою метода нарощування функцій, а на другому етапі зробити перетворення проміжного ЛЕ в ЛЕ з ФН з потрібними логічними функціями на виходах за допомогою методів логічного синтезу та нарощування функцій.

Для збільшення часу затримки, запропоновано в схему логічного елемента АБО-НІ/АБО-НІ із затримкою, додатково ввести резистори, які регулюють струми баз транзисторів, що дозволяє збільшити час вмикання та вимикання цих транзисторів.

На відміну від відомих логічних схем, схеми на ЛЕ з ФН мають рівномірну затримку розповсюдження сигналів по всім виходах, меншу кількість з'єднань та логічних елементів, що підвищує надійність побудованих схем.

Отримано вирази, які вказують на вимоги до коефіцієнта підвищення надійності, та обмеження на значення інтенсивності раптових відмов ЛЕ з ФН, якщо відомі кількості корпусів мікросхем звичайних ЛЕ та ЛЕ з ФН, та інтенсивності раптових відмов звичайних ЛЕ.

Література

1. Полковський І.М., Стыцько В.П., Рудберг Ю.Е. Схемотехника микрорелектронной аппаратуры.- М.: Радио и связь, 1981. – 320с.
2. Преснухин Л.Н., Воробьев Н.В., Шишкевич А.А. Расчет элементов цифровых устройств: Учеб. пособие / Под ред. Л.Н. Преснухина. – 2-е изд. перераб. и доп.- М.: Высшая школа, 1991. – 526 с.
3. Стронський В. Надійність логічних мікросхем з функціональною надмірністю // Сучасні проблеми радіоелектроніки, телекомунікацій та приладобудування. Матеріали I Міжнародної конференції. – Вінниця, 2005. – с.34-35.
4. А.С. СССР № 729848. Логический элемент И-НЕ / Шакиров М.Ф., Потапов В.И., Плотников М.Ю. // Бюл. изобр. №15, 1980.
5. Наумов Ю.Н., Аваев Н.А, Бедревский М.А. Помехоустойчивость устройств на интегральных схемах.-М.: Сов. радио, 1975. – 116с.
6. А.С. СССР № 1138941. Логический элемент / Осадчук В.С., Стронский В.В., Смешко С.Ф. и Ножнов А.А. // Бюл. изобр. №15, 1985.
7. А.С. СССР № 1262717. Логический элемент / Осадчук В.С., Стронский В.В., Кичак В.М.и Смешко С.Ф. // Бюл. изобр. №37, 1986.
8. А.С. СССР № 1568234. Логический элемент / Осадчук В.С., Стронский В.В., Кичак В.М. и Бортник Г.Г. // Бюл. изобр. №20, 1990.
9. А.С. СССР № 1554136. Логический элемент / Осадчук В.С., Стронский В.В., Гикавый В.А.и Волюнец В.И. // Бюл. изобр. №12, 1990.
10. Зубчук В.И., Сигорский В.П., Шкуро А.Н. Справочник по цифровой схемотехнике. – К.: Техника, 1990. – 448с.
11. Цифровые интегральные схемы: Справочник./ М.И. Богданович, И.Н. Грель, С.А Дубина и др.- 2-е изд., перераб. и доп. –Мн.: Беларусь., изд-во “Полымя” 1996.-605с.
- 12.Бронштейн И.Н.,Семендяев К.А. Справочник по математике. – М.: Наука,1981. - 718 с.
13. Белецкий В.В. Теория и практические методы резервирования РЭА.- М.: Энергия, 1977. - 360 с.