



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 840891

На основании полномочий, предоставленных Правительством СССР, Государственный комитет СССР по делам изобретений и открытий выдал настоящее авторское свидетельство на изобретение:
"Параллельный сумматор кодов Фибоначчи"

Автор (авторы): Стахов Алексей Петрович, Соляниченко Николай Александрович, Лужецкий Владимир Андреевич, Оводенко Александр Васильевич и Козак Андрей Андреевич

Заявитель:

Заявка № 2617011 Приоритет изобретения 15 мая 1978г.

Зарегистрировано в Государственном реестре изобретений СССР

20 февраля 1981г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 840891

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 15.05.78 (21) 2617011/18-24

(51) М. Кл.³

с присоединением заявки № -

G 06 F 7/49

(23) Приоритет -

Опубликовано 23.06.81 Бюллетень № 23

(53) УДК 681.325.
.5(088.8) c

Дата опубликования описания 23.06.81

(72) Авторы
изобретения

А.П. Стахов, Н.А. Соляниченко, В.А. Лужецкий,
А.В. Оводенко и А.А. Козак

(71) Заявитель

(54) ПАРАЛЛЕЛЬНЫЙ СУММАТОР КОДОВ ФИБОНАЧЧИ

Изобретение относится к вычислительной технике и может быть использовано для параллельного суммирования многоразрядных чисел, представленных в фибоначчевой системе счисления.

Известен комбинационный сумматор для параллельного суммирования многоразрядных чисел, представленных в фибоначчевой системе счисления, содержащий одноразрядные двоичные сумматоры, блок распределения сигналов, элементы И и ИЛИ [1].

Известен также накапливающий сумматор, содержащий триггеры со счетным входом, сумматоры по модулю 2, элементы И, элементы ИЛИ и элементы задержки и осуществляющий сложение многоразрядных чисел, представленных в фибоначчевой системе счисления [2].

Недостатком известных сумматоров является низкое быстродействие.

Наиболее близким по технической сущности к предлагаемому является параллельный сумматор кодов Фибоначчи, содержащий первый и второй регистры, параллельный полусумматор, блок определения окончания суммирования, блок коммутации, блок контроля и блок нормализации, причем выход суммы па-

раллельного полусумматора соединен с первым входом первого регистра и первым входом блока контроля, выход переноса параллельного полусумматора соединен со входом блока определения окончания суммирования и входом блока коммутации, первый и второй управляющие входы которого подключены к первой и второй управляющим шинам, выход блока коммутации соединен со входом второго регистра и с другим входом первого регистра, выход которого подключен также ко входу блока нормализации, управляющий вход которого подключен к первой управляющей шине, а выход соединен с третьим входом первого регистра [3].

Недостатками известного сумматора являются значительные затраты оборудования и низкое быстродействие.

Цель изобретения - повышение быстродействия и уменьшение количества оборудования.

Поставленная цель достигается тем, что параллельный сумматор кодов Фибоначчи, содержащий первый и второй регистры, блок определения окончания суммирования, блок контроля и блок нормализации, выход которого соединен с первым входом первого ре-

гистра, выход первого регистра соединен с первым входом блока нормализации, содержит блок элементов И, причем первый вход *i*-го элемента И блока соединен с нулевым выходом *i*-го разряда первого регистра, первым входом блока контроля и первым входом блока определения окончания суммирования, второй вход *i*-го элемента И блока соединен с единичным выходом *i*-го разряда второго регистра, со вторым входом блока нормализации, вторым входом блока контроля и вторым входом блока определения окончания суммирования, третьи входы всех элементов И блока соединены между собой, с третьим входом блока нормализации и с шиной управления, а их выходы соединены со вторым входом первого регистра и входом второго регистра.

На чертеже приведена функциональная схема устройства.

Устройство содержит первый регистр 1, предназначенный для хранения первого слагаемого в начале суммирования и конечного результата в конце суммирования, блок 2 нормализации, осуществляющий приведения кодов Фибоначчи к минимальной форме, второй регистр 3, предназначенный для хранения второго слагаемого, блок элементов И 4, обеспечивающий выполнение операции суммирования, блок 5 контроля, осуществляющий контроль в процессе суммирования и контроль конечного результата, блок 6 определения окончания суммирования, шина 7 управления.

Устройство работает следующим образом.

Первое и второе слагаемое заносится в первый и второй регистры в форме, отличной от минимальной. В этой форме каждая единица исходного кода заменяется путем развертки двумя единицами в соседних младших разрядах. Подобную развертку легко осуществить схемотехнически. Информация о состоянии *i*-го разряда исходного кода заносится в (*i*-1) и (*i*-2)-й разряды регистра слагаемого. Например, входная шина, соответствующая разряду кода с весом "8", заводится на входы разрядов регистра с весами "5" и "3". Тогда некоторый исходный код Фибоначчи ...100100100... после занесения в регистры слагаемого имеет вид ...011011011...

После поступления сигнала на шину 7 управления начинается процесс приведения содержимого первого регистра 1 к минимальной форме с учетом содержимого второго регистра 3. Условие свертки для *i*-го разряда первого регистра 1 - наличие нуля в нем, единицы в (*i*-1) и (*i*-2)-м разрядах первого регистра 1 и нуля в *i*-м разряде второго регистра 3. Если в *i*-м

разряде второго регистра 3 находится единица, а в *i*-м разряде первого регистра 1 - ноль, посредством блока элементов И 4, происходит перезапись единицы из *i*-го разряда второго регистра 3 в *i*-й разряд первого регистра 1. При этом *i*-й разряд второго регистра 3 устанавливается в ноль. Процессы приведения к минимальной форме содержимого первого регистра 1 и перезапись единиц из разрядов второго регистра 3 в соответствующие разряды первого регистра 1 продолжают до тех пор, пока содержимое второго регистра 3 не станет равным нулю, а содержимое первого регистра 1 не будет представлено в минимальной форме. Это является признаком окончания суммирования, на основании которого блок 6 определения окончания суммирования вырабатывает соответствующий сигнал.

Блок 5 контроля осуществляет контроль за процессом суммирования и проверяет конечный результат на минимальность. Из свойства этого способа сложения вытекает следующая возможность организации контроля правильности протекания процесса суммирования. Признаком неправильного сложения является наличие единицы в *i*-х разрядах первого и второго регистра и нулей в (*i*-1) и (*i*+1)-х разрядах обоих регистров.

Пример. Сложить числа $A = 1000100010$ и $B = 1010010100$. В соответствующие регистры слагаемые записываются в форме, отличной от минимальной: $A = 0110011001$, $B = 0111101111$. По приходу управляющего сигнала начинается процесс совместной нормализации.

$A = 001000100010$ - второе слагаемое
 $B = 001010010100$ - первое слагаемое

$A = 000110011001$ - содержимое второго регистра
 $B = 000111101111$ - содержимое первого регистра

$A' = 000110001001$

$B' = 001001111111$

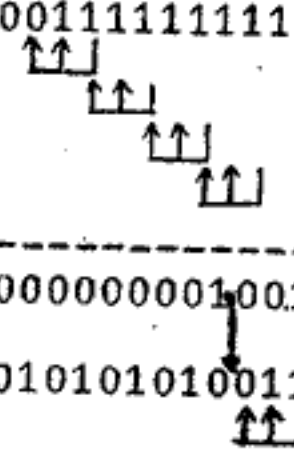
$A'' = 000000001001$

$B'' = 001111111111$

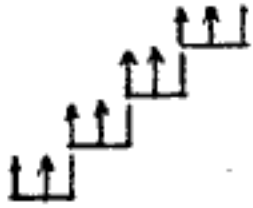
$A''' = 000000001001$

$B''' = 010101010011$

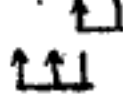
5
10
15
20
25
30
35
40
45
50
55
60
65



 $A^{III} = 000000000000$
 $B^{III} = 010101011100$



 $A^{III} = 000000000000$
 $B^{III} = 100000000101$



 $B^{III} = 100000001000$ - содержимое первого регистра.

Сложение закончено $A+B = B^{III}$.

Введение новых связей и представление обоих слагаемых в специальной форме, отличной от нормальной, позволяет ускорить процесс суммирования и уменьшить количество оборудования. В предлагаемом устройстве процесс суммирования протекает асинхронно и заключается в проведении ряда операций приведения к минимальной форме кода Фибоначчи одного из слагаемых с учетом другого слагаемого. Обозначим через $\tau_{св}$ время, необходимое для выполнения одной элементарной свертки, т.е. когда код ...011... переходит в ...100... . Наиболее неблагоприятным с точки зрения быстродействия будет такое суммирование, когда оба слагаемых представлены в виде $A = 101010 \dots$ и $B = 101010 \dots$. Если обозначить через n длину кодовой комбинации, максимальное время суммирования можно выразить $T_{max} = (2n-2)\tau_{св}$. В устройстве, наиболее близком к предлагаемому, процесс суммирования протекает синхронно. Максимальное число тактов суммирования будет $\frac{n}{2}$. Длительность одного такта суммирования определяется по времени проведения максимальной свертки промежуточной суммы. Оно равно $\frac{n}{2}\tau_{св}$. Тогда максимальное время суммирования $T_{max}^I = \frac{n^2}{4}\tau_{св}$. При $n = 20$ быстродействие предлагаемого устройства будет в 2,6 раза больше, чем известного. В предлагаемом устройстве параллельный полусумматор содержит элемент И и сумматор по модулю два в каждом разряде, кроме того на каждый разряд приходится

только один элемент И. Поэтому оно содержит оборудования на n сумматоров по модулю два меньше, чем известное.

Таким образом, введение блоков элементов И и организация процесса суммирования как процесса совместной нормализации кодов Фибоначчи двух слагаемых позволяют повысить быстродействие и уменьшить затраты оборудования.

Формула изобретения

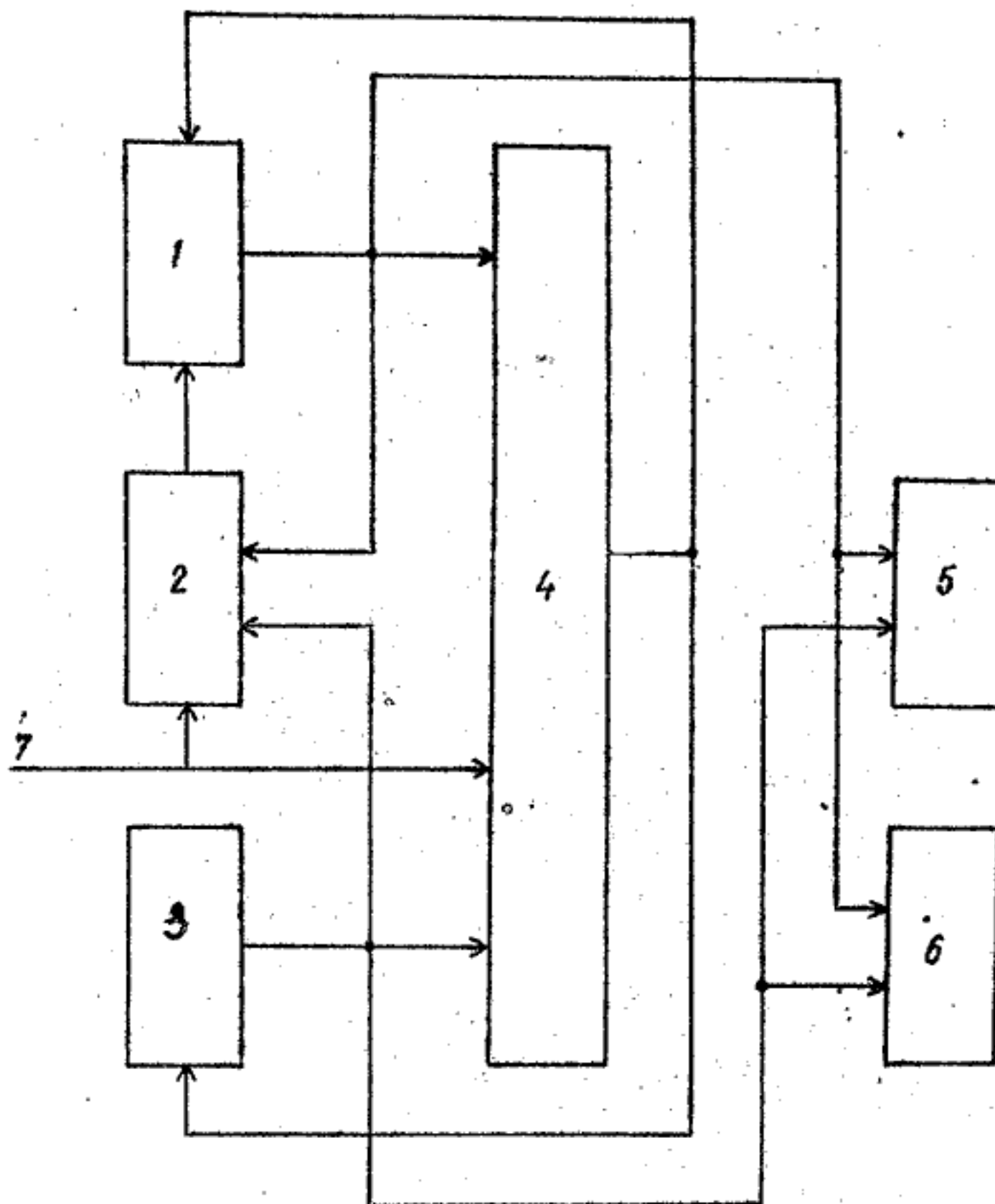
Параллельный сумматор кодов Фибоначчи, содержащий первый и второй регистры, блок определения окончания суммирования, блок контроля и блок нормализации, выход которого соединен с первым входом первого регистра, выход первого регистра соединен с первым входом блока нормализации, отличающийся тем, что, с целью повышения быстродействия и уменьшения количества оборудования, сумматор содержит блок элементов И, причем первый вход i -го элемента И блока соединен с нулевым выходом i -го разряда первого регистра, первым входом блока контроля и первым входом блока определения окончания суммирования, второй вход i -го элемента И блока соединен с единичным выходом i -го разряда второго регистра, со вторым входом блока нормализации, вторым входом блока контроля и вторым входом блока определения окончания суммирования, третьи входы всех элементов И блока соединены между собой, с третьим входом блока нормализации и с шиной управления, а их выходы соединены со вторым входом первого регистра и входом второго регистра.

Источники информации,

45 принятые во внимание при экспертизе
 1. Авторское свидетельство СССР № 570896, кл. G 06 F 7/50, 1975.

2. Авторское свидетельство СССР № 577528, кл. G 06 F 7/50, 1976.

3. Авторское свидетельство СССР № 558237, кл. G 06 F 7/50, 1976 (прототип).



Редактор В. Лазаренко

Составитель Н. Слюсарев
Техред Н. Ковалева

Корректор В. Бутыга

Заказ 4767/72

Тираж 745

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4