



УКРАЇНА

(19) **UA** (11) **99775** (13) **U**
(51) МПК
Н03К 19/08 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

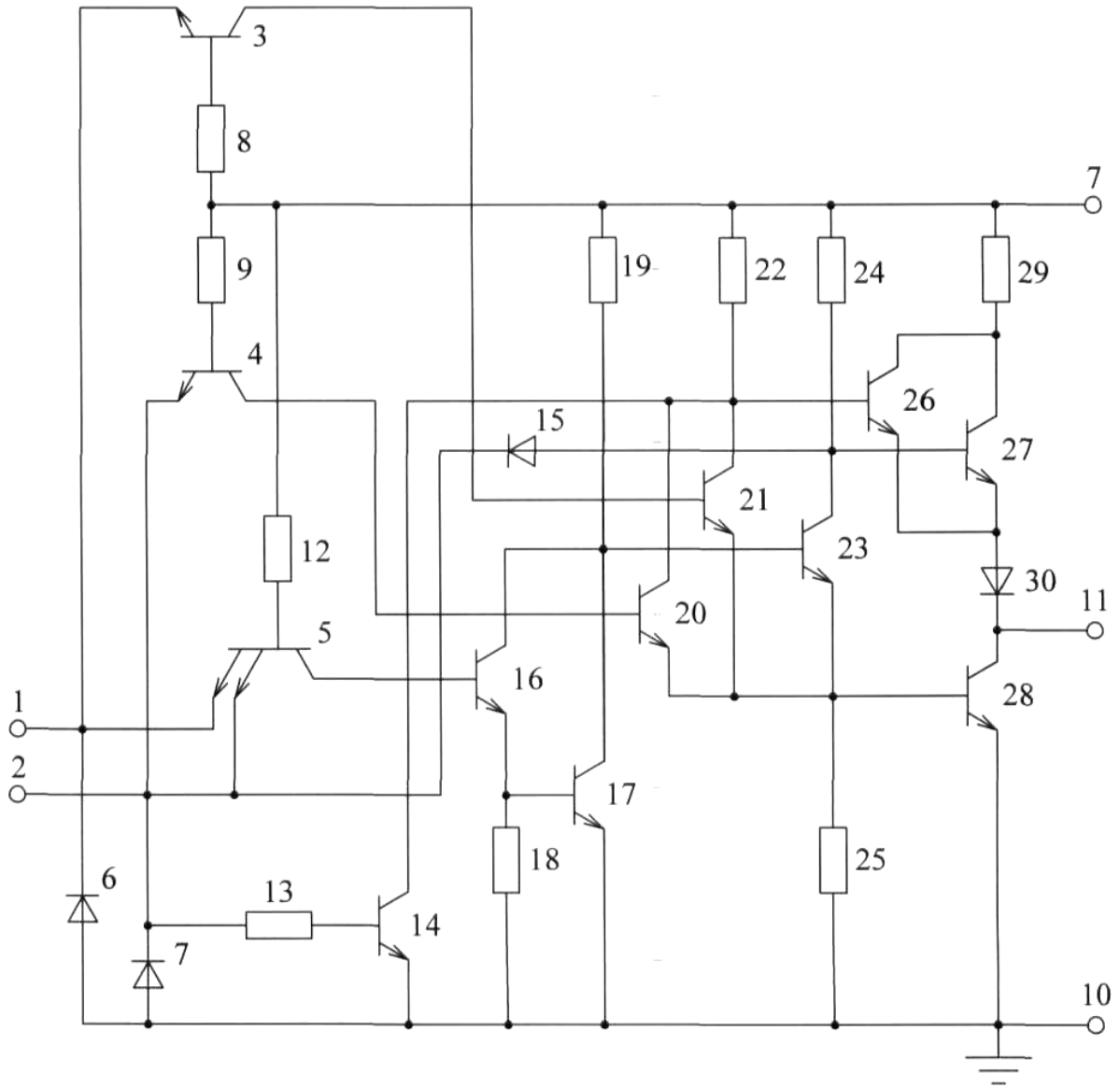
<p>(21) Номер заявки: u 2014 13747</p> <p>(22) Дата подання заявки: 22.12.2014</p> <p>(24) Дата, з якої є чинними права на корисну модель: 25.06.2015</p> <p>(46) Публікація відомостей про видачу патенту: 25.06.2015, Бюл.№ 12</p>	<p>(72) Винахідник(и): Кичак Василь Мартинович (UA), Гузь Максим Дмитрович (UA), Стронський Віктор Володимирович (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
--	---

(54) ЛОГІЧНИЙ ЕЛЕМЕНТ

(57) Реферат:

Логічний елемент містить джерело постійної напруги, перший, другий входи, вихід пристрою, вхідний двоємітерний транзистор, перший, другий вхідні діоди, проміжний транзистор, транзистор першого фазорозподільчого каскаду, перший, другий вихідні транзистори, проміжний і вихідний діоди, перший вхідний резистор, перший, другий резистори першого фазорозподільчого каскаду, проміжний резистор, вихідний резистор. Додатково в нього введено перший, другий вхідні транзистори, перший, другий транзистори інвертуючого каскаду, транзистор другого фазорозподільчого каскаду, третій вихідний транзистор, другий, третій вхідні резистори, перший, другий резистори інвертуючого каскаду, резистор другого фазорозподільчого каскаду.

UA 99775 U



Корисна модель належить до галузі мікроелектроніки і обчислювальної техніки та призначена для побудови цифрових пристроїв порівняння.

Відомий неінвертуючий вентиль містить звичайний інвертуючий вентиль, до якого доданий інвертуючий каскад за схемою Дарлінгтона і в підсумку пристрій виконує логічну операцію I-NI-NI, містить джерело постійної напруги та має перший, другий входи, вихід та складається з вхідного резистора, вхідного двоємітерного транзистора, першого, другого транзисторів інвертуючого каскаду, першого, другого резисторів інвертуючого каскаду, транзистора фазорозподільчого каскаду, першого, другого резисторів фазорозподільчого каскаду, першого, другого, третього вихідних транзисторів, вихідного резистора, першого, другого додаткових вихідних резисторів, причому перший, другий емітери вхідного двоємітерного транзистора підключені до першого, другого входів пристрою, база через вхідний резистор підключена до позитивного полюса джерела постійної напруги, колектор з'єднаний з базою першого транзистора інвертуючого каскаду, емітер якого через перший резистор інвертуючого каскаду підключений до загальної шини джерела постійної напруги і з'єднаний з базою другого транзистора інвертуючого каскаду, емітер якого підключений до загальної шини джерела постійної напруги, колектор через другий резистор інвертуючого каскаду підключений до позитивного полюса джерела постійної напруги та з'єднаний з колектором першого транзистора інвертуючого каскаду і базою транзистора фазорозподільчого каскаду, емітер якого через другий резистор фазорозподільчого каскаду підключений до загальної шини джерела постійної напруги і з'єднаний з базою другого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор через другий додатковий вихідний резистор з'єднаний з емітером транзистора фазорозподільчого каскаду та підключений до виходу пристрою і з'єднаний з емітером першого вихідного транзистора, база якого через перший додатковий вихідний резистор підключена до загальної шини джерела постійної напруги і з'єднана з емітером третього вихідного транзистора, колектор першого вихідного транзистора через вихідний резистор підключений до позитивного полюса джерела постійної напруги і з'єднаний з колектором третього вихідного транзистора, база якого через перший резистор фазорозподільчого каскаду підключена до позитивного полюса джерела постійної напруги і з'єднана з колектором транзистора фазорозподільчого каскаду [див. Скарлетт Дж. Транзисторно-транзисторные логические интегральные схемы и их применение. Пер. с англ. В.Л. Левина и Л.С. Ходоша. Под ред. Б.И. Ермолаева. - М.: Мир, 1974, фиг. 7.1, с. 73].

Недоліком такого пристрою є те, що він реалізує логічну функцію "I" і в цифрових пристроях порівняння цей елемент може застосовуватись в парі з логічним елементом "АБО-НІ", що вдвічі збільшує кількість логічних елементів в цифрових пристроях порівняння, а це в свою чергу збільшує потужність споживання і погіршує показники відмовостійкості за раптовими відмовами цифрового пристрою порівняння.

Відомий логічний елемент АБО-НІ містить джерело постійної напруги та має перший, другий входи, вихід пристрою та складається з першого, другого вхідних резисторів, першого, другого вхідних транзисторів, першого, другого транзисторів фазорозподільчого каскаду, першого, другого резисторів фазорозподільчого каскаду, першого, другого вихідних транзисторів, вихідного резистора, вихідного діода, причому емітери першого, другого вхідних транзисторів підключені відповідно до першого і другого входів пристрою, бази відповідно через перший і другий вхідні резистори підключені до позитивного полюса джерела постійної напруги, колектори з'єднані з базами відповідно першого і другого транзисторів фазорозподільчого каскаду, емітери яких через другий резистор фазорозподільчого каскаду підключені до загальної шини джерела постійної напруги і з'єднані з базою другого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор підключений до виходу пристрою і з'єднаний з катодом вихідного діода, анод якого з'єднаний з емітером першого вихідного транзистора, колектор якого через вихідний резистор підключений до позитивного полюса джерела постійної напруги, база з'єднана з колекторами першого, другого транзисторів фазорозподільчого каскаду та через перший резистор фазорозподільчого каскаду підключена до позитивного полюса джерела постійної напруги [див. Шило В.Л. Популярныe цифровыe микросхемы. Справочник. - М.: Радио и связь, 1987, рис. 1.21в, с. 38].

Недоліком такого пристрою є те, що він реалізує логічну функцію "АБО-НІ" і в цифрових пристроях порівняння цей елемент може застосовуватись в парі з логічним елементом "I", що вдвічі збільшує кількість логічних елементів в цифрових пристроях порівняння, а це в свою чергу збільшує потужність споживання і погіршує показники відмовостійкості за раптовими відмовами цифрового пристрою порівняння.

Як найближчий аналог вибрано логічний елемент [див. Соломатин Н.М. Логические элементы ЭВМ. - М.: Высшая школа, 1980, рис. 3.6д, с. 92], який містить вхідний двоємітерний

транзистор, два вхідних діода, вхідний резистор, проміжний резистор, проміжний транзистор, проміжний діод, транзистор першого фазорозподільчого каскаду, перший, другий резистори фазорозподільчого каскаду, вихідний резистор, вихідний діод, перший, другий вихідні транзистори, причому джерело постійної напруги, перший, другий, третій входи пристрою та його вихід утворені вхідним двоємітерним транзистором, першим, другим вхідними діодами, першим вхідним резистором, проміжним резистором, проміжним транзистором, проміжним діодом, транзистором першого фазорозподільчого каскаду, першим, другим резисторами першого фазорозподільчого каскаду, вихідним резистором, першим, другим вихідними транзисторами, вихідним діодом, причому перший емітер вхідного двоємітерного транзистора підключений до першого входу пристрою і з'єднаний з катодом першого вхідного діода, анод якого підключений до загальної шини джерела постійної напруги, другий емітер вхідного двоємітерного транзистора підключений до другого входу пристрою і з'єднаний з катодом проміжного діода та катодом другого вхідного діода, катод якого підключений до загальної шини джерела постійної напруги, база вхідного двоємітерного транзистора через вхідний резистор підключена до позитивного полюса джерела постійної напруги, колектор з'єднаний з базою транзистора першого фазорозподільчого каскаду, емітер якого через другий резистор першого фазорозподільчого каскаду підключений до загальної шини джерела постійної напруги та з'єднаний з базою другого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор підключений до виходу пристрою і з'єднаний з катодом вихідного діода, анод якого з'єднаний з емітером першого вихідного транзистора, колектор якого через вихідний резистор підключений до позитивного полюса джерела постійної напруги, база через перший резистор першого фазорозподільчого каскаду підключена до позитивного полюса джерела постійної напруги і з'єднана з анодом проміжного діода, колектором транзистора першого фазорозподільчого каскаду і колектором проміжного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, база з'єднана з першим виводом проміжного резистора, другий вивід якого підключений до третього входу пристрою.

Недоліком такого пристрою є те, що він реалізує логічну функцію "І-НІ" і в цифрових пристроях порівняння цей елемент може застосовуватись в парі з логічним елементом "АБО", що вдвічі збільшує кількість логічних елементів в цифрових пристроях порівняння, а це в свою чергу підвищує потужність споживання цифрового пристрою порівняння і знижує показники відмовостійкості за раптовими відмовами.

В основу корисної моделі поставлена задача створення такого логічного елемента, в якому за рахунок введення нових елементів і зв'язків між ними реалізовано логічну функцію "РІВНОЗНАЧНІСТЬ" ("ЕКВІВАЛЕНТНІСТЬ") в один ступінь швидкодії, що дозволяє спростити цифрові пристрої за рахунок зменшення кількості логічних елементів, а це приводить до підвищення відмовостійкості за раптовими відмовами та зменшення потужності споживання цифрових пристроїв порівняння.

Поставлена задача вирішується тим, що в логічний елемент, який містить джерело постійної напруги, перший, другий входи, вихід пристрою, вхідний двоємітерний транзистор, перший, другий вхідні діоди, проміжний транзистор, транзистор першого фазорозподільчого каскаду, перший, другий вихідні транзистори, проміжний і вихідний діоди, перший вхідний резистор, перший, другий резистори першого фазорозподільчого каскаду, проміжний резистор, вихідний резистор, причому база вхідного двоємітерного транзистора через перший вхідний резистор підключена до позитивного полюса джерела постійної напруги, перший емітер з'єднаний з катодом першого вхідного діода, анод якого підключений до загальної шини джерела постійної напруги, другий емітер з'єднаний з катодом другого вхідного діода, анод якого підключений до загальної шини джерела постійної напруги, та другий емітер з'єднаний з катодом проміжного діода, анод якого з'єднаний з базою першого вихідного транзистора, через перший резистор першого фазорозподільчого каскаду підключений до позитивного полюса джерела постійної напруги і з'єднаний з колектором транзистора першого фазорозподільчого каскаду, емітер якого через другий резистор першого фазорозподільчого каскаду підключений до загальної шини джерела постійної напруги і з'єднаний з базою другого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор підключений до виходу пристрою і з'єднаний з катодом вихідного діода, анод якого з'єднаний з емітером першого вихідного транзистора, колектор якого через вихідний резистор підключений до позитивного полюса джерела постійної напруги, а також емітер проміжного транзистора підключений до загальної шини джерела постійної напруги, база з'єднана з першим виводом проміжного резистора, згідно з корисною моделлю, введено перший, другий вхідні транзистори, перший, другий транзистори інвертуючого каскаду, транзистор другого фазорозподільчого каскаду, третій вихідний транзистор, другий, третій вхідні резистори, перший, другий резистори

інвертуючого каскаду, резистор другого фазорозподільчого каскаду, причому емітери першого, другого вхідних транзисторів підключені відповідно до першого і другого входів пристрою, а емітер другого вхідного транзистора з'єднаний з другим виводом проміжного транзистора, бази через другий і третій вхідні резистори відповідно підключені до позитивного полюса джерела постійної напруги, колектори з'єднані з базами відповідно першого і другого транзисторів другого фазорозподільчого каскаду, емітери яких через другий резистор першого фазорозподільчого каскаду підключені до загальної шини джерела постійної напруги і з'єднані з базою другого вихідного транзистора і емітером транзистора першого фазорозподільчого каскаду, колектори через резистор другого фазорозподільчого каскаду підключені до позитивного полюса джерела постійної напруги і з'єднані з колектором проміжного транзистора і базою третього вихідного транзистора, колектор якого через вихідний резистор підключений до позитивного полюса джерела постійної напруги і з'єднаний з колектором першого вихідного транзистора, емітер з'єднаний з емітером першого вихідного транзистора і анодом вихідного діода, а також колектор вхідного двоємітерного транзистора з'єднаний з базою першого транзистора інвертуючого каскаду, емітер якого через перший резистор інвертуючого каскаду підключений до загальної шини джерела постійної напруги і з'єднаний з базою другого транзистора інвертуючого каскаду, емітер якого підключений до загальної шини джерела постійної напруги, колектор через другий резистор інвертуючого каскаду підключений до позитивного полюса джерела постійної напруги і з'єднаний з колектором першого транзистора інвертуючого каскаду і базою транзистора першого фазорозподільчого каскаду.

На кресленні зображена схема логічного елемента.

Пристрій містить позитивний полюс 7 і загальну шину 27 джерела постійної напруги, перший 1, другий 2 входи і вихід 11 пристрою, перший 3, другий 4 вхідні транзистори і вхідний двоємітерний транзистор 5, перший 6, другий 7 вхідні діоди, перший 12, другий 8, третій 9 вхідні резистори, проміжний резистор 13, проміжний транзистор 14, проміжний діод 15, перший 16, другий 17 транзистори інвертуючого каскаду, перший 18, другий 19 резистори інвертуючого каскаду, перший 21, другий 20 транзистори другого фазорозподільчого каскаду, резистор 22 другого фазорозподільчого каскаду, транзистор 23 першого фазорозподільчого каскаду, перший 24, другий 25 резистори першого фазорозподільчого каскаду, перший 27, другий 28, третій 26 вихідні транзистори, вихідний резистор 29, вихідний діод 30, причому перший емітер вхідного двоємітерного транзистора 5 підключений до першого входу 1 пристрою і з'єднаний з емітером першого вхідного транзистора 3 і катодом першого вхідного діода 6, анод якого підключений до загальної шини 10 джерела постійної напруги, другий емітер підключений до другого входу 2 пристрою і з'єднаний з емітером другого вхідного транзистора 4, катодом проміжного діода 15, другим виводом проміжного резистора 13 і катодом другого вхідного діода 7, анод якого підключений до загальної шини 10 джерела постійної напруги, база вхідного двоємітерного транзистора 5 через перший вхідний резистор 12 підключена до позитивного полюса 7 джерела постійної напруги, колектор з'єднаний з базою першого транзистора інвертуючого каскаду, емітер якого через перший резистор 18 інвертуючого каскаду підключений до загальної шини 10 джерела постійної напруги і з'єднаний з базою другого транзистора 17 інвертуючого каскаду, емітер якого підключений до загальної шини 10 джерела постійної напруги, колектор через другий резистор 19 інвертуючого каскаду підключений до позитивного полюса 7 джерела постійної напруги і з'єднаний з колектором першого транзистора 16 інвертуючого каскаду і базою транзистора 23 першого фазорозподільчого каскаду, колектор якого через перший резистор 24 першого фазорозподільчого каскаду підключений до позитивного полюса 7 джерела постійної напруги і з'єднаний з анодом проміжного діода 15 і базою першого вихідного транзистора 27, колектор якого через вихідний резистор 29 підключений до позитивного полюса 7 джерела постійної напруги і з'єднаний з колектором третього вихідного транзистора 26, емітер з'єднаний з емітером третього вихідного транзистора 26 і анодом вихідного діода 30, катод якого підключений до виходу пристрою 11 і з'єднаний з колектором другого вихідного транзистора 28, емітер якого підключений до загальної шини 10 джерела постійної напруги, база через другий резистор 25 першого фазорозподільчого каскаду підключена до загальної шини 10 джерела постійної напруги і з'єднана з емітером транзистора 23 першого фазорозподільчого каскаду і емітером першого 21 і другого 20 транзисторів другого фазорозподільчого каскаду, колектори яких через резистор 22 другого фазорозподільчого каскаду підключені до позитивного полюса 7 джерела постійної напруги і з'єднані з базою третього вихідного транзистора 26 і колектором проміжного транзистора 14, база якого з'єднана з першим виводом проміжного резистора 13, емітер підключений до загальної шини 10 джерела постійної напруги, бази першого 21, другого 20 транзисторів другого фазорозподільчого каскаду з'єднані відповідно з колекторами першого 3, другого 4 вхідних транзисторів, бази яких

відповідно через другий 8, третій 9 вхідні резистори підключені до позитивного полюса 7 джерела постійної напруги.

Умовно розділимо логічний елемент на дві частини: нижню частину логічного елемента на першому 1, другому 2 входах пристрою, першому 6, другому 7 вхідних діодах, вхідному двоємітерному транзисторі 5, першому вхідному резисторі 12, першому 16, другому 17 транзистора інвертуючого каскаду, першому 18, другому 19 резисторах інвертуючого каскаду, транзисторі 23 першого фазорозподільчого каскаду, першому 24, другому 25 резисторах першого фазорозподільчого каскаду, проміжному діоді 15, першому 27, другому 28 вихідних транзисторах, вихідному резисторі 29, вихідному діоді 30, виході пристрою 11 та верхню частину логічного елемента на першому 1, другому 2 входах пристрою, першому 6, другому 7 вхідних діодах, першому 3, другому 4 вхідних транзисторах, другому 8, третьому 9 вхідних резисторах, першому 21, другому 20 транзисторах другого фазорозподільчого каскаду, резисторі 22 другого фазорозподільчого каскаду, другому резисторі 25 першого фазорозподільчого каскаду, проміжному резисторі 13, проміжному транзисторі 14, другому 28, третьому 26 вихідних транзисторах, вихідному резисторі 29, вихідному діоді 30, виході пристрою 11.

Логічний елемент працює наступним чином.

При низькій напрузі на першому 1, другому 2 входах пристрою, першому, другому емітерах вхідного двоємітерного транзистора 5, перший 6, другий 7 вхідні діоди будуть обмежувати амплітуду від'ємних сигналів, що відповідає рівню логічного нуля на першому 1, другому 2 входах пристрою, струм від позитивного полюса 7 джерела постійної напруги протікає через перший вхідний резистор 12 і відкриті емітерні переходи вхідного двоємітерного транзистора 5. В результаті, вхідний двоємітерний транзистор 5 відкривається, і напруги на його базі $U_{б1} \approx 1,0$ В недостатньо, щоб відкрити емітерні переходи першого 16, другого 17 транзисторів інвертуючого каскаду, де необхідно $U_{б2} \approx 2,1$ В, що призведе до закритого стану першого 16, другого 17 транзисторів інвертуючого каскаду. На колекторах закритих першого 16, другого 17 транзисторів інвертуючого каскаду високий потенціал, і в базу транзистора 23 першого фазорозподільчого каскаду від позитивного полюса 7 джерела постійної напруги через другий резистор 19 інвертуючого каскаду протікає струм. При цьому, колекторний перехід транзистора 23 першого фазорозподільчого каскаду і прямо включений проміжний діод 15, катод якого підключений до низького рівня вхідного сигналу на другому 2 вході пристрою, відкриваються, і на колекторі транзистора 23 першого фазорозподільчого каскаду буде потенціал $U_{к1} \approx 1,0$ В, якого недостатньо, щоб відкрити перший вихідний транзистор 27, де необхідний потенціал $U_{к2} \approx 1,4$ В, а також відкрити емітерний перехід другого вихідного транзистора 28 і вихідний діод 30, де необхідний потенціал $U_{к3} \approx 1,4$ В. В результаті, перший вихідний транзистор 27, вихідний діод 30, другий вихідний транзистор 28 переходять в закритий стан і на виході 11 пристрою "Z" стан з нескінченно високим опором, коли логічний елемент повністю відключений від навантаження і не споживає та не віддає вихідний струм.

При низькій напрузі на другому 2 вході пристрою і високій напрузі на першому 1 вході пристрою, другий вхідний діод 7 буде обмежувати амплітуду від'ємних сигналів, що відповідає рівню логічного нуля на другому вході 2 пристрою, струм від позитивного полюса 7 джерела постійної напруги протікає через перший вхідний резистор 12 і відкритий другий емітерний перехід вхідного двоємітерного транзистора 5. В результаті, вхідний двоємітерний транзистор 5 відкривається і напруги на його базі $U_{б1} \approx 1,0$ В недостатньо, щоб відкрити перший 16, другий 17 транзистори інвертуючого каскаду, де необхідний потенціал $U_{б2} \approx 2,1$ В, що призводить до закритого стану першого 16, другого 17 транзисторів інвертуючого каскаду. Далі нижня частина логічного елемента працює аналогічно вищерозглянутому випадку, коли на перший 1, другий 2 входи пристрою подані логічні "0". В результаті, на виході 11 пристрою маємо "Z" стан з нескінченно високим опором.

При низькій напрузі на першому 1 вході пристрою і високій напрузі на другому вході 2 пристрою перший вхідний діод 6 буде обмежувати амплітуду від'ємних сигналів, що відповідає рівню логічного нуля на першому 1 вході пристрою, струм від позитивного полюса 7 джерела постійної напруги протікає через перший вхідний резистор 12 і відкритий перший емітерний перехід вхідного двоємітерного транзистора 5. В результаті, вхідний двоємітерний транзистор відкривається і потенціалу на його базі $U_{б1} \approx 1,0$ В недостатньо, щоб відкрити перший 16, другий 17 транзистори інвертуючого каскаду, де необхідний потенціал $U_{б2} \approx 2,1$ В, що призводить до закритого стану першого 16, другого 17 транзисторів інвертуючого каскаду. На колекторах закритого першого 16, другого 17 транзисторів інвертуючого каскаду високий потенціал і в базу транзистора 23 першого фазорозподільчого каскаду від позитивного полюса 7 джерела постійної напруги через другий резистор 19 інвертуючого каскаду протікає струм, що призводить

до відкритого стану транзистора 23 першого фазорозподільчого каскаду і закритого стану зворотно включеного проміжного діода 15, катод якого підключений до високого рівня вхідного сигналу на другому вході 2 пристрою. В базу другого вихідного транзистора 28 надходить емітерний струм відкритого транзистора 23 першого фазорозподільчого каскаду, і це
 5 призводить до відкритого стану другого вихідного транзистора 28. На колекторі відкритого транзистора 23 першого фазорозподільчого каскаду низький потенціал $U_{к3} \approx 1,0$ В, якого недостатньо для того, щоб відкрити перший вихідний транзистор 27 і вихідний діод 30. В результаті, перший вихідний транзистор 27, вихідний діод 30 закриваються, і на виході 11 пристрою встановлюється логічний "0" за рахунок відкритого стану другого вихідного
 10 транзистора 28, який малим опором колектор-емітер підключає вихід 11 пристрою до загальної шини 10 джерела постійної напруги.

Якщо на перший 1, другий 2 входи пристрою подано високу напругу, що відповідає рівню логічної "1" на входах 1, 2 пристрою, то перший 6, другий 7 вхідні діоди при цьому зворотно включені, що призводить до закритого стану вхідних діодів 6, 7. При цьому вхідний
 15 двоемітерний транзистор 5 працює в інверсному активному режимі і напруги на його базі $U_{б2} \approx 2,1$ В достатньо для відкриття колекторного переходу вхідного двоемітерного транзистора 5, емітерних переходів першого 16, другого 17 транзисторів інвертуючого каскаду. Це призводить до відкритого стану першого 16, другого 17 транзисторів інвертуючого каскаду, на колекторах яких низький потенціал $U_{к1} \approx 1,0$ В, якого недостатньо для того, щоб відкрити
 20 транзистор 23 першого фазорозподільчого каскаду, де необхідний потенціал $U_{к2} \approx 1,4$ В. Це обумовлює закритий стан транзистора 23 першого фазорозподільчого каскаду. Проміжний діод 15 знаходиться в закритому стані, оскільки його катод підключений до високого рівня логічної "1" на другому 2 вході пристрою. В базу другого вихідного транзистора 28 не надходить струм емітера транзистора 23 першого фазорозподільчого каскаду, що знаходиться в закритому стані,
 25 і тому другий вихідний транзистор 28 закривається. На колекторі закритого транзистора 23 першого фазорозподільчого каскаду високий потенціал і в базу першого вихідного транзистора 27 протікає струм від позитивного полюса 7 джерела постійної напруги через перший резистор 24 першого фазорозподільчого каскаду, що призводить до відкритого стану першого вихідного транзистора 27, вихідного діода 30. Вихід пристрою 11 через відкритий вихідний діод 30, малий опір переходу колектор-емітер відкритого першого вихідного транзистора 27 і вихідний резистор
 30 29 підключений до позитивного полюса 7 джерела постійної напруги та через великий опір закритого другого вихідного транзистора 28 підключений до загальної шини 27 джерела постійної напруги, що відповідає рівню логічної "1" на виході 11 пристрою.

Таким чином, нижня частина логічного елемента в разі подачі логічної одиниці на другий
 35 вхід 2 пристрою реалізує логічну функцію І на виході 11 пристрою, а в разі подачі логічного нуля на другий вхід 2 пристрою на виході 11 пристрою буде "Z" стан з нескінченно високим опором.

При низькій напрузі на першому 1, другому 2 входах пристрою перший 6, другий 7 вхідні діоди будуть обмежувати амплітуду від'ємних сигналів, що відповідає рівню логічного нуля на першому 1, другому 2 входах пристрою, струм від позитивного полюса 7 джерела постійної
 40 напруги протікає через другий 8, третій 9 вхідні резистори, відповідно через відкриті емітерні переходи першого 3, другого 4 вхідних транзисторів, що призводить до відкритого стану першого 3, другого 4 вхідних транзисторів. Напруги на базах $U_{б1} \approx 1,0$ В першого 3, другого 4 вхідних транзисторів недостатньо для відкриття емітерних переходів першого 21, другого 20 транзисторів другого фазорозподільчого каскаду, другого вихідного транзистора 28, де
 45 необхідно $U_{б2} \approx 2,1$ В, що призводить до закритого стану першого 21, другого 20 транзисторів другого фазорозподільчого каскаду, другого вихідного транзистора 28. Проміжний транзистор 14 знаходиться в закритому стані і не впливає на роботу пристрою тому, що його база через проміжний резистор 10 підключена до другого входу 2 пристрою, на який подано низьку напругу логічного "0". На колекторах закритих першого 21, другого 20 транзисторів другого
 50 фазорозподільчого каскаду високий потенціал і в базу третього вихідного транзистора 26 протікає струм від позитивного полюса 7 джерела постійної напруги через перший 24 резистор першого фазорозподільчого каскаду, емітерний перехід третього вихідного транзистора 26 і вихідний діод 30 відкриваються, що призводить до відкритого стану третього вихідного транзистора 26 і вихідного діода 30. Вихід 11 пристрою через відкритий вихідний діод 30, малий опір переходу колектор-емітер відкритого третього вихідного транзистора 26 і вихідний резистор
 55 29 підключений до позитивного полюса 7 джерела постійної напруги та через великий опір закритого другого вихідного транзистора 28 підключений до загальної шини 10 джерела постійної напруги, що відповідає рівню логічної "1" на виході 11 пристрою.

При високій напрузі на першому 1 вході пристрою і низькій напрузі на другому 2 вході
 60 пристрою другий вхідний діод 7 буде обмежувати амплітуду від'ємних сигналів, що відповідає

рівню логічного нуля на другому 2 вході пристрою, перший вхідний діод 6 зворотно включений, що призводить до закритого стану першого вхідного діода 6. Струм від позитивного полюса 7 джерела постійної напруги протікає через третій 9 вхідний резистор і відкритий емітерний перехід другого 4 вхідного транзистора, що призводить до відкритого стану другого 4 вхідного транзистора. Напруги на базі $U_{б1} \approx 1,0$ В другого 4 вхідного транзистора недостатньо для відкриття емітерного переходу другого 20 транзистора другого фазорозподільчого каскаду, де необхідно $U_{б2} \approx 2,1$ В, що призводить до закритого стану другого 20 транзистора другого фазорозподільчого каскаду. Проміжний транзистор 14 знаходиться в закритому стані і не впливає на роботу пристрою тому, що його база через проміжний резистор 10 підключена до другого входу 2 пристрою, на який подано низьку напругу логічного "0". Перший 3 вхідний транзистор працює в інверсному активному режимі і напруги на його базі $U_{б2} \approx 2,1$ В достатньо для відкриття колекторного переходу першого 3 вхідного транзистора, емітерних переходів першого 21 транзистора другого фазорозподільчого каскаду і другого 28 вихідного транзистора, що призводить до відкритого стану першого 21 транзистора другого фазорозподільчого каскаду і другого 28 вихідного транзистора. На колекторі відкритого першого 21 транзистора другого фазорозподільчого каскаду низький потенціал і напруги $U_{к3} \approx 1,0$ В, якого недостатньо, щоб відкрити третій 26 вихідний транзистор, вихідний діод 30. В результаті третій 26 вихідний транзистор, вихідний діод 30 закриваються і на виході 11 пристрою логічний "0" за рахунок відкритого стану другого вихідного транзистора 28, який малим опором переходу колектор-емітер під'єднує вихід 11 до загальної шини 10 джерела постійної напруги.

При низькій напрузі на першому 1 вході пристрою і високій напрузі на другому 2 вході пристрою перший вхідний діод 6 буде обмежувати амплітуду від'ємних сигналів, що відповідає рівню логічного нуля на першому 1 вході пристрою, другий вхідний діод 7 зворотно включений, що призводить до закритого стану першого вхідного діода 7 та відповідає рівню логічної одиниці на другому 2 вході пристрою. Струм від позитивного полюса 7 джерела постійної напруги протікає через другий 8 вхідний резистор і відкритий емітерний перехід першого 3 вхідного транзистора, що призводить до відкритого стану першого 3 вхідного транзистора. Напруги на базі $U_{б1} \approx 1,0$ В першого 3 вхідного транзистора недостатньо для відкриття емітерного переходу першого 21 транзистора другого фазорозподільчого каскаду, де необхідно $U_{б2} \approx 2,1$ В, що призводить до закритого стану першого 21 транзистора другого фазорозподільчого каскаду. Другий 4 вхідний транзистор працює в інверсному активному режимі і напруги на його базі $U_{б2} \approx 2,1$ В достатньо для відкриття колекторного переходу другого 4 вхідного транзистора. В базу проміжного транзистора 14 протікає струм від другого 2 входу пристрою, на який подано сигнал логічної "1", через проміжний резистор 13, що обмежує струм бази проміжного транзистора 14, а це призводить до відкритого стану проміжного транзистора 14. На колекторі відкритого проміжного транзистора 14 і колекторі другого 20 транзистора другого фазорозподільчого каскаду низький потенціал $U_{к3} \approx 0,3$ В, що обумовлює відкритий стан колекторного переходу і закритий стан емітерного переходу другого 20 транзистора другого фазорозподільчого каскаду. В базу другого вихідного транзистора 28 не надходить струм через закритий емітерний перехід другого 20 транзистора другого фазорозподільчого каскаду, що призводить до закритого стану другого вихідного транзистора 28. На колекторах проміжного транзистора 14, першого 21, другого 20 транзисторів другого фазорозподільчого каскаду низький потенціал $U_{к3} \approx 0,3$ В, якого недостатньо, щоб відкрити третій вихідний транзистор 26, вихідний діод 30, де необхідно $U_{к2} \approx 1,4$ В. В зв'язку з цим третій вихідний транзистор 26, вихідний діод 30 переходять в закритий стан. На виході 11 пристрою "Z" стан з нескінченно високим опором, коли логічний елемент повністю відключений від навантаження і не споживає та не віддає вихідний струм.

При високій напрузі на першому 1, другому 2 входах пристрою перший 6, другий 7 вхідні діоди зворотно включені, що призводить до закритого стану першого 6, другого 7 вхідних діодів та відповідає рівню логічної "1" на першому 1, другому 2 входах пристрою. Перший 3, другий 4 вхідні транзистори працюють в інверсному активному режимі і напруги на їх базах $U_{б2} \approx 1,7$ В достатньо, щоб відкрити колекторні переходи першого 3, другого 4 вхідних транзисторів. В базу проміжного транзистора 14 протікає струм від другого 2 входу пристрою, на який подано сигнал логічної "1", через проміжний резистор 13, що обмежує струм бази проміжного транзистора 14, а це призводить до відкритого стану проміжного транзистора 14. На колекторі відкритого проміжного транзистора 14 і колекторах першого 21, другого 20 транзисторів другого фазорозподільчого каскаду низький потенціал $U_{к3} \approx 0,3$ В, що обумовлює відкритий стан колекторних переходів і закритий стан емітерних переходів першого 21, другого 20 транзисторів другого фазорозподільчого каскаду. В базу другого вихідного транзистора 28 не надходить струм через закриті емітерні переходи першого 21, другого 20 транзисторів другого

фазорозподільчого каскаду, що призводить до закритого стану другого вихідного транзистора 28. На колекторах проміжного транзистора 14, першого 21, другого 20 транзисторів другого фазорозподільчого каскаду низький потенціал $U_{k3} \approx 0,3$ В, якого недостатньо, щоб відкрити третій вихідний транзистор 26, вихідний діод 30, де необхідно $U_{k2} \approx 1,4$ В. В зв'язку з цим третій вихідний транзистор 26, вихідний діод 30 переходять в закритий стан. На виході 11 пристрою "Z" стан з нескінченно високим опором, коли логічний елемент повністю відключений від навантаження і не споживає та не віддає вихідний струм.

Таким чином, верхня частина логічного елемента в разі подачі на другий вхід 2 пристрою логічної "1" реалізує на виході 11 пристрою "Z" стан з нескінченно високим опором, а в разі подачі логічного "0" на другий вхід 2 пристрою реалізує на виході 11 пристрою логічну функцію "АБО-НІ".

Стани входів і виходів пристрою подані в таблиці 1.

Таблиця 1

Вхід 1	Вхід 2	Вихід нижньої частини пристрою	Вихід верхньої частини пристрою	Вихід 11
0	0	Z	1	1
0	1	0	Z	0
1	0	Z	0	0
1	1	1	Z	1

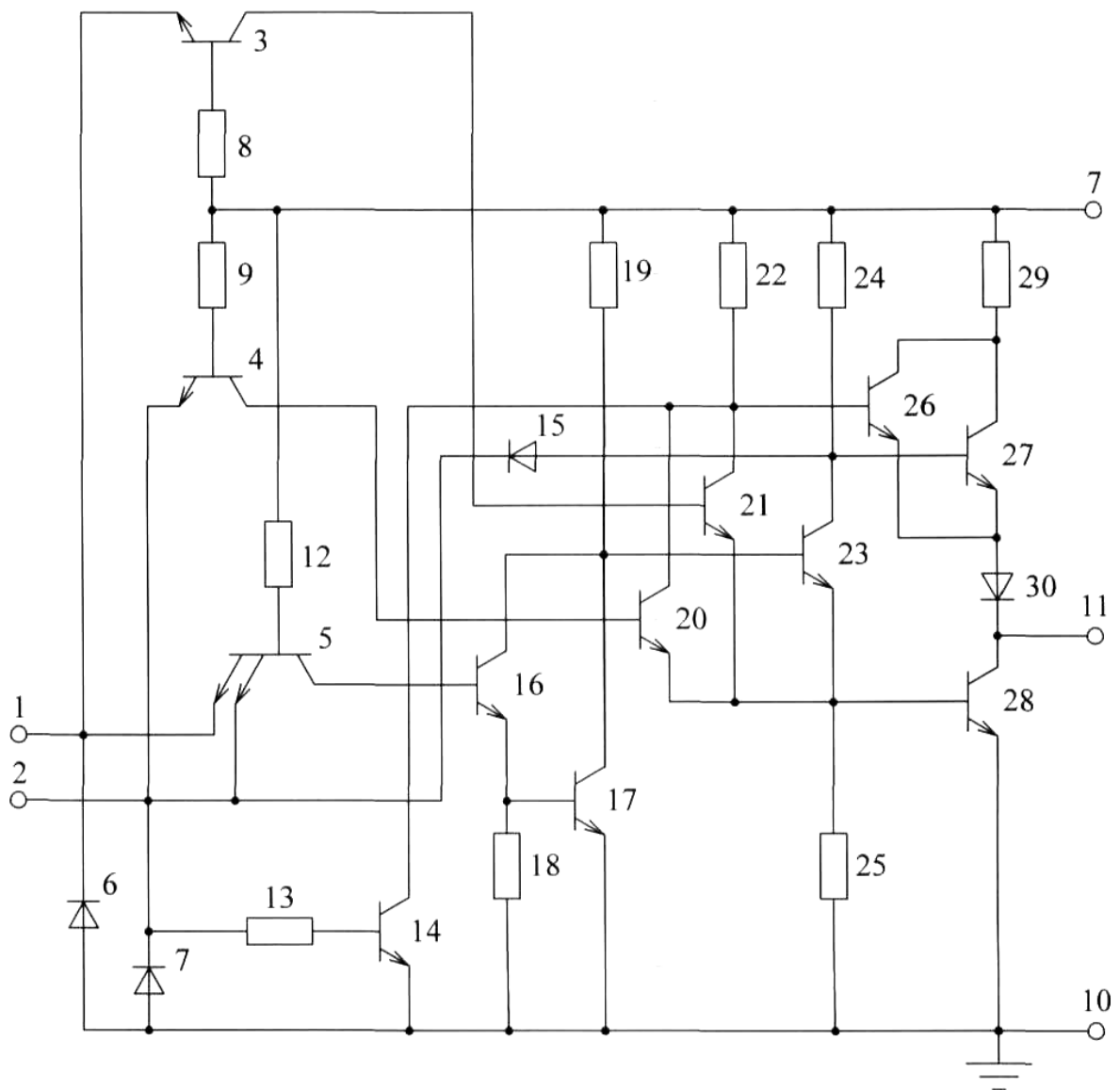
Логічні схеми з трьома станами можна об'єднувати за виходами на одне спільне навантаження, але при цьому в будь-який момент часу навантаження повинно обслуговуватись одним елементом, а всі інші повинні знаходитись в третьому "Z" стані (див. Соломатин Н. М. Логические элементы ЭВМ. - М.: Высшая школа, 1980, с. 96). Об'єднуючи сигнали на виходах нижньої частини і верхньої частини пристрою, отримуємо на виході 11 пристрою логічну функцію "РІВНОЗНАЧНІСТЬ" або "ЕКВІВАЛЕНТНІСТЬ".

Таким чином, реалізовано новий логічний елемент транзисторно-транзисторної логіки "РІВНОЗНАЧНІСТЬ", що дозволить реалізувати цифрові пристрої порівняння з меншою кількістю логічних елементів в один ступінь швидкодії і з меншою потужністю споживання та кращими показниками відмовостійкості за раптовими відмови за рахунок спрощення цифрових пристроїв порівняння.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Логічний елемент, який містить джерело постійної напруги, перший, другий входи, вихід пристрою, вхідний двоємітерний транзистор, перший, другий вхідні діоди, проміжний транзистор, транзистор першого фазорозподільчого каскаду, перший, другий вихідні транзистори, проміжний і вихідний діоди, перший вхідний резистор, перший, другий резистори першого фазорозподільчого каскаду, проміжний резистор, вихідний резистор, причому база вхідного двоємітерного транзистора через перший вхідний резистор підключена до позитивного полюса джерела постійної напруги, перший емітер з'єднаний з катодом першого вхідного діода, анод якого підключений до загальної шини джерела постійної напруги, другий емітер з'єднаний з катодом другого вхідного діода, анод якого підключений до загальної шини джерела постійної напруги, та другий емітер з'єднаний з катодом проміжного діода, анод якого з'єднаний з базою першого вихідного транзистора, через перший резистор першого фазорозподільчого каскаду підключений до позитивного полюса джерела постійної напруги і з'єднаний з колектором транзистора першого фазорозподільчого каскаду, емітер якого через другий резистор першого фазорозподільчого каскаду підключений до загальної шини джерела постійної напруги і з'єднаний з базою другого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор підключений до виходу пристрою і з'єднаний з катодом вихідного діода, анод якого з'єднаний з емітером першого вихідного транзистора, колектор якого через вихідний резистор підключений до позитивного полюса джерела постійної напруги, а також емітер проміжного транзистора підключений до загальної шини джерела постійної напруги, база з'єднана з першим виводом проміжного резистора, який **відрізняється** тим, що в нього введено перший, другий вхідні транзистори, перший, другий транзистори інвертуючого каскаду, транзистор другого фазорозподільчого каскаду, третій вихідний транзистор, другий, третій вхідні резистори, перший, другий резистори інвертуючого каскаду, резистор другого фазорозподільчого каскаду, причому емітери першого, другого вхідних транзисторів підключені

відповідно до першого і другого входів пристрою, а емітер другого вхідного транзистора з'єднаний з другим виводом проміжного транзистора, бази через другий і третій вхідні резистори відповідно підключені до позитивного полюса джерела постійної напруги, колектори з'єднані з базами відповідно першого і другого транзисторів другого фазорозподільчого каскаду, емітери яких через другий резистор першого фазорозподільчого каскаду підключені до загальної шини джерела постійної напруги і з'єднані з базою другого вихідного транзистора і емітером транзистора першого фазорозподільчого каскаду, колектори через резистор другого фазорозподільчого каскаду підключені до позитивного полюса джерела постійної напруги і з'єднані з колектором проміжного транзистора і базою третього вихідного транзистора, колектор якого через вихідний резистор підключений до позитивного полюса джерела постійної напруги і з'єднаний з колектором першого вихідного транзистора, емітер з'єднаний з емітером першого вихідного транзистора і анодом вихідного діода, а також колектор вхідного двоємітерного транзистора з'єднаний з базою першого транзистора інвертуючого каскаду, емітер якого через перший резистор інвертуючого каскаду підключений до загальної шини джерела постійної напруги і з'єднаний з базою другого транзистора інвертуючого каскаду, емітер якого підключений до загальної шини джерела постійної напруги, колектор через другий резистор інвертуючого каскаду підключений до позитивного полюса джерела постійної напруги і з'єднаний з колектором першого транзистора інвертуючого каскаду і базою транзистора першого фазорозподільчого каскаду.



Комп'ютерна верстка І. Мироненко

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601