



ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **115599** (13) **U**
(51) МПК
Н03М 1/46 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

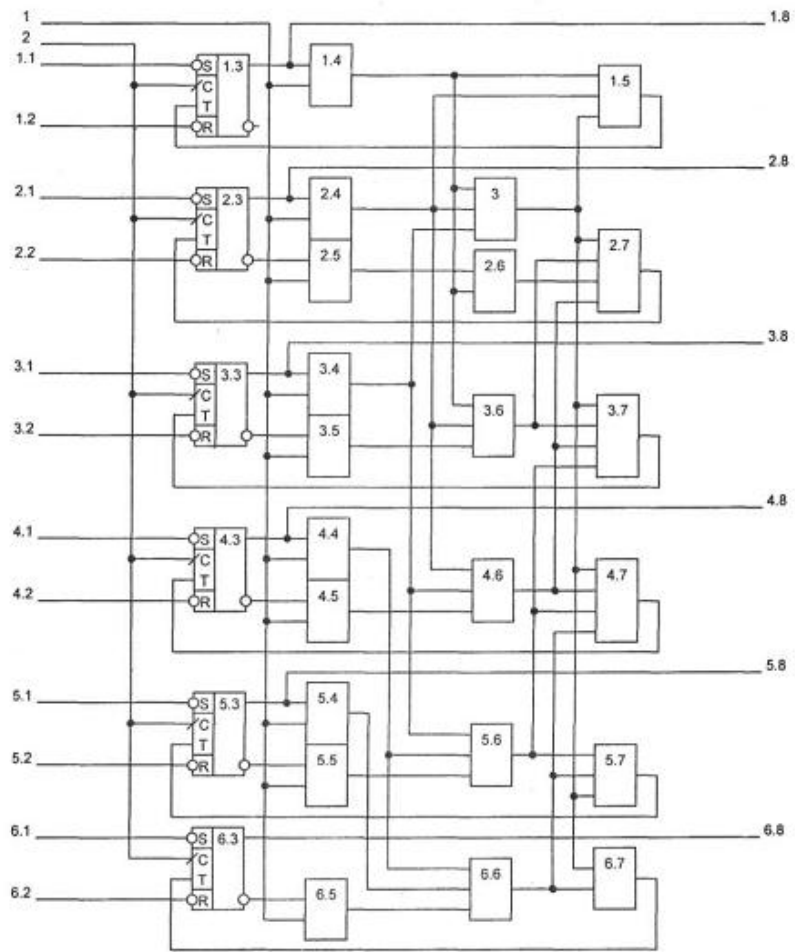
(21) Номер заявки: u 2016 10039	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Черняк Олександр Іванович (UA)
(22) Дата подання заявки: 03.10.2016	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права на корисну модель: 25.04.2017	
(46) Публікація відомостей про видачу патенту: 25.04.2017, Бюл.№ 8	

(54) РЕВЕРСИВНИЙ ЦИКЛІЧНИЙ ЛІЧИЛЬНИК У ФІБОНАЧЧІЄВІЙ СИСТЕМІ ЧИСЛЕННЯ

(57) Реферат:

Реверсивний циклічний лічильник у фібоначчіївій системі числення має N розрядів, вхід режиму реверсивної лічби, вхід тактових імпульсів, N входів встановлення розрядів з першого по N-й в одиничний стан, N входів встановлення розрядів з першого по N-й у нульовий стан, N інформаційних виходів, та у кожному розряді містить лічильний тригер, перший розряд містить логічний елемент І-НІ, перший і N-й розряд містять логічний елемент ВИКЛЮЧНЕ АБО, кожен розряд, крім першого і N-го, містить перший і другий логічні елементи ВИКЛЮЧНЕ АБО, перший і другий логічні елементи І-НІ, а N-й розряд містить перший логічний елемент І-НІ. В нього введено другий логічний елемент І-НІ N-го розряду та логічний елемент І-НІ лічильника.

UA 115599 U



Фиг. 1

Корисна модель належить до обчислювальної техніки і автоматики та може бути використана у цифрових пристроях.

Відомо цифро-аналоговий перетворювач, патент на корисну модель UA № 94085, м. кл Н03М 1/46, опублікований 27.10.2014, бюл. № 20, в якому описано швидкодіючий лічильник у фібоначчівій системі числення, що містить вхід встановлення у початковий стан, вхід тактових імпульсів, вхід одиничного потенціалу, N інформаційних виходів, та у кожному i-му розряді містить лічильний тригер, вхід С синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, вхід R встановлення у початковий стан з'єднаний зі входом встановлення у початковий стан лічильника, а вихід з'єднаний з i-м інформаційним виходом лічильника, крім того, перший і другий розряди лічильника містять по одному логічному елементу 2I-НІ, а кожний розряд лічильника, починаючи з третього, містить перший і другий логічні елементи 3I-НІ, причому перший вхід логічного елемента 2I-НІ першого розряду з'єднаний з прямим виходом лічильного тригера першого розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду; перший вхід логічного елемента 2I-НІ другого розряду з'єднаний з інверсним виходом лічильного тригера першого розряду, другий його вхід з'єднаний з виходом першого логічного елемента 3I-НІ четвертого розряду, а вихід з'єднаний з Т-входом лічильного тригера другого розряду; у кожному i-му розряді лічильника, починаючи з третього, перший вхід першого логічного елемента 3I-НІ з'єднаний з інверсним виходом лічильного тригера i-го розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера (i-i)-го розряду, третій вхід з'єднаний з прямим виходом лічильного тригера (i-2)-го розряду, а вихід з'єднаний з першим входом другого логічного елемента 3I-НІ i-го розряду; другий вхід другого логічного елемента 3I-НІ i-го розряду, крім N-го, з'єднаний з виходом першого логічного елемента 3I-НІ (i+1)-го розряду, третій вхід другого логічного елемента 3I-НІ i-го розряду, крім N-го та (N-1)-го, з'єднаний з виходом першого логічного елемента 3I-НІ (i+2)-го розряду, а вихід другого логічного елемента 3I-НІ i-го розряду з'єднаний з Т-входом лічильного тригера i-го розряду; другий і третій входи другого логічного елемента 3I-НІ N-го розряду та третій вхід другого логічного елемента 3I-НІ (N-1)-го розряду з'єднані з входом одиничного потенціалу лічильника.

Недоліком даного лічильника є обмежені функціональні можливості тому, що відсутній режим зміни з оберненого на прямий порядок лічби і навпаки.

Як прототип вибрано реверсивний лічильник у фібоначчівій системі числення, патент на корисну модель UA № 109080, м. кл Н03М 7/00, опублікований 10.08.2016, бюл. № 15. Лічильник має N входів встановлення розрядів з першого по N-й в одиничний стан, N входів встановлення розрядів з першого по N-й у нульовий, вхід тактових імпульсів, N інформаційних виходів, та у кожному розряді містить лічильний тригер, крім того, перший, другий та (N-1)-й розряди містять логічний елемент 2I-НІ, другий, (N-1)-й та N-й розряди містять логічний елемент 3I-НІ, N-й розряд містить логічний елемент НІ, а кожен розряд, крім першого, другого, (N-1)-го та N-го, містить перший та другий логічні елементи 3I-НІ, причому входи встановлення розрядів в одиничний стан з'єднані з входами S встановлення в одиничний стан лічильних тригерів відповідних розрядів, входи встановлення розрядів в нульовий стан з'єднані з входами R встановлення в одиничний стан лічильних тригерів відповідних розрядів, вхід тактових імпульсів лічильника з'єднаний з входами С синхронізації лічильних тригерів з першого по N-й розрядів, прямий вихід кожного i-го лічильного тригера з першого по N-й розряди з'єднаний з i-м інформаційним виходом лічильника, вихід першого логічного елемента 3I-НІ кожного i-го розряду з третього по (N-2)-й з'єднаний з першим входом другого логічного елемента 3I-НІ i-го розряду, вихід якого з'єднаний з Т-входом лічильного тригера i-го розряду, вихід першого логічного елемента кожного i-го розряду, з четвертого по (N-2)-й, з'єднаний з другим входом другого логічного елемента 3I-НІ (i-i)-го розряду, вихід першого логічного елемента 3I-НІ кожного i-го розряду, з п'ятого по (N-2)-й, з'єднаний з третім входом другого логічного елемента 3I-НІ (i-2)-го розряду, вихід логічного елемента 3I-НІ (N-1)-го розряду з'єднаний з третім входом другого логічного елемента 3I-НІ (N-3)-го розряду, другим входом логічного другого елемента 3I-НІ (N-2)-го розряду та першим входом логічного елемента 2I-НІ (N-1)-го розряду, другий вхід якого з'єднаний з виходом логічного елемента 3I-НІ N-го розряду, третім входом другого логічного елемента 3I-НІ (N-2)-го розряду та входом логічного елемента НІ N-го розряду, а вихід з'єднаний з Т-входом лічильного тригера (N-1)-го розряду, вихід логічного елемента НІ N-го розряду з'єднаний з Т-входом лічильного тригера N-го розряду, вихід першого логічного елемента 3I-НІ третього розряду з'єднаний з першим входом логічного елемента 3I-НІ другого розряду, другий вхід якого з'єднаний з виходом першого елемента 3I-НІ четвертого розряду, а вихід з'єднаний з Т-входом лічильного тригера другого розряду, крім того, лічильник додатково містить вхід режиму реверсивної лічби, а також перший і N-й розряд містить логічний елемент

ВИКЛЮЧНЕ АБО, кожен розряд, крім першого і N-го, містить перший і другий логічні елементи
 ВИКЛЮЧНЕ АБО, перший розряд містить логічний елемент 21, причому, вхід режиму
 реверсивної лічби з'єднаний з першими входами всіх логічних елементів ВИКЛЮЧНЕ АБО, всіх
 перших логічних елементів ВИКЛЮЧНЕ АБО та всіх других логічних елементів ВИКЛЮЧНЕ
 5 АБО, прямий вихід лічильного тригера першого розряду з'єднаний з другим входом логічного
 елемента ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного i-го лічильного тригера з
 другого по (N-1)-й розряди з'єднаний з другим входом першого логічного елемента ВИКЛЮЧНЕ
 АБО i-го розряду, інверсний вихід кожного i-го лічильного тригера з другого по (N-1)-й розряди
 10 з'єднаний з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний
 вихід лічильного тригера N-го розряду з'єднаний з другим входом логічного елемента
 ВИКЛЮЧНЕ АБО N-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го
 розряду з третього по (N-2)-й з'єднаний з першим входом першого логічного елемента 3I-NI i-го
 розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднаний з
 15 першим входом логічного елемента 3I-NI (N-1)-го розряду, вихід логічного елемента
 ВИКЛЮЧНЕ АБО N-го розряду з'єднаний з першим входом логічного елемента 3I-NI N-го
 розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з другого по
 (N-4)-й з'єднаний з другим входом першого логічного елемента 3I-NI (i+1)-го розряду та третім
 входом першого логічного елемента 3I-NI (i+2)-го розряду, вихід логічного елемента
 20 ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента 2I-NI
 першого розряду, першим входом логічного елемента 2I-NI другого розряду та третім входом
 першого логічного елемента 3I-NI третього розряду, вихід другого логічного елемента
 ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 2I-NI другого
 розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з
 25 другим входом логічного елемента 2I-NI першого розряду, вихід якого з'єднаний з першим
 входом логічного елемента 21 першого розряду, другий вхід якого з'єднаний з виходом першого
 логічного елемента 3I-NI третього розряду, а вихід з'єднаний з T-входом лічильного тригера
 першого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-3)-го розряду
 з'єднаний з другим входом першого логічного елемента 3I-NI (N-2)-го розряду та другим входом
 логічного елемента 3I-NI (N-1)-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО
 30 (N-2)-го розряду з'єднаний з третім входом логічного елемента 3I-NI (N-1)-го розряду та другим
 входом логічного елемента 3I-NI N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ
 АБО (N-1)-го розряду з'єднаний з третім входом логічного елемента 3I-NI N-го розряду, вихід
 логічного елемента 2I-NI другого розряду з'єднаний з третім входом логічного елемента 3I-NI
 другого розряду.

35 Недоліком прототипу є обмежені функціональні можливості тому, що лічба у прямому
 порядку зупиняється при досягненні коду "всі одиниці", так само як зупиняється лічба у
 зворотному порядку при досягненні коду "всі нулі".

В основу корисної моделі поставлено задачу створення реверсивного циклічного лічильника
 у фібоначчівій системі числення, в якому за рахунок введення нових елементів та зв'язків
 40 організується режим циклічної лічби як у прямому, так і у зворотному порядку, що приводить до
 розширення функціональних можливостей. У режимі прямої лічби при досягненні лічильником
 коду "всі одиниці" лічба у прямому порядку продовжується далі з коду "всі нулі". У режимі
 оберненої лічби при досягненні лічильником коду "всі нулі" лічба у зворотному порядку
 продовжується далі з коду "всі одиниці".

45 Поставлена задача вирішується тим, що у реверсивний циклічний лічильник у фібоначчівій
 системі числення, який має N розрядів, вхід режиму реверсивної лічби, вхід тактових імпульсів,
 N входів встановлення розрядів з першого по N-й в одиничний стан, N входів встановлення
 розрядів з першого по N-й у нульовий стан, N інформаційних виходів, та у кожному розряді
 50 містить лічильний тригер, перший розряд містить логічний елемент I-NI, перший і N-й розряд
 містять логічний елемент ВИКЛЮЧНЕ АБО, кожен розряд, крім першого і N-го, містить перший і
 другий логічні елементи ВИКЛЮЧНЕ АБО, перший і другий логічні елементи I-NE, а N-й розряд
 містить перший логічний елемент I-NI, причому, входи встановлення розрядів в одиничний стан
 з'єднані з входами S встановлення в одиничний стан лічильних тригерів відповідних розрядів,
 входи встановлення розрядів в нульовий стан з'єднані з входами R встановлення в одиничний
 55 стан лічильних тригерів відповідних розрядів, вхід тактових імпульсів лічильника з'єднаний з
 входами C синхронізації лічильних тригерів з першого по N-й розрядів, прямий вихід кожного i-го
 лічильного тригера з першого по N-й розряди з'єднаний з i-м інформаційним виходом
 лічильника, вхід режиму реверсивної лічби з'єднаний з першими входами всіх логічних
 елементів ВИКЛЮЧНЕ АБО, всіх перших логічних елементів ВИКЛЮЧНЕ АБО та всіх других
 60 логічних елементів ВИКЛЮЧНЕ АБО, прямий вихід лічильного тригера першого розряду

з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного i -го лічильного тригера з другого по $(N-1)$ -й розряди з'єднаний з другим входом першого логічного елемента ВИКЛЮЧНЕ АБО i -го розряду, інверсний вихід кожного i -го лічильного тригера з другого по $(N-1)$ -й розряди з'єднаний з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО i -го розряду, інверсний вихід лічильного тригера N -го розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО N -го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО кожного i -го розряду з другого по $(N-1)$ -й з'єднаний з першим входом першого логічного елемента I-НІ i -го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО кожного i -го розряду з другого по $(N-2)$ -й з'єднаний з другим входом першого логічного елемента I-НІ $(i+1)$ -го розряду та третім входом першого логічного елемента I-НІ $(i+2)$ -го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента I-НІ першого розряду, другим входом першого логічного елемента I-НІ другого розряду та третім входом першого логічного елемента I-НІ третього розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО N -го розряду з'єднаний з першим входом першого логічного елемента I-НЕ N -го розряду, другий вхід якого з'єднаний з виходом першого логічного елемента ВИКЛЮЧНЕ АБО $(N-1)$ -го розряду, вихід першого логічного елемента I-НІ кожного i -го розряду з другого по $(N-1)$ -й з'єднаний з першим входом другого логічного елемента I-НІ i -го розряду, вихід якого з'єднаний з Т-входом лічильного тригера i -го розряду, вихід першого логічного елемента I-НІ кожного i -го розряду з третього по N -й з'єднаний з другим входом другого логічного елемента I-НІ $(i-1)$ -го розряду, вихід першого логічного елемента I-НІ кожного i -го розряду з четвертого по N -й з'єднаний з третім входом другого логічного елемента I-НІ $(i-2)$ -го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента I-НІ першого розряду, введено другий логічний елемент I-НІ N -го розряду та логічний елемент I-НІ лічильника, перший вхід якого з'єднаний з виходом логічного елемента ВИКЛЮЧНЕ АБО першого розряду, другий вхід з'єднаний з виходом першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду, третій вхід з'єднаний з виходом першого логічного елемента ВИКЛЮЧНЕ АБО третього розряду, а вихід з'єднаний з третім входом логічного елемента I-НІ першого розряду, четвертими входами других логічних елементів I-НІ розрядів з другого по $(N-2)$ -й, третім входом другого логічного елемента I-НІ $(N-1)$ -го розряду та першим входом другого логічного елемента I-НІ N -го розряду, другий вхід якого з'єднаний з виходом першого логічного елемента I-НІ N -го розряду, а вихід з'єднаний з Т-входом лічильного тригера N -го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з Т-входом лічильного тригера першого розряду.

На фіг. 1 зображено схему шестирозрядного реверсивного циклічного лічильника у фібоначчівій системі числення. На фіг. 2 зображено часові діаграми сімнадцяти тактів роботи шестирозрядного реверсивного циклічного лічильника у фібоначчівій системі числення, починаючи з коду 111010. На діаграмах не враховані затримки часу на перемикання логічних елементів і тригерів.

Реверсивний циклічний лічильник у фібоначчівій системі числення має шість розрядів, вхід 1 режиму реверсивної лічби, призначений для встановлення прямого чи зворотного порядку лічби, вхід 2 тактових імпульсів, входи 1.1÷6.1 встановлення розрядів з першого по шостий в одиничний стан, входи 1.2÷6.2 встановлення розрядів з першого по шостий у нульовий стан, інформаційні виходи 1.8÷3.8, містить логічний елемент 3I-НІ лічильника, у кожному i -у розряді містить лічильний тригер 1.3, перший розряд містить логічний елемент 2.5I-НІ, перший і шостий розряди містять логічний елемент 1.4, 6.5 ВИКЛЮЧНЕ АБО, кожен i -й розряд, крім першого і шостого, містить перший і другий логічні елементи 1.4, 1.5 ВИКЛЮЧНЕ АБО, а також, перший і другий логічні елементи 1.6, 1.7 I-НІ, а шостий розряд містить перший і другий логічні елементи 6.6, 6.7 I-НІ, причому входи 1.1÷6.1 встановлення розрядів з першого по шостий в одиничний стан з'єднані з входами S встановлення в одиничний стан лічильних тригерів 1.3÷6.3 відповідних розрядів, входи 1.2÷6.2 встановлення розрядів з першого по шостий у нульовий стан з'єднані з входами R встановлення в одиничний стан лічильних тригерів 1.3÷6.3 відповідних розрядів, вхід 2 тактових імпульсів лічильника з'єднаний з входами С синхронізації лічильних тригерів 1.3÷6.3 розрядів з першого по шостий, прямий вихід кожного i -го лічильного тригера 1.3 розрядів з першого по шостий з'єднаний з i -м інформаційним виходом 1.8÷6.8 лічильника, вхід 1 режиму реверсивної лічби з'єднаний з першими входами логічних елементів 1.4, 6.5 ВИКЛЮЧНЕ АБО першого і шостого розрядів, перших логічних елементів 2.4÷5.4 ВИКЛЮЧНЕ АБО розрядів з другого по п'ятий та других логічних елементів 2.5÷5.5 ВИКЛЮЧНЕ АБО розрядів з другого по п'ятий, прямий вихід лічильного тригера 1.3 першого розряду з'єднаний з другим входом логічного елемента 1.4 ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного i -го лічильного тригера 1.3 з другого по п'ятий з'єднаний з другим входом першого

логічного елемента 1.4 ВИКЛЮЧНЕ АБО і-го розряду, інверсний вихід кожного і-го лічильного тригера 1.3 розрядів з другого по п'ятий з'єднаний з другим входом другого логічного елемента 1.5 ВИКЛЮЧНЕ АБО і-го розряду, інверсний вихід лічильного тригера 6.3 шостого розряду з'єднаний з другим входом логічного елемента 6.5 ВИКЛЮЧНЕ АБО шостого розряду, вихід

5 другого логічного елемента 1.5 ВИКЛЮЧНЕ АБО кожного і-го розряду з другого по п'ятий з'єднаний з першим входом першого логічного елемента 1.6 I-НІ і-го розряду, вихід першого логічного елемента 1.4 ВИКЛЮЧНЕ АБО кожного і-го розряду з другого по четвертий з'єднаний з другим входом першого логічного елемента (i+1).6 I-НІ (i+1)-го розряду та третім входом першого логічного елемента (i+2).6 I-НІ (i+2)-го розряду, вихід логічного елемента 1.4

10 ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента 1.5 I-НІ першого розряду, другим входом першого логічного елемента 2.6 I-НІ другого розряду та третім входом першого логічного елемента 3.6 I-НІ третього розряду, вихід логічного елемента 6.5 ВИКЛЮЧНЕ АБО шостого розряду з'єднаний з першим входом першого логічного елемента 6.6 I-НІ шостого розряду, другий вхід якого з'єднаний з виходом першого логічного елемента 5.4

15 ВИКЛЮЧНЕ АБО п'ятого розряду, вихід першого логічного елемента 1.6 I-НІ кожного і-го розряду з другого по п'ятий з'єднаний з першим входом другого логічного елемента 1.7 I-НІ і-го розряду, вихід якого з'єднаний з Т-входом лічильного тригера 1.3 і-го розряду, вихід першого логічного елемента 1.6 I-НІ кожного і-го розряду з третього по шостий з'єднаний з другим входом другого логічного елемента (i-1).7 I-НІ (i-1)-го розряду, вихід першого логічного елемента

20 1.6 I-НІ кожного і-го розряду з четвертого по шостий з'єднаний з третім входом другого логічного елемента (i-2).7 I-НІ (i-2)-го розряду, вихід першого логічного елемента 2.4 ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 1.5 I-НІ першого розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента 3I-НІ лічильника, другий вхід якого з'єднаний з виходом першого логічного елемента

25 2.4 ВИКЛЮЧНЕ АБО другого розряду, третій вхід з'єднаний з виходом першого логічного елемента 3.4 ВИКЛЮЧНЕ АБО третього розряду, а вихід з'єднаний з третім входом логічного елемента 1.5 I-НІ першого розряду, четвертими входами других логічних елементів 2.7÷4.7 I-НІ розрядів з другого по четвертий, третім входом другого логічного елемента 5.7 I-НІ п'ятого розряду та першим входом другого логічного елемента 6.7 I-НІ шостого розряду, другий вхід

30 якого з'єднаний з виходом першого логічного елемента 6.6 I-НІ шостого розряду, а вихід з'єднаний з Т-входом лічильного тригера 6.3 шостого розряду, вихід логічного елемента 1.4 ВИКЛЮЧНЕ АБО першого розряду з'єднаний з Т-входом лічильного тригера 1.3 першого розряду.

Лічильник працює таким чином. Нехай, наприклад, на вхід 1 режиму реверсивної лічби

35 подано нульовий сигнал, на входи 6.1+1.1 встановлення розрядів з шостого по перший в одиничний стан подано код 111111, а на входи 6.2÷1.2 встановлення розрядів з шостого по перший в нульовий стан подано код 000000. Нульовий сигнал із входу 1 режиму реверсивної лічби надходить на перші входи логічних елементів 1.4, 6.5 ВИКЛЮЧНЕ АБО першого і шостого розрядів та перших і других логічних елементів 2.4÷5.4, 2.5÷5.5 ВИКЛЮЧНЕ АБО розрядів з

40 другого по п'ятий. Нульові сигнали із входів 1.2÷6.2 встановлення розрядів з шостого по перший в нульовий стан надходять на R-входи лічильних тригерів 1.3÷3.3 розрядів з першого по шостий, на S-входи яких надходять одиничні сигнали із входів 1.1÷6.1 встановлення розрядів з шостого по перший в одиничний стан. Лічильні тригери 1.3÷6.3 розрядів з першого по шостий встановлюються в нульовий стан. На інформаційних виходах 6.8÷1.8 встановлюється код

45 000000. Нульові сигнали з прямих виходів лічильних тригерів 1.3÷5.3 з першого по п'ятий розряди надходять відповідно на другий вхід логічного елемента 1.4 ВИКЛЮЧНЕ АБО першого розряду та на другі входи перших логічних елементів 2.4÷5.4 ВИКЛЮЧНЕ АБО розрядів з другого по п'ятий. Одиничні сигнали з інверсних виходів лічильних тригерів 2.3÷6.3 з другого по шостий розряди надходять відповідно на другі входи других логічних елементів 2.5÷6.5

50 ВИКЛЮЧНЕ АБО розрядів з другого по шостий та на другий вхід логічного елемента 6.5 ВИКЛЮЧНЕ АБО шостого розряду. Одиничні сигнали з виходів других логічних елементів 2.5÷5.5 ВИКЛЮЧНЕ АБО розрядів з другого по п'ятий надходять на перші входи перших логічних елементів 2.6÷5.6 I-НІ розрядів з першого по п'ятий відповідно. Одиничний сигнал з виходу логічного елемента 6.5 ВИКЛЮЧНЕ АБО шостого розряду надходить на перший вхід

55 першого логічного елемента I-НІ шостого розряду. Нульовий сигнал з виходу логічного елемента 1.4 ВИКЛЮЧНЕ АБО першого розряду надходить на перший вхід логічного елемента 1.5 I-НІ першого розряду, другий вхід першого логічного елемента 2.6 I-НІ другого розряду та третій вхід першого логічного елемента 3.6 I-НІ третього розряду. Нульовий сигнал з виходу першого логічного елемента 2.4 ВИКЛЮЧНЕ АБО другого розряду надходить на другий вхід

логічного елемента 1.5 I-НІ першого розряду. Нульові сигнали з виходів перших логічних елементів 2.4÷5.4 ВИКЛЮЧНЕ АБО розрядів з другого по п'ятий надходять на другі входи перших логічних елементів 3.6÷6.6 I-НІ відповідно. Нульові сигнали з виходів перших логічних елементів 2.4÷4.4 ВИКЛЮЧНЕ АБО розрядів з другого по четвертий надходять на треті входи перших логічних елементів 4.6÷6.6 I-НІ відповідно. Нульові сигнали з виходів логічного елемента 1.4 ВИКЛЮЧНЕ АБО першого розряду та логічних елементів 2.4, 3.4 ВИКЛЮЧНЕ АБО другого і третього розрядів надходять відповідно на перший, другий і третій входи логічного елемента 3 I-НІ лічильника, з виходу якого одиничний сигнал надходить на третій вхід логічного елемента 1.5 I-НІ першого розряду, четверті входи других логічних елементів 2.7÷4.7 I-НІ розрядів з другого по четвертий, третій вхід другого логічного елемента 5.7 I-НІ п'ятого розряду та перший вхід другого логічного елемента 6.7 I-НІ шостого розряду. Одиничні сигнали з виходів перших логічних елементів 2.6÷5.6 I-НІ надходять на перші входи других логічних елементів 2.7÷5.7 I-НІ розрядів з другого по п'ятий. Одиничний сигнал з виходу логічного елемента 6.6 I-НІ шостого розряду надходить на другий вхід другого логічного елемента 6.7 I-НІ шостого розряду. Одиничні сигнали з виходів перших логічних елементів 3.6÷6.6 I-НІ розрядів з третього по шостий надходять на другі входи других логічних елементів 2.7÷5.7 I-НІ розрядів з другого по п'ятий. Одиничні сигнали з виходів перших логічних елементів 4.6÷6.6 I-НІ розрядів з четвертого по шостий надходять на треті входи других логічних елементів 2.7÷4.7 I-НІ розрядів з другого по четвертий. Одиничний сигнал з виходу логічного елемента 1.5 I-НІ першого розряду надходить на Т-вхід лічильного тригера першого розряду. Нульові сигнали з виходів других логічних елементів 2.7÷6.7 I-НІ розрядів з другого по шостий надходять на Т-входи лічильних тригерів 2.3÷6.3 розрядів з другого по шостий. На входи 1.2÷6.2 встановлення розрядів з шостого по перший в нульовий стан подається одиничний сигнал, який надходить на R-входи лічильних тригерів 1.3÷6.3 розрядів з першого по шостий. На вхід 2 тактових імпульсів подається передній фронт одиничного сигналу, який надходить на С-входи лічильних тригерів 1.3÷6.3 розрядів з першого по шостий. Лічильний тригер 1.3 першого розряду встановлюється в одиничний стан, а лічильні тригери 2.3÷6.3 розрядів з другого по шостий встановлюються в нульовий стан. На інформаційних виходах 6.8÷1.8 встановлюється код 000001. Подальша робота лічильника пояснюється за допомогою часових діаграм, наведених на фіг. 2. З діаграм видно, що перші дев'ять тактів лічильник працює у режимі прямої лічби, а решту тактів - у режимі зворотної лічби. При режимі прямої лічби на п'ятому такті у лічильнику встановлюється код 11111 "всі одиниці". На всі три входи логічного елемента 3I-НІ лічильника надходять одиничні сигнали з виходів логічного елемента 1.4 ВИКЛЮЧНЕ АБО першого розряду та перших логічних елементів 2.4, 3.4 ВИКЛЮЧНЕ АБО другого і третього розрядів. Нульовий сигнал з виходу логічного елемента 3I-НІ лічильника надходить на третій вхід логічного елемента 1.5 I-НІ першого розряду, четверті входи других логічних елементів 2.7÷4.7 I-НІ розрядів з другого по четвертий, третій вхід другого логічного елемента 5.7 I-НІ п'ятого розряду та перший вхід другого логічного елемента 6.7 I-НІ шостого розряду. Одиничний сигнал з виходу логічного елемента 1.5 I-НІ першого розряду надходить на Т-вхід лічильного тригера першого розряду. Одиничні сигнали з виходів других логічних елементів 2.7÷6.7 I-НІ розрядів з другого по шостий надходять на Т-входи лічильних тригерів 2.3÷6.3 розрядів з другого по шостий. На шостому такті в результаті інвертування станів лічильних тригерів 6.3÷1.3 всіх розрядів у лічильнику встановлюється код 000000 "всі нулі", з якого на наступних тактах продовжується лічба у прямому порядку. Аналогічно на чотирнадцятому такті при режимі лічби у зворотному порядку в лічильнику встановлюється в код 000000 "всі нулі", а на п'ятнадцятому такті - код 111111 "всі одиниці", з якого на наступних тактах продовжується лічба у зворотному порядку, що підтверджує вирішення поставленої задачі.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Реверсивний циклічний лічильник у фібоначчівій системі числення, що має N розрядів, вхід режиму реверсивної лічби, вхід тактових імпульсів, N входів встановлення розрядів з першого по N-й в одиничний стан, N входів встановлення розрядів з першого по N-й у нульовий стан, N інформаційних виходів, та у кожному розряді містить лічильний тригер, перший розряд містить логічний елемент I-НІ, перший і N-й розряд містять логічний елемент ВИКЛЮЧНЕ АБО, кожен розряд, крім першого і N-го, містить перший і другий логічні елементи ВИКЛЮЧНЕ АБО, перший і другий логічні елементи I-НІ, а N-й розряд містить перший логічний елемент I-НІ, причому входи встановлення розрядів в одиничний стан з'єднані з входами S встановлення в одиничний стан лічильних тригерів відповідних розрядів, входи встановлення розрядів в нульовий стан

з'єднані з входами R встановлення в одиничний стан лічильних тригерів відповідних розрядів, вхід тактових імпульсів лічильника з'єднаний з входами С синхронізації лічильних тригерів з першого по N-й розрядів, прямий вихід кожного i-го лічильного тригера з першого по N-й розряди з'єднаний з i-м інформаційним виходом лічильника, вхід режиму реверсивної лічби з'єднаний з першими входами всіх логічних елементів ВИКЛЮЧНЕ АБО, всіх перших логічних елементів ВИКЛЮЧНЕ АБО та всіх других логічних елементів ВИКЛЮЧНЕ АБО, прямий вихід лічильного тригера першого розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного i-го лічильного тригера з другого по (N-1)-й розряди з'єднаний з другим входом першого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід кожного i-го лічильного тригера з другого по (N-1)-й розряди з'єднаний з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід лічильного тригера N-го розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО N-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з другого по (N-1)-й з'єднаний з першим входом першого логічного елемента I-НІ i-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з другого по (N-2)-й з'єднаний з другим входом першого логічного елемента I-НІ (i+1)-го розряду та третім входом першого логічного елемента I-НІ (i+2)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента I-НІ першого розряду, другим входом першого логічного елемента I-НІ другого розряду та третім входом першого логічного елемента I-НІ третього розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО N-го розряду з'єднаний з першим входом першого логічного елемента I-НІ N-го розряду, другий вхід якого з'єднаний з виходом першого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду, вихід першого логічного елемента I-НІ кожного i-го розряду з другого по (N-1)-й з'єднаний з першим входом другого логічного елемента I-НІ i-го розряду, вихід якого з'єднаний з Т-входом лічильного тригера i-го розряду, вихід першого логічного елемента I-НІ кожного i-го розряду з третього по N-й з'єднаний з другим входом другого логічного елемента I-НІ (i-1)-го розряду, вихід першого логічного елемента I-НІ кожного i-го розряду з четвертого по N-й з'єднаний з третім входом другого логічного елемента I-НІ (i-2)-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента I-НІ першого розряду, який **відрізняється** тим, що в нього введено другий логічний елемент I-НІ N-го розряду та логічний елемент I-НІ лічильника, перший вхід якого з'єднаний з виходом логічного елемента ВИКЛЮЧНЕ АБО першого розряду, другий вхід з'єднаний з виходом першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду, третій вхід з'єднаний з виходом першого логічного елемента ВИКЛЮЧНЕ АБО третього розряду, а вихід з'єднаний з третім входом логічного елемента I-НІ першого розряду, четвертими входами других логічних елементів I-НІ розрядів з другого по (N-2)-й, третім входом другого логічного елемента I-НІ (N-1)-го розряду та першим входом другого логічного елемента I-НІ N-го розряду, а вихід з'єднаний з Т-входом лічильного тригера N-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з Т-входом лічильного тригера першого розряду.

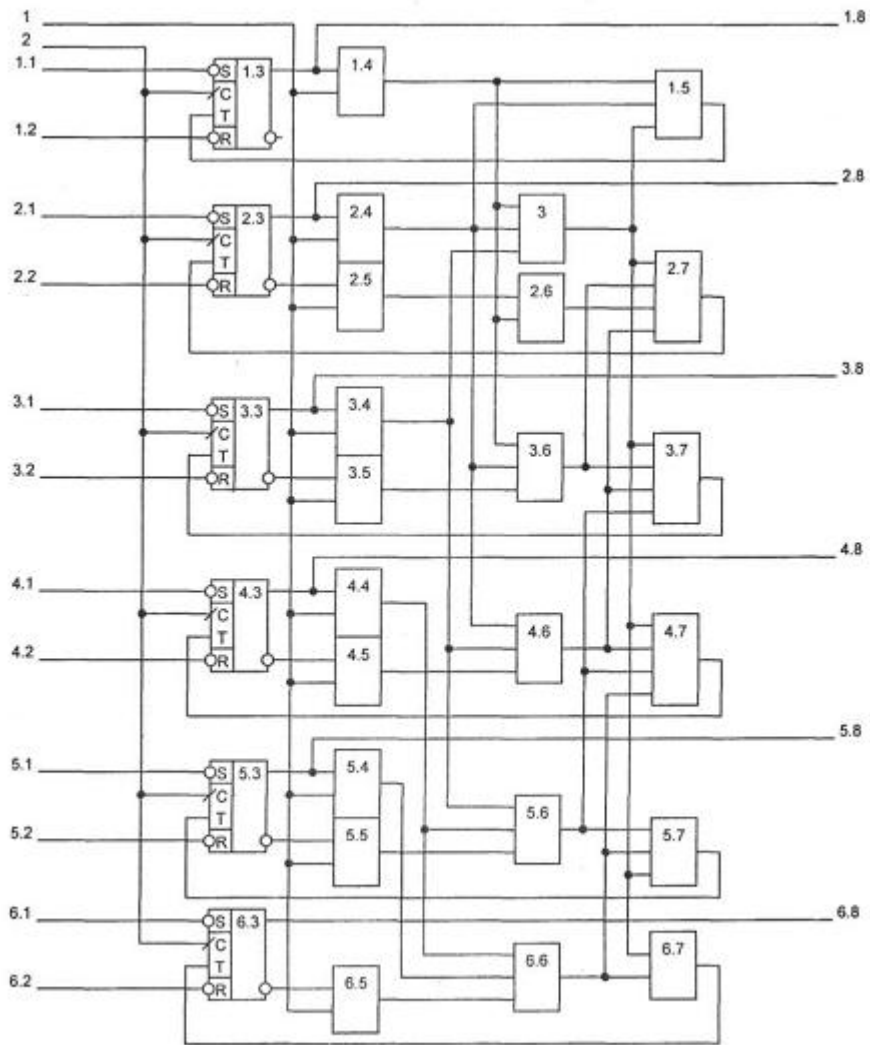
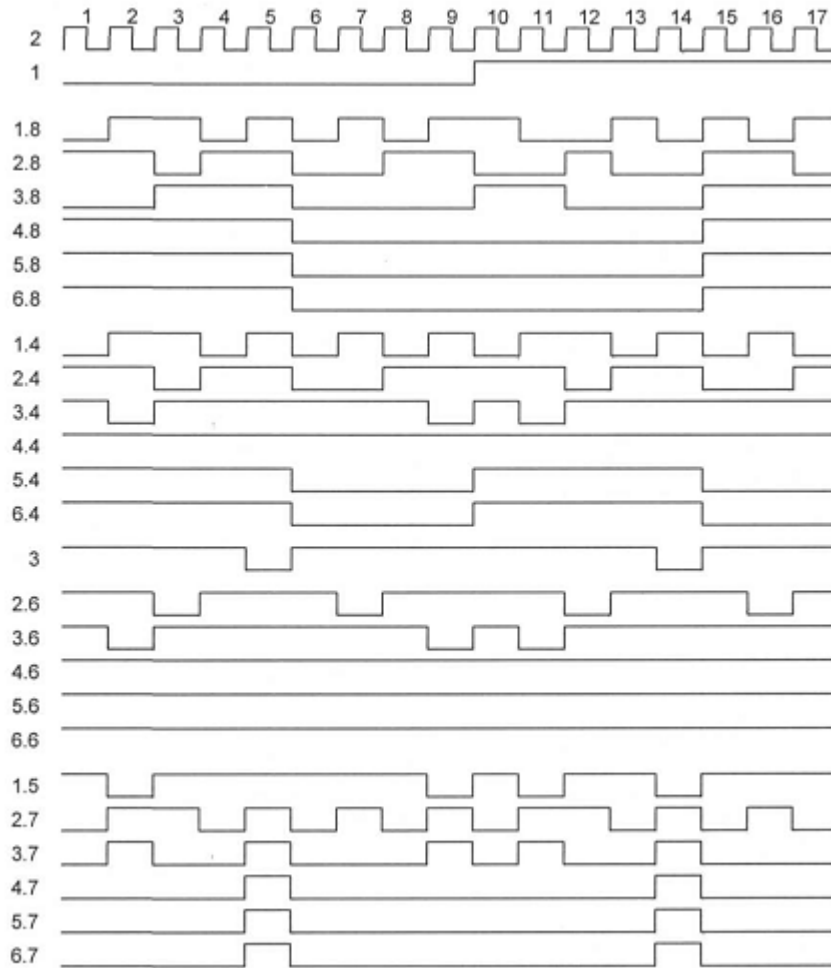


Fig. 1



Фиг. 2

Комп'ютерна верстка О. Гергіль

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601