



УКРАЇНА

(19) **UA** (11) **115993** (13) **U**
(51) МПК
Н03М 1/46 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

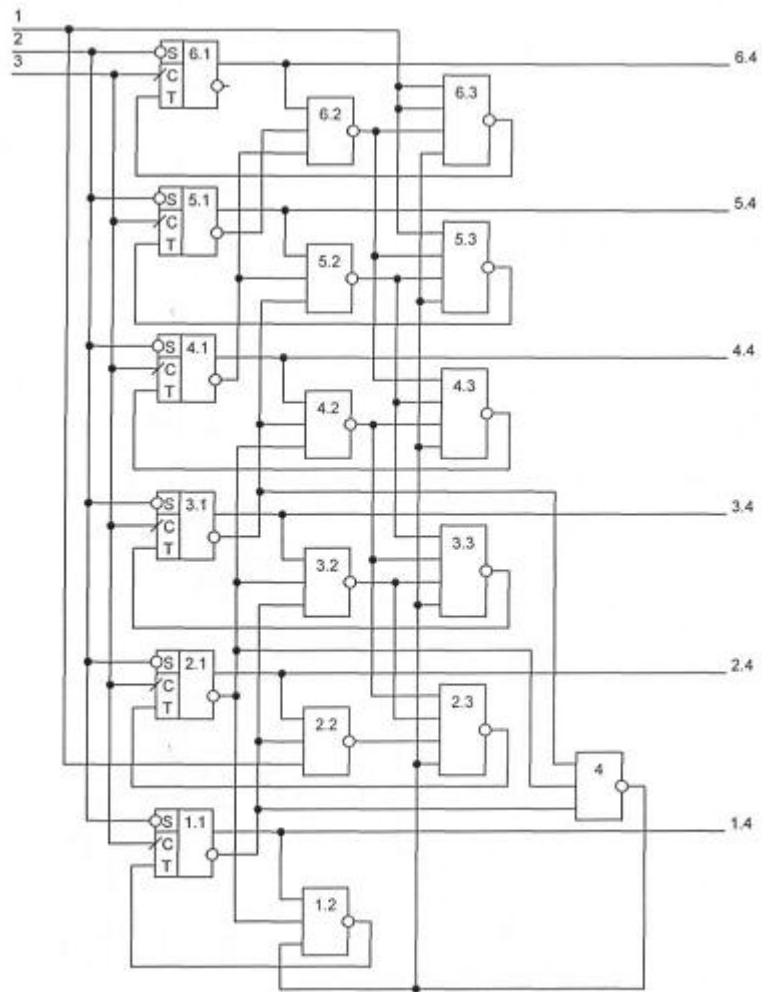
<p>(21) Номер заявки: u 2016 08714</p> <p>(22) Дата подання заявки: 11.08.2016</p> <p>(24) Дата, з якої є чинними права на корисну модель: 10.05.2017</p> <p>(46) Публікація відомостей про видачу патенту: 10.05.2017, Бюл.№ 9</p>	<p>(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Черняк Олександр Іванович (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
---	--

(54) ЦИКЛІЧНИЙ ЛІЧИЛЬНИК, ЩО ВІДНІМАЄ, У ФІБОНАЧЧІЄВІЙ СИСТЕМІ ЧИСЛЕННЯ

(57) Реферат:

Циклічний лічильник, що віднімає, у фібоначчівій системі числення має вхід логічної одиниці, вхід встановлення у початковий стан, вхід тактових імпульсів, N розрядів, N інформаційних виходів, у кожному розряді містить лічильний тригер, у першому розряді містить логічний елемент I-NI, а у кожному розряді, крім першого, містить перший і другий логічні елементи I-NI. Додатково введено логічний елемент I-NI.

UA 115993 U



Фир. 1

Корисна модель належить до обчислювальної техніки і автоматики та може бути використана у цифрових пристроях.

Відомо цифро-аналоговий перетворювач, патент на корисну модель UA №94085, М.кл Н03М 1/46, опублікований 27.10.2014 Бюл. № 20, в якому описано швидкодіючий лічильник у фібоначчівій системі числення, що містить вхід встановлення у початковий стан, вхід тактових імпульсів, вхід одиничного потенціалу, N інформаційних виходів, та у кожному i -му розряді містить лічильний тригер, вхід S синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, вхід R встановлення у початковий стан з'єднаний зі входом встановлення у початковий стан лічильника, а вихід з'єднаний з i -м інформаційним виходом лічильника, крім того перший і другий розряди лічильника містять по одному логічному елементу 2I-HE, а кожний розряд лічильника, починаючи з третього, містить перший і другий логічні елементи 3I-HE, причому перший вхід логічного елемента 2I-HE першого розряду з'єднаний з прямим виходом лічильного тригера першого розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду; перший вхід логічного елемента 2I-HE другого розряду з'єднаний з інверсним виходом лічильного тригера першого розряду, другий його вхід з'єднаний з виходом першого логічного елемента 3I-HE четвертого розряду, а вихід з'єднаний з Т-входом лічильного тригера другого розряду; у кожному i -му розряді лічильника, починаючи з третього, перший вхід першого логічного елемента 3I-HE з'єднаний з інверсним виходом лічильного тригера i -го розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера $(i-1)$ -го розряду, третій вхід з'єднаний з прямим виходом лічильного тригера $(i-2)$ -го розряду, а вихід з'єднаний з першим входом другого логічного елемента 3I-HE i -го розряду; другий вхід другого логічного елемента 3I-HE i -го розряду, крім N -го, з'єднаний з виходом першого логічного елемента 3I-HE $(i+1)$ -го розряду, третій вхід другого логічного елемента 3I-HE i -го розряду, крім N -го та $(N-1)$ -го, з'єднаний з виходом першого логічного елемента 3I-HE $(i+2)$ -го розряду, а вихід другого логічного елемента 3I-HE i -го розряду з'єднаний з Т-входом лічильного тригера i -го розряду; другий і третій входи другого логічного елемента 3I-HE N -го розряду та третій вхід другого логічного елемента 3I-HE $(N-1)$ -го розряду з'єднані з входом одиничного потенціалу лічильника.

Недоліком даного лічильника є неможливість ведення лічби у зворотному порядку.

Як прототип вибрано лічильник, що віднімає, у фібоначчівій системі числення, патент на корисну модель UA №97829, М.кл Н03К 23/00, опублікований 10.04.2015 Бюл. № 7. Даний лічильник має вхід тактових імпульсів, N інформаційних виходів, вхід логічної одиниці, та у кожному i -му розряді містить лічильний тригер, вхід S синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, а прямий вихід лічильного тригера i -го розряду з'єднаний з інформаційним виходом лічильника, крім того він має $2N$ входів встановлення у початковий стан, а у кожному i -му розряді, крім першого розряду, містить перший і другий логічні елементи I-HE, причому перший вхід першого логічного елемента I-HE i -го розряду, з'єднаний з прямим виходом лічильного тригера даного розряду, другий вихід з'єднаний з інверсним виходом лічильного тригера $(i-1)$ -го розряду, третій вхід першого логічного елемента I-HE i -го розряду, крім другого розряду, з'єднаний з інверсним виходом лічильного тригера $(i-2)$ -го розряду, а вихід з'єднаний з першим входом другого логічного елемента I-HE i -го розряду, другий вхід другого логічного елемента I-HE i -го розряду, крім N -го і $(N-1)$ -го розрядів, з'єднаний з виходом першого логічного елемента I-HE $(i+1)$ -го розряду, третій вхід з'єднаний з виходом першого логічного елемента I-HE $(i+2)$ -го розряду, а вихід з'єднаний з Т-входом лічильного тригера i -го розряду, крім того у першому розряді лічильник додатково містить логічний елемент I-HE, перший вхід якого з'єднаний з інверсним виходом лічильного тригера першого розряду, другий вхід з'єднаний з інверсним виходом лічильного тригера другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду, а також третій вхід першого елемента I-HE другого розряду, другий і третій входи другого логічного елемента I-HE N -го розряду та третій вхід другого логічного елемента I-HE $(N-1)$ -го розряду з'єднані зі входом логічної одиниці лічильника.

Недоліком лічильника у прототипі є те, що при досягненні коду "всі нулі" подальша лічба зупиняється.

В основу корисної моделі поставлено задачу створення циклічного лічильника, що віднімає, у фібоначчівій системі числення, в якому за рахунок введення нових елементів та зв'язків організується режим циклічної лічби у зворотному порядку, що приводить до розширення функціональних можливостей. У даному режимі при досягненні лічильником коду "всі нулі" лічба у зворотному порядку продовжується далі з коду "всі одиниці".

Поставлена задача вирішується тим, що у лічильник, який віднімає, у фібоначчівій системі числення та має вхід логічної одиниці, вхід встановлення у початковий стан, вхід тактових імпульсів, N розрядів, N інформаційних виходів, у кожному розряді містить лічильний тригер, у

першому розряді містить логічний елемент I-HE, а у кожному розряді, крім першого, містить перший і другий логічні елементи I-HE, причому вхід тактових імпульсів з'єднаний з С-входом лічильного тригера кожного розряду, прямий вихід лічильного тригера кожного і-го розряду з'єднаний з і-м інформаційним виходом, прямий вихід лічильного тригера першого розряду з'єднаний з першим входом логічного елемента I-HE першого розряду, другий вхід якого з'єднаний з інверсним виходом лічильного тригера другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду, прямий вихід лічильного тригера кожного і-го розряду, крім першого, з'єднаний з першим входом першого логічного елемента I-HE і-го розряду, другий вхід якого з'єднаний з інверсним виходом лічильного тригера (i-i)-го розряду, третій вхід першого логічного елемента I-HE кожного і-го розряду, починаючи з третього, з'єднаний з інверсним виходом лічильного тригера (i-2)-го розряду, вихід першого логічного елемента I-HE кожного і-го розряду, крім першого, з'єднаний з першим входом другого логічного елемента I-HE і-го розряду, вихід першого логічного елемента I-HE кожного і-го розряду, крім першого і другого, з'єднаний з другим входом другого логічного елемента I-HE (i-i)-го розряду, вихід першого логічного елемента I-HE кожного і-го розряду, починаючи з третього, з'єднаний з третім входом другого логічного елемента I-HE (i-2)-го розряду, вхід логічної одиниці з'єднаний другим і третім входами другого логічного елемента I-HE N-го розряду, третім входом другого логічного елемента I-HE (N-l)-го розряду та третім входом першого логічного елемента I-HE другого розряду, вихід другого логічного елемента I-HE кожного і-го розряду, крім першого, з'єднаний з Т-входом лічильного тригера і-го розряду, введено логічний елемент I-HE лічильника, перший вхід якого з'єднаний з інверсним виходом лічильного тригера першого розряду, другий вхід з'єднаний з інверсним виходом лічильного тригера другого розряду, третій вхід з'єднаний з інверсним виходом лічильного тригера третього розряду, а вихід з'єднаний з третім входом логічного елемента I-HE першого розряду та четвертим входом другого логічного елемента I-HE кожного розряду, крім першого, вхід встановлення у початковий стан з'єднаний з S-входом лічильного тригера кожного розряду.

На фіг. 1 зображено схему циклічного лічильника, що віднімає, у фібоначчівій системі числення і має шість розрядів. На фіг. 2 зображено часові діаграми роботи циклічного лічильника, що віднімає, починаючи з коду 111111, у фібоначчівій системі числення і має шість розрядів. На діаграмах не враховані затримки часу на перемикання логічних елементів і тригерів.

Циклічний лічильник, що віднімає, у фібоначчівій системі числення розрядністю у шість розрядів має вхід 1 логічної одиниці, вхід 2 встановлення у початковий стан, вхід 3 тактових імпульсів, 6 розрядів, 6 інформаційних виходів 1.4ч-6.4, містить логічний елемент 4 I-HE, у кожному і-му розряді містить лічильний тригер і.1, у першому розряді містить логічний елемент 1.2 I-HE, а у кожному і-му розряді, крім першого, містить перший і.2 і другий і.3 логічні елементи I-HE, причому вхід 3 тактових імпульсів з'єднаний з С-входами лічильних тригерів 1.1+6.1 всіх розрядів, вхід 2 встановлення у початковий стан з'єднаний з S-входами лічильних тригерів ІЛч-6.1 всіх розрядів, прямий вихід лічильного тригера і.1 кожного і-го розряду з'єднаний з і-м інформаційним виходом і.4, прямий вихід лічильного тригера 1.1 першого розряду з'єднаний з першим входом логічного елемента 1.2 I-HE першого розряду, другий вхід якого з'єднаний з інверсним виходом лічильного тригера 2.1 другого розряду, третій вхід з'єднаний з виходом логічного елемента 4 I-HE, а вихід з'єднаний з Т-входом лічильного тригера 1.1 першого розряду, прямий вихід лічильного тригера і. 1 кожного і-го розряду, крім першого з'єднаний з першим входом першого логічного елемента і.2 I-HE і-го розряду, другий вхід якого з'єднаний з інверсним виходом лічильного тригера (i-l).l (i-i)-го розряду, третій вхід першого логічного елемента і.2 I-HE кожного і-го розряду, починаючи з третього, з'єднаний з інверсним виходом лічильного тригера (i-2).1 (i-2)-го розряду, вихід першого логічного елемента і.2 I-HE кожного і-го розряду, крім першого, з'єднаний з першим входом другого логічного елемента і.3 I-HE і-го розряду, вихід першого логічного елемента і.2 I-HE кожного і-го розряду, крім першого і другого, з'єднаний з другим входом другого логічного елемента (i-i).3 I-HE (i-i)-го розряду, вихід першого логічного елемента і.2 I-HE кожного і-го розряду, починаючи з третього, з'єднаний з третім входом другого логічного елемента (i-2).3 I-HE (i-2)-го розряду, вхід 1 логічної одиниці з'єднаний другим і третім входами другого логічного елемента 6.3 I-HE шостого розряду, третім входом другого логічного елемента 5.3 I-HE п'ятого розряду та третім входом першого логічного елемента 2.2 I-HE другого розряду, вихід другого логічного елемента і.3I-HE кожного і-го розряду, крім першого, з'єднаний з Т-входом лічильного тригера і.1 і-го розряду, перший вхід логічного елемента 4 I-HE лічильника з'єднаний з інверсним виходом лічильного тригера 1.1 першого розряду, другий вхід з'єднаний з інверсним виходом лічильного тригера 2.1 другого розряду, третій вхід з'єднаний з інверсним виходом лічильного тригера 3.1 третього розряду, а

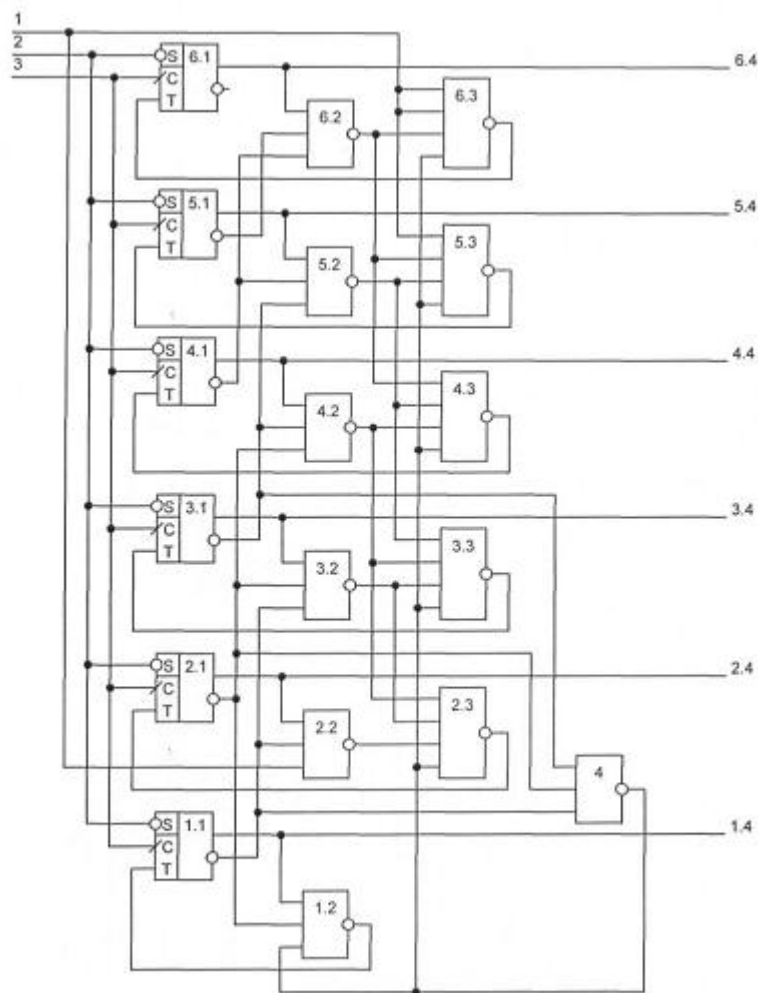
вихід з'єднаний з четвертими входами других логічних елементів 2.3÷6.3 I-HE всіх розрядів, крім першого.

Лічильник працює таким чином. До початку роботи потенціал логічної одиниці зі входу 1 логічної одиниці надходить на другий і третій входи другого логічного елемента 6.3 шостого розряду, третій вхід другого логічного елемента 5.3 п'ятого розряду та третій вхід першого логічного елемента 2.2 другого розряду. Робота починається із задання початкового стану лічильника шляхом подавання на вхід 2 встановлення у початковий стан нульового сигналу, який надходить на S-входи лічильних тригерів 1.1÷6.1 всіх розрядів. Лічильні тригери 1.1÷6.1 всіх розрядів встановлюються в одиничний стан. Одиничні сигнали з прямих виходів лічильних тригерів 1.1÷6.1 розрядів надходять відповідно на інформаційні виходи 1.4÷6.4. На інформаційних виходах 6.4÷1.4 відповідно встановлюється код 111111. Одиничний сигнал з прямого виходу лічильного тригера 1.1 першого розряду надходить на перший вхід логічного елемента 1.2 I-HE першого розряду. Одиничні сигнали з прямих виходів лічильних тригерів 2.1÷6.1 розрядів з другого по шостий надходять відповідно на перші входи перших логічних елементів 2.2÷6. I-HE розрядів з другого по шостий. Нульовий сигнал з інверсного виходу лічильного тригера 2.1 другого розряду надходить на другий вхід логічного елемента 1.2 I-HE першого розряду. Нульові сигнали з інверсних виходів лічильних тригерів 1.1÷5.1 розрядів з першого по п'ятий надходять відповідно на другі входи перших логічних елементів 2.2÷6.2 I-HE розрядів з другого по шостий. Нульові сигнали з інверсних виходів лічильних тригерів 1.1÷4.1 розрядів з першого по четвертий надходять відповідно на треті входи перших логічних елементів 3.2÷6.2 I-HE розрядів з третього по шостий. Нульові сигнали з інверсних виходів лічильних тригерів 1.1÷3.1 розрядів з першого по третій надходять відповідно на перший, другий і третій входи логічного елемента 4 I-HE лічильника, одиничний сигнал з виходу якого надходить на третій вхід логічного елемента 1.2 I-HE першого розряду і на четверті входи других логічних елементів 2.3÷6.3 розрядів з другого по шостий. Одиничні сигнали з виходів перших логічних елементів 2.2÷6.2 I-HE розрядів з другого по шостий надходять на другі входи других логічних елементів 2.3÷5.3 I-HE розрядів з другого по п'ятий та на треті входи других логічних елементів 2.3÷4.3 I-HE розрядів з другого по четвертий. Одиничний сигнал з виходу логічного елемента 1.2 I-HE першого розряду надходить на T-вхід лічильного тригера 1.1 першого розряду. Нульові сигнали з виходів других логічних елементів 2.3÷6.3 розрядів з другого по шостий надходять відповідно на T-входи лічильних тригерів 2.1÷6.1 розрядів з другого по шостий. Одиничний сигнал зі входу 2 встановлення у початковий стан надходить на S-входи лічильних тригерів 1.1÷6.1 розрядів з першого по шостий. Передній фронт одиничного сигналу зі входу 3 тактових імпульсів надходить на C-входи лічильних тригерів 1.1÷6.1 розрядів з першого по шостий. Лічильний тригер 1.1 першого розряду встановлюється в нульовий стан, а лічильні тригери 2.3÷6.3 розрядів з другого по шостий залишаються в одиничному стані. На інформаційних виходах 6.4÷1.4 відповідно встановлюється код 111110. Подальша робота лічильника демонструється часовими діаграмами, наведеними на фіг. 2. З діаграм видно, що при досягненні у лічильнику коду 000000 на виході логічного елемента 4 I-HE лічильника з'являється нульовий сигнал, який поступає на третій вхід логічного елемента 1.2 I-HE першого розряду і на четверті входи других логічних елементів 2.4÷6.4 I-HE розрядів з другого по шостий. На наступному такті це призводить до інвертування станів лічильних тригерів 1.1÷6.1 розрядів з першого по шостий. На інформаційних виходах 6.4÷1.4 знову встановлюється код 111111, з якого далі циклічно починається лічба у зворотному порядку, що підтверджує вирішення поставленої задачі.

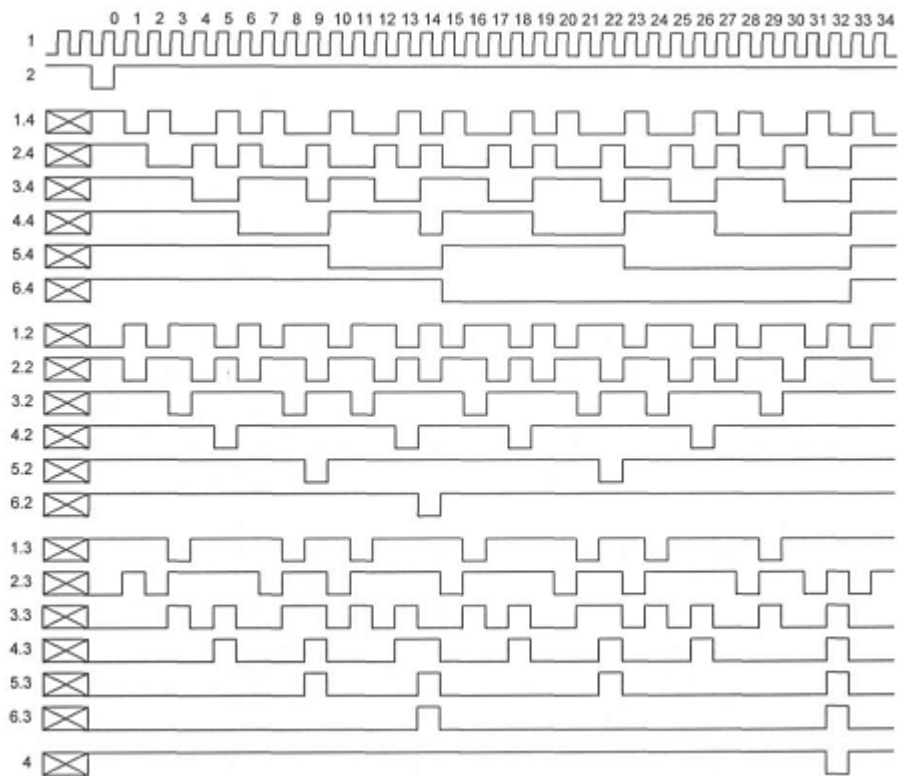
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Циклічний лічильник, що віднімас, у фібоначчівій системі числення має вхід логічної одиниці, вхід встановлення у початковий стан, вхід тактових імпульсів, N розрядів, N інформаційних виходів, у кожному розряді містить лічильний тригер, у першому розряді містить логічний елемент I-NI, а у кожному розряді, крім першого, містить перший і другий логічні елементи I-NI, причому вхід тактових імпульсів з'єднаний з C-входом лічильного тригера кожного розряду, прямий вихід лічильного тригера кожного i-го розряду з'єднаний з i-м інформаційним виходом, прямий вихід лічильного тригера першого розряду з'єднаний з першим входом логічного елемента I-NI першого розряду, другий вхід якого з'єднаний з інверсним виходом лічильного тригера другого розряду, а вихід з'єднаний з T-входом лічильного тригера першого розряду, прямий вихід лічильного тригера кожного i-го розряду, крім першого, з'єднаний з першим входом першого логічного елемента I-NI i-го розряду, другий вхід якого з'єднаний з інверсним виходом

лічильного тригера (i-i)-го розряду, третій вхід першого логічного елемента I-NI кожного i-го розряду, починаючи з третього, з'єднаний з інверсним виходом лічильного тригера (i-2)-го розряду, вихід першого логічного елемента I-NI кожного i-го розряду, крім першого, з'єднаний з першим входом другого логічного елемента I-NI i-го розряду, вихід першого логічного елемента I-NI кожного i-го розряду, крім першого і другого, з'єднаний з другим входом другого логічного елемента I-NI (i-i)-го розряду, вихід першого логічного елемента I-NI кожного i-го розряду, починаючи з третього, з'єднаний з третім входом другого логічного елемента I-NI (i-2)-го розряду, вхід логічної одиниці з'єднаний другим і третім входами другого логічного елемента I-NI N-го розряду, третім входом другого логічного елемента I-NI (N-1)-го розряду та третім входом першого логічного елемента I-NI другого розряду, вихід другого логічного елемента I-NI кожного i-го розряду, крім першого, з'єднаний з T-входом лічильного тригера i-го розряду, який відрізняється тим, що в нього введено логічний елемент I-NI, перший вхід якого з'єднаний з інверсним виходом лічильного тригера першого розряду, другий вхід з'єднаний з інверсним виходом лічильного тригера другого розряду, третій вхід з'єднаний з інверсним виходом лічильного тригера третього розряду, а вихід з'єднаний з третім входом логічного елемента I-NI першого розряду та четвертим входом другого логічного елемента I-NI кожного розряду, крім першого, вхід встановлення у початковий стан з'єднаний з S-входом лічильного тригера кожного розряду.



Фиг. 1



Фиг. 2

Комп'ютерна верстка О. Рябко

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601