

Корисна модель належить до області мікроелектроніки і обчислювальної техніки та призначена для побудови відмовостійких цифрових пристроїв.

Відомий ТТЛ-елемент, в якому використовується вхідний транзистор, емітери якого з'єднані з входами елемента, база через перший резистор - з загальною шиною живлення джерела постійної напруги, а колектор - з базою фазоінвертуючого транзистора, емітер якого через другий резистор з'єднаний із загальною шиною і підключений до бази першого вихідного транзистора, емітер - до загальної шини, а колектор з'єднаний з виходом елемента і емітером проміжного транзистора, база якого з першим виводом третього резистора, а колектор - через четвертий резистор з'єднаний з шиною живлення і підключений до колектора фазоінвертуючого транзистора і бази другого вихідного транзистора, колектор якого з'єднаний з шиною живлення і колектором третього вихідного транзистора, база якого підключена до емітера другого вихідного транзистора і першого виходу п'ятого резистора, введені два резистори і додатковий транзистор, база якого через шостий резистор з'єднана з базою фазоінвертуючого транзистора, емітер підключений до загальної шини і до других виводів третього і п'ятого резисторів, колектор підключений до бази проміжного транзистора і через сьомий резистор - до шини живлення, а емітер третього вихідного транзистора з'єднаний з виходом елемента [див. А.С. СРСР № 1460771, м. кл Н03 К19/088, бюл. № 7, 1989].

Недоліком такого пристрою є обмежені функціональні можливості.

За прототип вибрано логічний елемент І-НІ [див. А.С. СРСР № 466620, м. кл Н03 К19/36, бюл. №13, 1975], який містить схему І на багатоемітерному транзисторі і резисторі, підсилювальний каскад і складний інвертор на доповнюючих транзисторах типу n-p-n і p-n-p, крім того, в ньому додатково встановлений транзистор типу p-n-p, емітер якого з'єднаний з шиною живлення, колектор - з базою доповнюючого транзистора типу p-n-p складного інвертора і через резистор - з базою багатоемітерного транзистора, а база доповнюючого транзистора типу p-n-p з'єднана з середньою точкою подільника на резисторах, який підключений між шиною живлення і колектором транзистора підсилювального каскаду.

Недоліком пристрою є обмежені функціональні можливості, так як відсутні логічна одиниця на виході та можливість об'єднання виходів двох однотипних логічних елементів в разі різних логічних сигналів на виходах.

В основу корисної моделі поставлена задача створення логічного елемента І-НІ, в якому за рахунок введення нових елементів і зв'язків розширюються функціональні можливості та підвищується відмовостійкість пристрою.

Поставлена задача вирішується тим, що в логічний елемент І-НІ, який містить схему І на багатоемітерному транзисторі і резисторі, підсилювальний каскад і складний інвертор на доповнюючих транзисторах типу n-p-n і p-n-p; транзистор типу p-n-p, емітер якого з'єднаний з шиною живлення, колектор - з базою доповнюючого транзистора типу p-n-p складного інвертора і через резистор - з базою багатоемітерного транзистора, а база доповнюючого транзистора типу p-n-p з'єднана з середньою точкою подільника на резисторах, який підключений між шиною живлення і колектором транзистора підсилювального каскаду, введено послідовно з'єднані додатковий резистор і три діоди, причому анод першого діода через додатковий резистор з'єднаний з подільником на резисторах та з колектором транзистора підсилювального каскаду, катод якого з'єднаний з анодом другого діода, катод якого з'єднаний з анодом третього діода, катод якого з'єднаний з колекторами доповнюючих транзисторів типу n-p-n і p-n-p та з виходом пристрою.

На кресленні представлено схему логічного елемента І-НІ.

Пристрій містить схему І на багатоемітерному транзисторі 2 і резисторі 3, підсилювальний каскад на транзисторі типу n-p-n 7 і резисторі 9 і складний інвертор 4 на доповнюючих транзисторах типу n-p-n 5 і p-n-p 6; транзистор типу p-n-p 8, емітер якого з'єднаний з шиною живлення, колектор - з базою доповнюючого транзистора типу p-n-p 6 складного інвертора 4 і через резистор 3 - з базою багатоемітерного транзистора 2, а база доповнюючого транзистора типу p-n-p 6 з'єднана з середньою точкою подільника на резисторах 11 і 10, який підключений між шиною живлення і колектором транзистора типу n-p-n 7 підсилювального каскаду, введено послідовно з'єднані додатковий резистор 12 і три діоди 13, 14, 15 відповідно, причому анод першого діода 13 через додатковий резистор 12 з'єднаний з подільником на резисторах 11, 10 та з колектором транзистора типу n-p-n 7 підсилювального каскаду, катод якого з'єднаний з анодом другого діода 14, катод якого з'єднаний з анодом третього діода 15, катод якого з'єднаний з колекторами доповнюючих транзисторів типу p-n-p 5 і p-n-p 6 та з виходом пристрою.

Пристрій працює наступним чином.

При низькій напрузі на одному з емітерів багатоемітерного транзистора 2, що відповідає рівню логічного нуля на одному з входів, струм від шини живлення тече через відкритий емітерний перехід транзистора типу р-п-п 6 складного інвертора 4, резистор 3 і відкритий емітерний перехід багатоемітерного транзистора 2, на який подано рівень логічного нуля. В результаті багатоемітерний транзистор 2 відкривається і напруги на його базі не достатньо щоб відкрити транзистор типу п-р-п 7 підсилювального каскаду і транзистор типу п-р-п 5 складного інвертора 4, транзистори типу п-р-п 5 і типу п-р-п 7 закриті тому через подільник на резисторах 11, 10, додатковому резисторі 12, першому 13, другому 14, третьому 15 діодах струм не тече і транзистор типу р-п-п 6 складного інвертора 4 закритий. Транзистор типу р-п-п 6 складного інвертора 4 знаходиться в режимі насичення і високий рівень напруги на виході схеми відрізняється від додатного значення шини живлення на величину напруги насичення цього транзистора ($U_{KE} = 0,3$ В) на виході пристрою логічна одиниця.

Якщо на входи багатоемітерного транзистора 2 подано високу напругу, що відповідає рівню логічної одиниці на входах пристрою, то багатоемітерний транзистор 2 працює в інверсному активному режимі і напрузі на його базі $U_B = 2,1$ В, достатньої для відкривання колекторного переходу багатоемітерного транзистора 2 і емітерного переходу транзистора типу п-р-п 7 підсилювального каскаду і транзистора типу п-р-п 5 складного інвертора 4, то транзистори типу п-р-п 7 і типу п-р-п 5 відкриваються. Від шини живлення тече струм через подільник на резисторах 11, 10, малий опір переходу колектор-емітер відкритого транзистора типу п-р-п 7 і резистор 9 підсилювального каскаду, і емітерний перехід відкритого транзистора типу п-р-п 5 складного інвертора 4 на шину живлення, цей струм створює в середній точці подільника на резисторах 11, 10 напругу $U_d = 0,7$ В, якої достатньо для насичення транзистора типу р-п-п 6 складного інвертора 4. Насичений транзистор типу р-п-п 6 складного інвертора 4 малим опором переходу колектор-емітер шунтує емітерний перехід транзистора типу р-п-п 8 та закриває його. Від колектора транзистора типу п-р-п 7 підсилювального каскаду струм через додатковий резистор 12, перший 13, другий 14, третій 15 діоди на вихід пристрою не тече, оскільки на ньому низький потенціал $\varphi_{K1} = U_{KE} + U_{BE}$, де $U_{KE} = 0,3$ В - напруга переходу колектор-емітер транзистора типу п-р-п 7 підсилювального каскаду; $U_{BE} = 0,7$ В - напруга переходу база-емітер транзистора типу п-р-п 7 підсилювального каскаду, $\varphi_{K1} = 1,0$ В, а необхідно мати щонайменше значення потенціалу $\varphi_{K2} = U_d + U_0$, де $U_d = 0,7$ В - напруга відкривання першого 13, другого 14, третього 15 діодів; $U_0 = 0,3$ В - початкова напруга, яка визначається переходом колектор-емітер транзистора типу п-р-п 7 підсилювального каскаду, $\varphi_{K2} = 2,1$ В. Транзистор типу п-р-п 5 складного інвертора 4 відкритий і переходить в режим насичення та з'єднує вихід пристрою через малий опір переходу колектор-емітер із шиною живлення чим забезпечується низький рівень напруги на виході пристрою, що відповідає рівню логічного нуля на виході пристрою. Таким чином пристрій реалізує логічну функцію І-НІ.

Якщо в стані логічної одиниці на виході пристрою при закритому транзисторі типу п-р-п 7 підсилювального каскаду відбувається коротке замикання виходу пристрою на шину живлення, тоді $U_{вих} = 0$ і від шини живлення тече струм через подільник на резисторах 11, 10, додатковий резистор 12 і перший 13, другий 14, третій 15 діоди. Цей струм створює в середній точці подільника на резисторах 11, 10 напругу $U_n = 0,7$ В, значення якої достатньо для насичення транзистора типу р-п-п 6 складного інвертора. Насичений транзистор типу р-п-п 6 складного інвертора 4 малим опором переходу колектор-емітер шунтує емітерний перехід транзистора типу р-п-п 8 складного інвертора 4, та закриває його. Вихідний струм при короткому замиканні на виході пристрою визначається таким чином:

$$I_{кз} = (E_{ж} - U_{BE} - 3 \cdot U_d) / (R_7 + R_{16}), \quad (1),$$

де $E_{ж} = +5$ В - додатне значення шини живлення; $U_{BE} = 0,7$ В - напруга переходу база-емітер відкритого транзистора типу р-п-п 6 складного інвертора 4; $3 \cdot U_d = 2,1$ В - напруга на відкритих першому 13, другому 14, третьому 15 діодах; R_{10} , R_{12} - опори резистора 10 і додаткового резистора 12. Вибором номіналів опорів R_{10} , R_{12} досягається незначне значення струму при короткому замиканні на виході пристрою згідно з формулою (1), що зменшує навантаження на елементи схеми та підвищує відмовостійкість пристрою.

Якщо в стані логічної одиниці на виході пристрою при закритому транзисторі типу п-р-п 7 підсилювального каскаду до виходу пристрою підключається вихід другого однотипного логічного елемента І-НІ, що знаходиться в стані логічного нуля на виході пристрою, тоді $U_{вих} = U_0 = 0,3$ В і від шини живлення тече струм через подільник на резисторах 11, 10, додатковий резистор 12, перший 13, другий 14, третій 15 діоди. Цей струм створює в середній точці подільника на резисторах 11, 10 напругу $U_n = 0,7$ В значення якої достатньо для насичення

транзистора типу р-п-р 6 складного інвертора 4. Насичений транзистора типу р-п-р 6 складного інвертора 4 малим опором переходу колектор-емітер шунтує емітерний перехід транзистора типу р-п-р 8 та закриває його. На виході пристрою логічний нуль, тому що вихід пристрою відключений від шини живлення за рахунок великого опору закритого транзистора типу р-п-р 6 складного інвертора 4. Вихідний струм в разі об'єднання виходів однотипних логічних елементів з різними станами логічних сигналів на виходах визначається наступним чином:

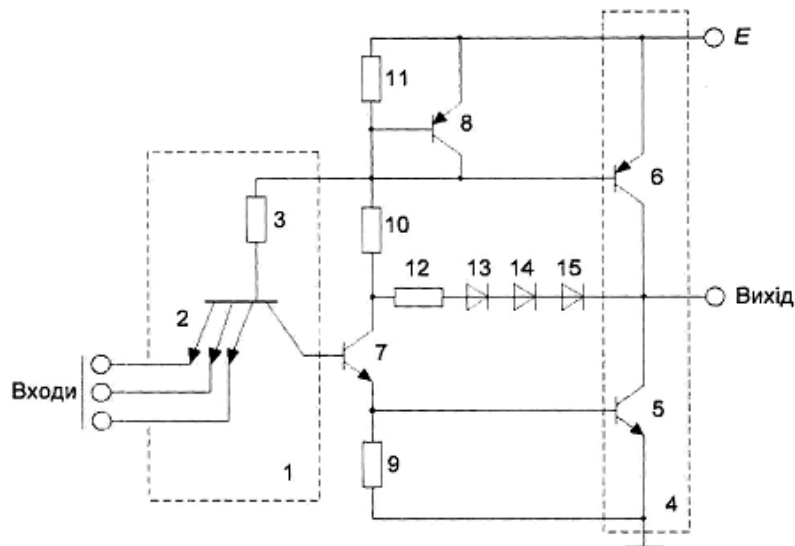
$$I_{\text{вих}} = (E_{\text{ж}} - U_{\text{БЕ}} - 3 \cdot U_{\text{д}} - U_0) / (R_7 + R_{16}). \quad (2)$$

Вибором номіналів опорів R_{10} , R_{12} досягається незначне збільшення струму на виході пристрою згідно формули (2), що дозволяє об'єднувати виходи однотипних логічних елементів І-НІ. В разі однакових сигналів на виходах однотипних елементів, то при об'єднанні їх виходів сигнал на виході пристрою не змінюється. Сигнал на об'єднаному виході логічних елементів І-НІ дорівнює логічній одиниці тільки в разі співпадіння логічних одиниць на виходах однотипних логічних елементів І-НІ та дорівнює логічному нулю в решті випадків.

Таким чином в разі об'єднання виходів логічних елементів І-НІ на об'єднаному виході реалізується логічна функція "монтажне І", що розширює функціональні можливості логічного елемента І-НІ.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Логічний елемент І-НІ, який містить схему І на багатоемітерному транзисторі і резисторі, підсилювальний каскад і складний інвертор на доповнюючих транзисторах типу п-п-п і р-п-р; транзистор типу р-п-р, емітер якого з'єднаний з шиною живлення, колектор - з базою доповнюючого транзистора типу р-п-р складного інвертора і через резистор - з базою багатоемітерного транзистора, а база доповнюючого транзистора типу р-п-р з'єднана з середньою точкою подільника на резисторах, який підключений між шиною живлення і колектором транзистора підсилювального каскаду, який **відрізняється** тим, що в нього введено послідовно з'єднані додатковий резистор і три діоди, причому анод першого діода через додатковий резистор з'єднаний з подільником на резисторах та з колектором транзистора підсилювального каскаду, катод якого з'єднаний з анодом другого діода, катод якого з'єднаний з анодом третього діода, катод якого з'єднаний з колекторами доповнюючих транзисторів типу п-п-п і р-п-р та з виходом пристрою.



Комп'ютерна верстка А. Крижанівський

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601