



УКРАЇНА

(19) **UA** (11) **86550** (13) **U**
(51) МПК
Н03М 1/12 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

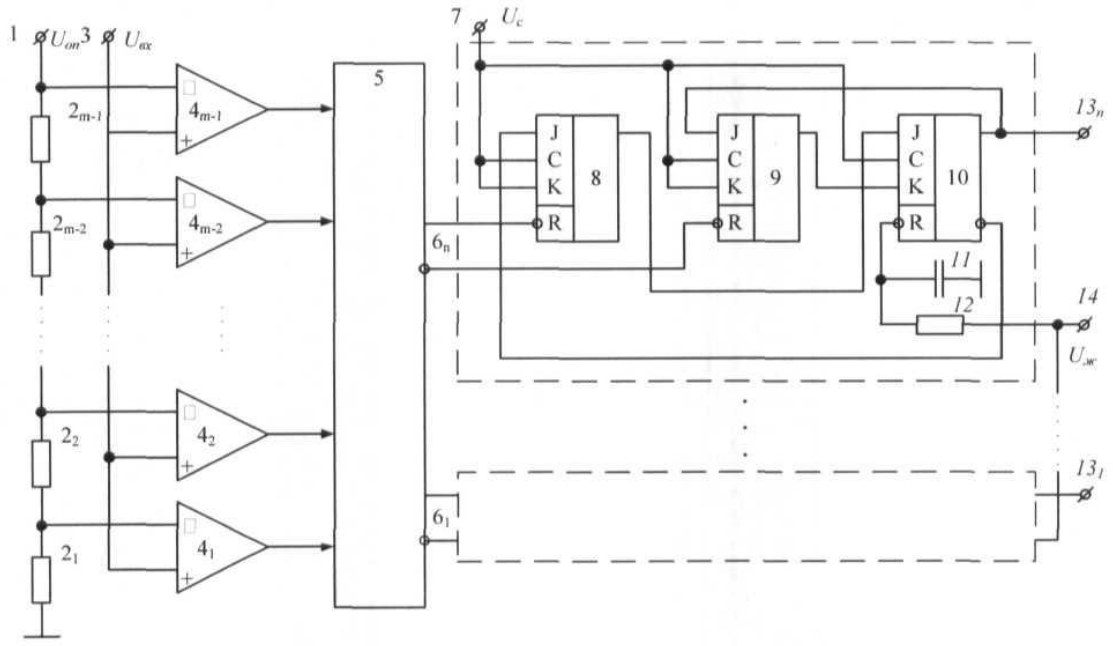
<p>(21) Номер заявки: u 2013 04679</p> <p>(22) Дата подання заявки: 15.04.2013</p> <p>(24) Дата, з якої є чинними права на корисну модель: 10.01.2014</p> <p>(46) Публікація відомостей про видачу патенту: 10.01.2014, Бюл.№ 1</p>	<p>(72) Винахідник(и): Бортник Геннадій Григорович (UA), Васильківський Микола Володимирович (UA), Стальченко Олександр Володимирович (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
---	--

(54) АНАЛОГО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ

(57) Реферат:

Аналого-цифровий перетворювач містить у випадку n розрядів резистивну матрицю, вхід якої під'єднано до шини джерела опорної напруги, 2^n-1 компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а неінвертувальні входи з'єднано з шиною джерела вхідного сигналу, яка підлягає перетворенню, виходи компараторів під'єднано до відповідних входів розрядних каналів перетворювача коду. В кожен з розрядних каналів введено перший, другий і третій тригери, резистор і конденсатор, причому один вивід резистора під'єднано до шини джерела живлення, а його другий вивід під'єднано до R-входу третього тригера та першого виводу конденсатора, другий вивід якого під'єднано до спільної шини пристрою, R-вхід першого тригера під'єднано до відповідного неінвертувального виходу перетворювача кодів, R-вхід другого тригера під'єднано до відповідного інвертувального виходу перетворювача коду, синхровходи першого, другого та третього тригерів, а також K-входи першого та другого тригерів під'єднано до шини джерела синхросигналу, J-вхід першого тригера з'єднано з інвертувальним виходом третього тригера, J-вхід якого з'єднано з виходом першого тригера, J-вхід другого тригера під'єднано до виходу третього тригера та до відповідного розряду вихідної шини пристрою.

UA 86550 U



Корисна модель належить до імпульсної техніки і призначена для використання в системах обробки швидкоплинної інформації.

Відомий аналого-цифровий перетворювач (АЦП) паралельної дії, який містить групу компараторів старших розрядів і групу компараторів молодших розрядів, перші входи яких підключені до джерел опорних напруг, сигнальні входи групи компараторів старших розрядів підключені до джерела сигналу, який перетворюється, а виходи компараторів в кожній групі, крім компараторів старших розрядів, об'єднані попарно і підключені до керуючих входів елементів пам'яті, і резистивні підсилювачі, перші входи яких підключені до джерел струмів зміщення, другі через повторювач та інвертор підключені до джерела сигналу, який перетворюється, а виходи попарно зі зсувом на один підключені до входів елемента, виходи яких через елемент АБО з'єднанні з сигнальними входами компараторів молодших розрядів, входи стробування елементів пам'яті підключені до джерела стробуючого сигналу [А.с. СРСР № 879771, м. кл. Н 03 К 5/22, бюл. № 41, 1981 р.].

Недоліком даного перетворювача є низьке значення відношення сигнал/шум, що обмежує функціональні можливості.

Відомий аналого-цифровий перетворювач, який містить у випадку n розрядів резистивну матрицю, вхід якої під'єднано до шини джерела опорної напруги, 2^n-1 компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а неінвертувальні входи з'єднано з шиною джерела напруги, яка підлягає перетворенню, виходи компараторів під'єднано до відповідних входів кодувальної логіки, виходи якої є вихідною розрядною шиною аналого-цифрового перетворювача. [Гельман М.М. Системные аналого-цифровые преобразователи и процессоры сигналов. - М.: Мир, 1996. - С. 142, рис. 2.4].

Недоліком даного перетворювача є низьке значення відношення сигнал/шум.

Найбільш близьким є аналого-цифровий перетворювач, який містить у випадку n розрядів резистивну матрицю, вхід якої під'єднано до шини джерела опорної напруги, 2^n-1 компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а неінвертувальні входи з'єднано з шиною джерела напруги, яка підлягає перетворенню, виходи 2^n-1 компараторів під'єднано до відповідних входів перетворювача унітарного коду у позиційний двійковий код, в подальшому перетворювач коду, неінвертовані та інвертовані виходи якого є відповідно неінвертованою та інвертованою вихідною розрядною шиною пристрою [Патент США № 4393372, м. кл. - Н 03 К 13/02].

Недоліком даного пристрою є низьке значення відношення сигнал/шум, пов'язане з нестабільністю моментів формування вихідних відліків АЦП, що призводить до фазового дрижання вихідних розрядів АЦП, що погіршує шумові властивості пристрою та знижує його точність.

В основу корисної моделі поставлено задачу створення такого аналого-цифрового перетворювача, в якому за рахунок введення нових блоків та зв'язків підвищується значення відношення сигнал/шум, що дає можливість підвищити точність перетворення та розширює функціональні можливості.

Поставлена задача вирішується тим, що в аналого-цифровому перетворювачі (АЦП), який містить n -розрядну вихідну шину та у випадку n розрядів резистивну матрицю, вхід якої під'єднано до шини джерела опорної напруги, 2^n-1 компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а неінвертувальні входи з'єднано з шиною джерела вхідного сигналу, яка підлягає перетворенню, виходи компараторів під'єднано до відповідних входів розрядних каналів перетворювача коду, згідно з корисною моделлю введено у кожен з розрядних каналів перший, другий і третій тригери, резистор і конденсатор, причому один вивід резистора під'єднано до шини джерела живлення, а другий вивід резистора під'єднано до R-входу третього тригера та першого виводу конденсатора, а другий вивід конденсатора під'єднано до спільної шини пристрою, R-вхід першого тригера під'єднано до відповідного неінвертувального виходу перетворювача коду, а R-вхід другого тригера під'єднано до відповідного інвертувального виходу перетворювача коду, синхровходи першого, другого та третього тригерів, а також K-входи першого та другого тригерів під'єднано до шини джерела синхросигналу, J-вхід першого тригера з'єднано з інвертувальним виходом третього тригера, J-вхід третього тригера з'єднано з виходом першого тригера, J-вхід другого тригера під'єднано до виходу третього тригера та до відповідного розряду вихідної шини АЦП, що дає можливість знизити спотворення внаслідок нестабільності роботи кіл синхронізації пристрою, а отже і підвищити його значення відношення сигнал/шум що дає можливість підвищити точність перетворення та розширює функціональні можливості.

На кресленні наведена структурна електрична схема аналого-цифрового перетворювача.

Пристрій містить шину 1 джерела опорної напруги $U_{оп}$, резистивну матрицю 2, що складається $m-1$ послідовно ввімкнених резисторів, де $m=2^n$, шину 3 джерела вхідного сигналу $U_{вх}$, що підлягає перетворенню, лінійку з $m-1$ компараторів 4, перетворювач коду 5, n -розрядний вихід 6 перетворювача коду, шину 7 джерела синхросигналу U_c , перший 8, другий 9 та третій 10 тригери, конденсатор 11, резистор 12, n -розрядну вихідну шину 13, шину 14 джерела живлення $U_ж$.

Аналого-цифровий перетворювач працює наступним чином.

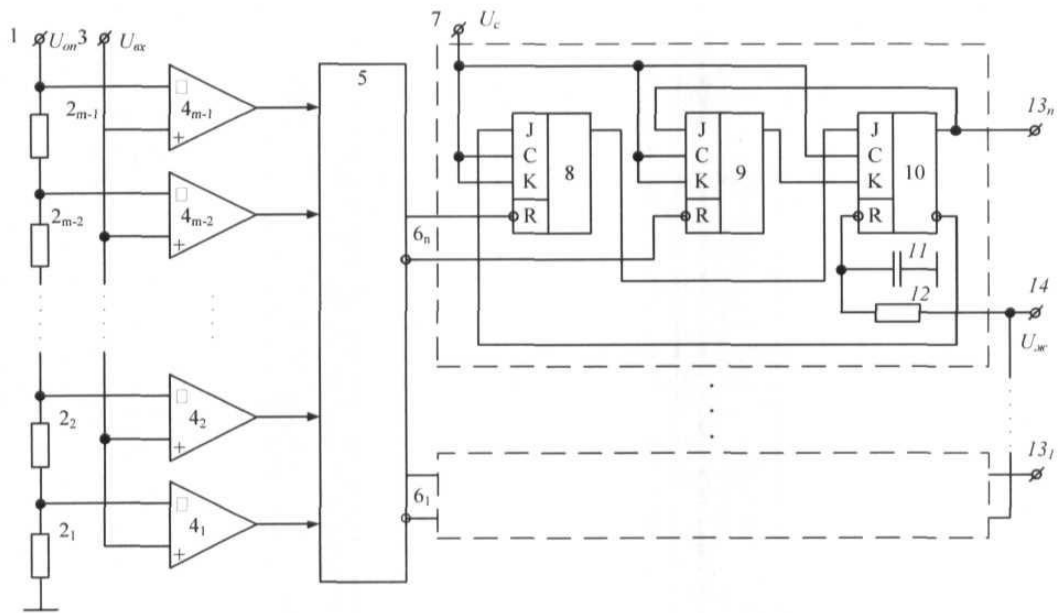
При подачі напруги $U_ж$ на шину 14 джерела живлення за допомогою RC-кола, що містить резистор 12 та конденсатор 11, формується імпульс на R-вході третього тригера 10, що встановлює на його виході і на відповідному виході шини 13 нульовий сигнал. Вхідна напруга, яка перетворюється $U_{вх}$ через шину 3 джерела вхідного сигналу надходить на неінвертувальні входи компараторів 4, де відбувається її порівняння з опорними рівнями сформованими з напруги шини джерела опорної напруги $U_{оп}$ 1 за допомогою резистивної матриці 2. За допомогою перетворювача коду 5 відбувається перетворення $m-1$ - розрядного унітарного коду з виходів компараторів 4 у n -розрядний позиційний двійковий код. Після появи одиничного сигналу на відповідному неінвертувальному виході 6 перетворювача коду 5 дозволяється перемикання першого тригера 8 і забороняється перемикання другого тригера 9, тому що на R-вхід другого тригера 9 подається з інвертувального виходу 6 нульовий сигнал. По задньому фронту першого тактового імпульсу з шини 7 джерела синхросигналу U_c відбувається перемикання першого тригера 8 в одиничний стан, а третій тригер 10 зберігає свій нульовий стан, тому що до перемикання першого тригера 8 на його J-вході та K-вході були нульові сигнали. По задньому фронту другого тактового імпульсу з шини 7 джерела синхросигналу U_c перший тригер 8 у лічильному режимі перемикається у нульовий стан, а третій тригер 10 перемикається в одиничний стан, тому що на його J-вході - рівень логічної "1", а на K-вході - рівень логічного "0". У результаті цього на відповідному розряді вихідної шини 13 з'являється одиничний сигнал, а на інвертувальному виході третього тригера 10 - рівень логічного "0". По задньому фронту кожного наступного тактового імпульсу відбувається підтвердження нульового стану першого тригера 8, а третій тригер 10 не перемикається, тому що на його J-вході та K-вході - рівень логічного "0". Такий стан тригерів зберігається доки на неінвертувальному виході 6 перетворювача коду - одиничний сигнал. Коли на цьому виході сигнал стає нульовим, то він забороняє перемикання першого тригера 8 і дозволяє перемикання другого тригера 9. Третій тригер 10 знаходиться в одиничному стані, то на J-вході другого тригера 9 теж встановлено рівень логічної "1". По задньому фронту першого тактового імпульсу, що надходить з шини 7 джерела синхросигналу U_c , відбувається перемикання в одиничний стан другого тригера, а перший 8 і третій 10 тригери не перемикаються. На K-вході третього тригера 10 з'являється одиничний сигнал, тому по фронту другого тактового імпульсу відбувається перемикання третього тригера 10 у нульовий стан, а другий тригер 9 теж перемикається у нульовий стан. Але по задніх фронтах наступних тактових імпульсів третій тригер не перемикається, а нульовий стан другого тригера 9 підтверджується, тому що на його J-вході - рівень логічного "0". Таким чином, пристрій знову набув початкового стану.

Виконання аналого-цифрового перетворювача згідно з схемою корисної моделі з використанням трьох тригерів у кожному розрядному каналі дозволяє знизити рівень фазового дрижання вихідних відліків АЦП, що призводить до зменшення вихідного шуму. Таким чином, пониження рівня шумів підвищує значення відношення сигнал/шум АЦП.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Аналого-цифровий перетворювач, який містить у випадку n розрядів резистивну матрицю, вхід якої під'єднано до шини джерела опорної напруги, 2^n-1 компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а неінвертувальні входи з'єднано з шиною джерела вхідного сигналу, яка підлягає перетворенню, входи компараторів під'єднано до відповідних входів розрядних каналів перетворювача коду, який **відрізняється** тим, що в кожен з розрядних каналів введено перший, другий і третій тригери, резистор і конденсатор, причому один вивід резистора під'єднано до шини джерела живлення, а його другий вивід під'єднано до R-входу третього тригера та першого виводу конденсатора, другий вивід якого під'єднано до спільної шини пристрою, R-вхід першого тригера під'єднано до відповідного неінвертувального виходу перетворювача кодів, R-вхід другого тригера під'єднано до відповідного інвертувального виходу перетворювача коду, синхровходи першого, другого та третього тригерів, а також K-входи першого та другого тригерів під'єднано до шини джерела синхросигналу, J-вхід першого тригера з'єднано з інвертувальним виходом третього тригера, J-

вхід якого з'єднано з виходом першого тригера, J-вхід другого тригера під'єднано до виходу третього тригера та до відповідного розряду вихідної шини пристрою.



Комп'ютерна верстка Л. Ціхановська

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601