



УКРАЇНА

(19) **UA** (11) **74233** (13) **U**
(51) МПК
Н03К 5/24 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

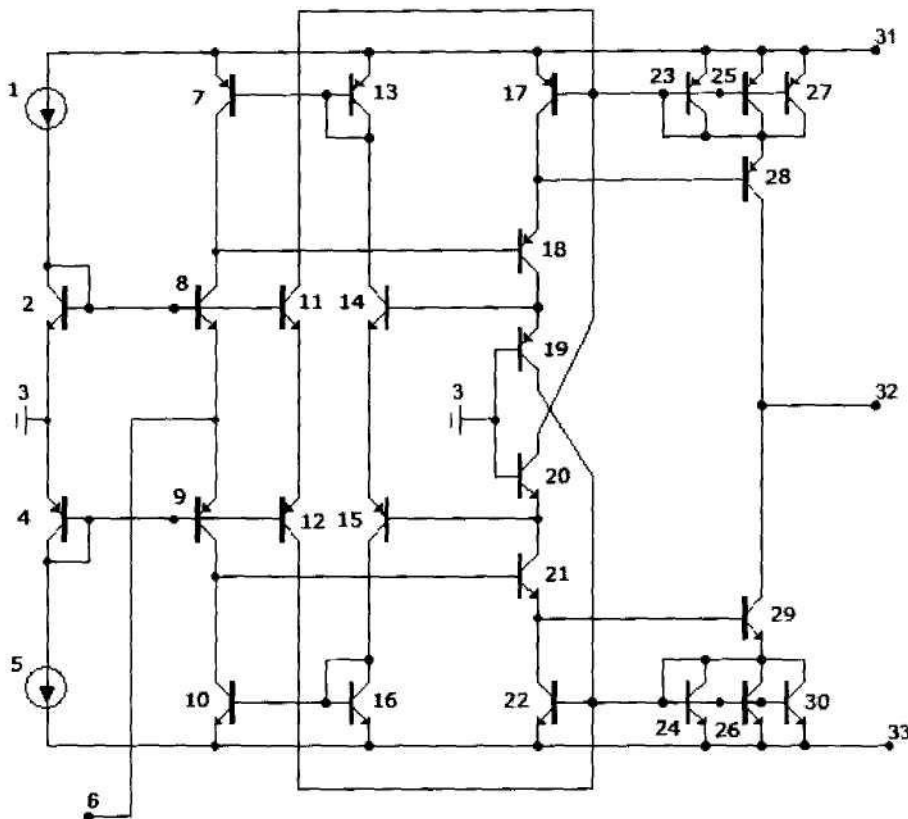
(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2012 03218	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Гарнага Володимир Анатолійович (UA), Девдюк Андрій Миколайович (UA)
(22) Дата подання заявки: 19.03.2012	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права на корисну модель: 25.10.2012	
(46) Публікація відомостей про видачу патенту: 25.10.2012, Бюл.№ 20	

(54) ДВОТАКТНИЙ СИМЕТРИЧНИЙ ПІДСИЛЮВАЧ СТРУМУ

(57) Реферат:

Двотактний симетричний підсилювач струму містить два джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, транзистори.



UA 74233 U

Корисна модель належить до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо підсилювач постійного струму (А. с. СРСР № 1548841, м. кл. H03F 3/26, опубл: 1989 р.), який містить перший і другий транзистори, які мають різну структуру. Емітери першого і другого транзисторів з'єднано, а точка з'єднання є входом підсилювача постійного струму. Третій і четвертий транзистори мають структуру відповідно другого і першого транзисторів, їх колектори є виходами підсилювача постійного струму, а бази третього і четвертого транзисторів з'єднано з колекторами першого і другого транзисторів відповідно. Бази першого і другого транзисторів з'єднано з шиною нульового потенціалу через перший і другий транзистори відповідно у діодному включенні та перше і друге джерела струмів, які включено між шинами додатного та від'ємного живлення та базами першого і другого транзисторів відповідно. Перший та другий транзистори з діодному включенні мають структуру відповідно до першого і другого транзисторів відповідно. Перший та другий струмозадаючі елементи виконано відповідно на першому і другому відбивачах струму та п'ятому і шостому транзисторах, які мають структуру відповідно до третього і четвертого транзисторів. Бази п'ятого і шостого транзисторів є виходами відповідно першого і другого струмозадаючого елементів, їх колектори з'єднано з шиною нульового потенціалу, а емітери - з виходами відповідно першого і другого відбивачів струму. Входи відбивачів струму з'єднано через двополюсний струмозадаючий елемент. Колектори третього і четвертого транзисторів з'єднано через коло зміщення. Коло зміщення виконано на третьому і четвертому транзисторах в діодному включенні. Виводи кола зміщення підключено до баз сьомого і восьмого транзисторів, які ввімкнено по схемі із загальним колектором. Емітери сьомого і восьмого транзисторів з'єднано, вони є виходом підсилювача.

Недоліком пристрою є низький коефіцієнт підсилення та низька швидкодія.

За найближчий аналог вибрано двотактний симетричний підсилювач струму (Push-pull amplifier with current mirrors for determining the quiescent operating point, United States Patent 3,852,678, Dec. 3, 1974), який містить перше і друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього та четвертого транзисторів відповідно, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, другі виводи першого і другого джерел струму та емітери п'ятого і шостого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, колектори п'ятого і шостого транзисторів з'єднано з вихідною шиною.

Недоліком найближчого аналога є низький коефіцієнт підсилення, що обмежує галузь використання пристрою.

В основу корисної моделі поставлена задача створення двотактного симетричного підсилювача струму, в якому за рахунок введення нових елементів та зв'язків між ними збільшується коефіцієнт підсилення, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у двотактний симетричний підсилювач струму, який містить два джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього і четвертого транзисторів, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, другі виводи першого і другого джерел струму з'єднано з шинами додатного і від'ємного живлення відповідно, введено двадцять транзисторів, причому колектори третього і четвертого транзисторів з'єднано з колекторами сьомого та восьмого транзисторів відповідно, бази сьомого та восьмого транзисторів з'єднано з базами та колекторами дев'ятого і десятого, а також з колекторами тринадцятого та чотирнадцятого транзисторів відповідно, емітери тринадцятого та чотирнадцятого транзисторів об'єднано, бази третього та четвертого транзисторів з'єднано з базами одинадцятого та дванадцятого транзисторів відповідно, емітери одинадцятого та дванадцятого транзисторів об'єднано, колектори одинадцятого і дванадцятого транзисторів з'єднано з базами та колекторами дев'ятнадцятого, двадцять першого, двадцять третього і двадцять другого, двадцять четвертого транзисторів відповідно, а також з базами п'ятнадцятого і шістнадцятого транзисторів відповідно, а також з емітерами двадцять п'ятого і двадцять шостого транзисторів відповідно, а також з колекторами вісімнадцятого та

сімнадцятого транзисторів відповідно, емітери сімнадцятого та вісімнадцятого транзисторів з'єднано з базами тринадцятого і чотирнадцятого транзисторів та з колекторами п'ятого та шостого транзисторів відповідно, бази сімнадцятого та вісімнадцятого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, бази двадцять п'ятого та двадцять шостого транзисторів з'єднано з емітерами п'ятого і шостого транзисторів та колекторами п'ятнадцятого та шістнадцятого транзисторів відповідно, колектори двадцять п'ятого та двадцять шостого транзисторів об'єднано та з'єднано з вихідною шиною, емітери сьомого, дев'ятого, п'ятнадцятого, дев'ятнадцятого, двадцять першого та двадцять третього транзисторів підключено до шини додатного живлення, емітери восьмого, десятого, шістнадцятого, двадцять другого, двадцять другого та двадцять четвертого транзисторів підключено до шини від'ємного живлення.

На кресленні представлено принципову схему двотактного симетричного підсилювача струму.

Пристрій містить вхідну шину 6, яку з'єднано з емітерами третього 8 і четвертого 9 транзисторів, емітери першого 2 і другого 4 транзисторів об'єднано та з'єднано з шиною нульового потенціалу 3, колектори третього 8 і четвертого 9 транзисторів з'єднано з базами п'ятого 18 і шостого 21 транзисторів відповідно, бази третього 8 і четвертого 9 транзисторів з'єднано з базами та колекторами першого 2 і другого 4 транзисторів відповідно, а також з першими виводами першого 1 і другого 5 джерел струму, другі виводи першого 1 і другого 5 джерел струму з'єднано з шинами додатного 31 і від'ємного 33 живлення відповідно, колектори третього 8 і четвертого 9 транзисторів з'єднано з колекторами сьомого 7 та восьмого 10 транзисторів відповідно, бази сьомого 7 та восьмого 10 транзисторів з'єднано з базами та колекторами дев'ятого 13 і десятого 16, а також з колекторами тринадцятого 14 та чотирнадцятого 15 транзисторів відповідно, емітери тринадцятого 14 та чотирнадцятого 15 транзисторів об'єднано, бази третього 8 та четвертого 9 транзисторів з'єднано з базами одинадцятого 11 та дванадцятого 12 транзисторів відповідно, емітери одинадцятого 11 та дванадцятого 12 транзисторів об'єднано, колектори одинадцятого 11 і дванадцятого 12 транзисторів з'єднано з базами та колекторами дев'ятнадцятого 23, двадцять першого 25, двадцять третього 27 і двадцять четвертого 24, двадцять другого 26, двадцять четвертого 30 транзисторів відповідно, а також з базами п'ятнадцятого 17 і шістнадцятого 22 транзисторів відповідно, а також з емітерами двадцять п'ятого 28 і двадцять шостого 29 транзисторів відповідно, а також з колекторами вісімнадцятого 20 та сімнадцятого 19 транзисторів відповідно, емітери сімнадцятого 19 та вісімнадцятого 20 транзисторів з'єднано з базами тринадцятого 14 і чотирнадцятого 15 транзисторів та з колекторами п'ятого 18 та шостого 21 транзисторів відповідно, бази сімнадцятого 19 та вісімнадцятого 20 транзисторів об'єднано та з'єднано з шиною нульового потенціалу 3, бази двадцять п'ятого 28 та двадцять шостого 29 транзисторів з'єднано з емітерами п'ятого 18 і шостого 21 транзисторів та колекторами п'ятнадцятого 17 та шістнадцятого 22 транзисторів відповідно, колектори двадцять п'ятого 28 та двадцять шостого 29 транзисторів об'єднано та з'єднано з вихідною шиною 32, емітери сьомого 7, дев'ятого 13, п'ятнадцятого 17, дев'ятнадцятого 23, двадцять першого 25 та двадцять третього 27 транзисторів підключено до шини додатного живлення 31, емітери восьмого 10, десятого 16, шістнадцятого 22, двадцять четвертого 24, двадцять другого 26 та двадцять четвертого 30 транзисторів підключено до шини від'ємного живлення 33. Пристрій працює таким чином.

Вхідний сигнал у вигляді струму надходить на вхідну шину 6. Якщо вхідний струм втікає у схему, то четвертий 9 транзистор привідкривається, а третій 8 транзистор призакривається, відповідно шостий 21 транзистор привідкривається, а п'ятий 18 транзистор призакривається, відповідно двадцять шостий 29 транзистор привідкривається, а двадцять п'ятий 28 транзистор призакривається. При цьому потенціал точки об'єднання колекторів двадцять п'ятого 28 та двадцять шостого 29 транзисторів зменшується і прямує до від'ємної напруги живлення.

Якщо вхідний струм витікає зі схеми, то четвертий 9 транзистор призакривається, а третій 8 транзистор привідкривається, відповідно шостий 21 транзистор призакривається, а п'ятий 18 транзистор привідкривається, відповідно двадцять шостий 29 транзистор призакривається, а двадцять п'ятий 28 транзистор привідкривається. При цьому потенціал точки об'єднання колекторів двадцять п'ятого 28 та двадцять шостого 29 транзисторів зростає і прямує до додатної напруги живлення.

Перше 1 і друге 5 джерела струму та перший 2, другий 4, третій 8, четвертий 9 транзистори утворюють схему завдання режиму по постійному струму.

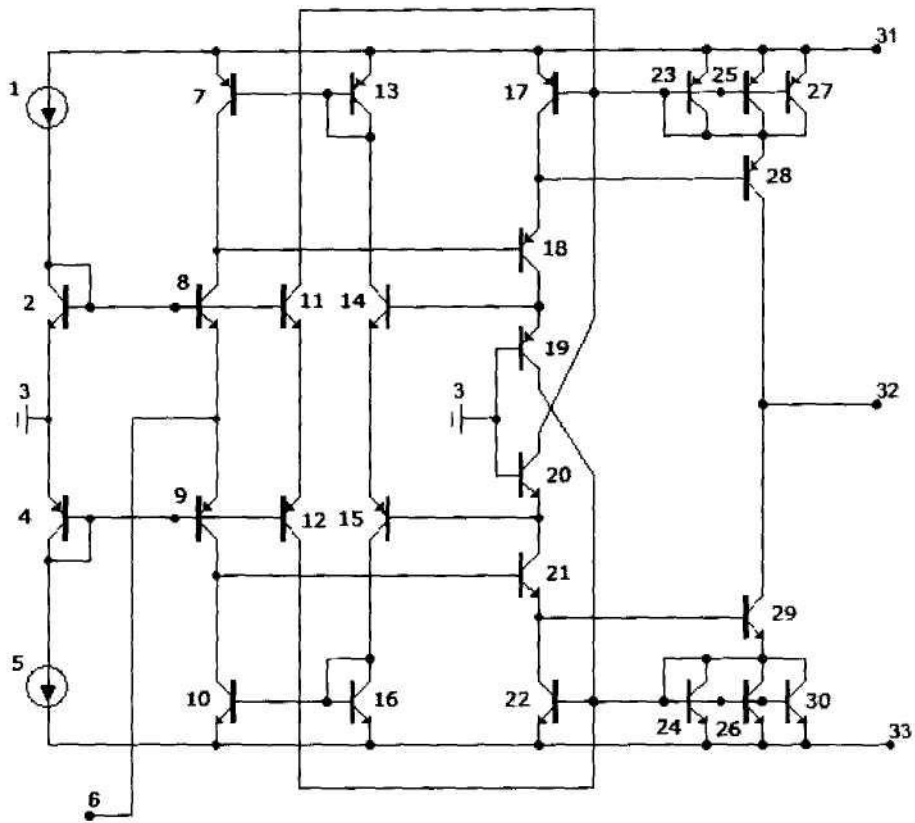
Сьомий 7, дев'ятий 13 і восьмий 10, десятий 16, а також п'ятнадцятий 17, дев'ятнадцятий 23, двадцять перший 25, двадцять третій 27 та шістнадцятий 22, двадцять четвертий 24, двадцять другий 26, двадцять четвертий 30 транзистори являють собою компенсатори струму, тринадцятий 14,

чотирнадцятий 15, сімнадцятий 19 та вісімнадцятий 20 транзистори являють собою двонаправлений відбивач струму, який задає режим робочої точки для п'ятого 18, шостого 21, двадцять п'ятого 28 та двадцять шостого 29 транзисторів, які утворюють проміжний каскад з протифазним підсиленням.

- 5 Шини додатного 31 і від'ємного 33 живлення, а також шина нульового потенціалу 3 забезпечують потрібний рівень напруги для живлення схеми.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

- 10 Двотактний симетричний підсилювач струму, який містить два джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього і четвертого транзисторів, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази
- 15 третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими выводами першого і другого джерел струму, другі виводи першого і другого джерел струму з'єднано з шинами додатного і від'ємного живлення відповідно, який **відрізняється** тим, що у нього введено двадцять транзисторів, причому колектори третього і четвертого транзисторів з'єднано з колекторами сьомого та восьмого
- 20 транзисторів відповідно, бази сьомого та восьмого транзисторів з'єднано з базами та колекторами дев'ятого і десятого, а також з колекторами тринадцятого та чотирнадцятого транзисторів відповідно, емітери тринадцятого та чотирнадцятого транзисторів об'єднано, бази третього та четвертого транзисторів з'єднано з базами одинадцятого та дванадцятого транзисторів відповідно, емітери одинадцятого та дванадцятого транзисторів об'єднано,
- 25 колектори одинадцятого і дванадцятого транзисторів з'єднано з базами та колекторами дев'ятнадцятого, двадцять першого, двадцять третього і двадцятого, двадцять другого, двадцять четвертого транзисторів відповідно, а також з базами п'ятнадцятого і шістнадцятого транзисторів відповідно, а також з емітерами двадцять п'ятого і двадцять шостого транзисторів відповідно, а також з колекторами вісімнадцятого та сімнадцятого транзисторів відповідно,
- 30 емітери сімнадцятого та вісімнадцятого транзисторів з'єднано з базами тринадцятого і чотирнадцятого транзисторів та з колекторами п'ятого та шостого транзисторів відповідно, бази сімнадцятого та вісімнадцятого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, бази двадцять п'ятого та двадцять шостого транзисторів з'єднано з емітерами п'ятого і шостого транзисторів та колекторами п'ятнадцятого та шістнадцятого транзисторів
- 35 відповідно, колектори двадцять п'ятого та двадцять шостого транзисторів об'єднано та з'єднано з вихідною шиною, емітери сьомого, дев'ятого, п'ятнадцятого, дев'ятнадцятого, двадцять першого та двадцять третього транзисторів підключено до шини додатного живлення, емітери восьмого, десятого, шістнадцятого, двадцятого, двадцять другого та двадцять четвертого транзисторів підключено до шини від'ємного живлення.



Комп'ютерна верстка А. Крулевський

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601